



Universidad de Valladolid

Facultad de Ciencias

TRABAJO FIN DE GRADO

Grado en Física

Técnicas de caracterización de defectos en dieléctricos de alta permitividad en estructuras Metal-Aislante-Semiconductor

Autor: Carlos Pisador Cañibano

Tutor/es: Salvador Dueñas Carazo

Agradecimientos

Durante el desarrollo de este Trabajo Fin de Grado han intervenido varias personas, tanto directa como indirectamente, y me gustaría expresar mi gratitud por el apoyo y la confianza que me han prestado de forma desinteresada.

En primer lugar, quiero agradecer al Grupo de Caracterización de Materiales y Dispositivos Electrónicos de la Universidad de Valladolid por la posibilidad de realizar una labor investigadora junto a ellos. Quisiera resaltar la iniciación al trabajo multidisciplinar, que me ha permitido compartir opiniones con personas formadas en otros ámbitos dentro de la ciencia.

Quiero hacer mención especial al catedrático Salvador Dueñas Carazo por su labor como tutor orientando este proyecto. Agradecer también a la también catedrática Helena Castán Lanaspá y al profesor titular de universidad Héctor García García tanto por sus ánimos como por el aprendizaje.

Quiero dar las gracias a Adrián, Luis y Óscar por hacer más amenos y llevaderos los momentos más duros.

Por último, quisiera agradecer de manera muy especial a Pilar y a Andrea por aguantar mis malos momentos fuera del ámbito académico.

Índice

1. Introducción: perspectiva histórica	6
2. Motivación del estudio	8
3. Técnicas capacitivas para sistemas MOS	10
3.1. Estados de la interfaz	11
3.1.1. Método de capacidad a alta y baja frecuencia	12
3.1.2. DLTS en condensadores MOS	15
3.2. Trampas de borde o frontera y estados DIGS	19
3.3. Técnica de transitorios de banda plana	27
3.3.1. Trampas en el aislante: trampas lentas y cargas en el volumen	27
4. Resultados experimentales	31
4.1. Desarrollo experimental	31
4.1.1. Muestras MOS	31
4.1.2. Instrumentación usada	32
4.1.3. Método experimental	34
4.1.4. Conclusiones de las técnicas	45
5. Conclusiones	47

Abstract

The aim of achieve smaller devices based on CMOS (Complementary Metal-Oxide-Semiconductor) technologies has led to some problems like high tunneling current leakage levels. During the last years, many researches have been done to find alternative high-permittivity (high-k) dielectrics to replace SiO_2 and $SiON$ as gate insulators in MOS transistors. Nowadays, several techniques are used for this objective (C-V characteristics, Flat-Band Voltage transients or conductance transient technique (GTT)). In this document, we are going to explain how to do them and show the results that we obtain for different samples based on HfO_2 and Al_2O_3 .

Resumen

El deseo de conseguir dispositivos cada vez más pequeños basados en la tecnología CMOS (Complementary Metal-Oxide-Semiconductor), ha desembocado en algunos problemas como son los niveles de corrientes de fuga. Durante los últimos años, se han realizado muchas investigaciones para encontrar dieléctricos de alta permitividad que sustituyan a SiO_2 y $SiON$ como aislantes en transistores MOS. A día de hoy, se están usando varias técnicas con este objetivo (curvas C-V, Transitorios de tensión de banda plana (FTB) o la Técnica de transitorios de conductancia (GTT)). En este documento, se va a explicar cómo se realizan estas técnicas y los resultados que obtenemos para diferentes muestras formadas por HfO_2 y Al_2O_3 como aislantes de alta permitividad.

Capítulo 1

Introducción: perspectiva histórica

Desde principios de los 60, los análisis de la capacidad de los condensadores basados en estructuras metal-aislante-semiconductor o MIS ¹ (por su siglas en inglés), se han realizado constantemente con el objetivo de obtener y analizar datos de diferente tipo para la caracterización de estos. Los estados en la superficie de la interfaz entre aislante y semiconductor, la carga del óxido o los fenómenos que ocurren entre electrones e iones en estas estructuras MIS, son algunos ejemplos de características buscadas en estos análisis.

La sencillez de este tipo de estructuras sumado a la gran sensibilidad de las características de la capacidad, han sido usadas de manera estratégica para el estudio de su influencia en materiales, tecnologías o técnicas de fabricación y parámetros de procesamiento desde los primeros pasos de la microelectrónica hasta hoy.

El primer condensador MOS fue propuesto por J.L.Moll en 1959 [1] como una capacidad variable con la tensión aplicada. Este condensador es más conocido como varicap. En 1962, L.M. Terman [2] publica un artículo histórico en el que se introducía este condensador como apropiado para estudiar los estados de la superficie del semiconductor oxidado. En aquella época ninguno de los dos llegó a imaginar la enorme importancia que tenían aquellos dispositivos ya que serían realmente el núcleo de la revolución de la electrónica de estado sólido.

Terman midió la dependencia de las capacidades de pequeña señal con la frecuencia como una función de la tensión de puerta (C-V). Comparando sus resultados con datos teóricos de capacidad-voltaje, obtuvo la densidad y las constantes de tiempo de las trampas electrónicas y de huecos de la interfaz del silicio térmicamente oxidado. Mostró, en cambio, que el análisis a alta frecuencia (HFCV) proporcionaba la densidad total de las trampas en la interfaz. Este método HFCV, se ha extendido universalmente desde la década de los 70 para controlar los procesos de fabricación de circuitos y transistores por integración a gran escala o VLSI (Very Large Scale Integration). Por esta razón, este método se conoce como el método de Terman o el método de Terman-Mott.

¹MIS (metal-insulator-semiconductor). Se usa indistintamente MIS o MOS debido a que el aislante (insulator) es un óxido (oxide)

En 1965, Grove, Deal, Snow y Sah demuestran por primera vez el uso de este tipo de datos (C-V) de condensadores MIS en el estudio de dispositivos electrónicos basados en óxidos sobre silicio. Estos mismos autores fueron los primeros en presentar y explicar la física que había detrás de las curvas de HFCV.

Estas técnicas han sido depuradas y mejoradas durante más de cincuenta años hasta conseguir que sean más sofisticadas y precisas. En este documento se dará información de las bases teóricas de estas técnicas, así como una serie de ejemplos de aplicaciones en sistemas con estructura MOS.

Capítulo 2

Motivación del estudio

El continuo deseo de miniaturización de las tecnologías CMOS (complementary metal-oxide-semiconductor) nos ha llevado a unos niveles de corrientes de fuga cuanto menos inaceptables para los dieléctricos más convencionales basados óxido de silicio [3]. Durante años se han buscado alternativas de dieléctricos de alta permitividad que fueran capaces de reemplazar a los normalmente usados (SiO_2 , $SiON$) como aislantes de puerta en los transistores MOS [4]. Esta búsqueda se basa en encontrar materiales que tengan grandes capacidades con anchuras de material relativamente delgadas, así como pequeñas corrientes de fuga, altos valores de ruptura de campo y buena estabilidad termodinámica. De entre todos los estudiados hasta ahora, destacan entre el resto los óxidos Al_2O_3 y HfO_2 [4, 5]. Esto es debido a que su permitividad es mayor que la del óxido de silicio y además son termodinámicamente estables en contacto con el silicio. Sin embargo, las características eléctricas de láminas de estos materiales muestran grandes cantidades de carga negativa fija y gran densidad de estados y trampas de carga respecto a SiO_2 . Por otro lado, estas características se pueden mejorar incluyendo un óxido entre el sustrato de silicio y la capa de alta permitividad [6]. En particular, la combinación $Al_2O_3 - HfO_2$ entrelaza la alta permitividad del óxido de hafnio con la alta temperatura de cristalización del óxido de aluminio [7].

Las técnicas que se describen aquí están concebidas para dar información detallada de la existencia de defectos en el aislante y de las trampas de la interfaz entre semiconductor y aislante. Existen muchos métodos para obtener densidades de defectos en la interfaz entre el semiconductor y el aislante pero, sin embargo, el estudio de defectos existentes dentro del volumen del aislante de puerta no está tan extendido. Dos de estas técnicas han sido desarrolladas por Dueñas et al. para abordar esta cuestión. Estas son la técnicas de transitorios de conductancia (GTT) y la medida de transitorios de tensiones de banda plana o FBT (Flat-Band Voltage Transients).

La técnica GTT es muy útil para explorar defectos DIGS (disordered-induced gap states) dentro del dieléctrico. Esta técnica ha sido aplicada de manera satisfactoria en muchas láminas de dieléctricos de alta permitividad con base de silicio.

La aproximación FBT consiste en un estudio sistemático de los transitorios de vol-

taje de banda plana en estructuras MOS con dieléctricos de alta permitividad. A pesar de que el material de alta permitividad puede ayudar a solucionar problemas de pérdidas en la puerta, todavía hay otros obstáculos como pueden ser la inestabilidad del voltaje límite o la degradación de la movilidad del canal portador. Estos efectos se pueden atribuir a la captura de carga en las trampas pre-existentes dentro del dieléctrico (de alta permitividad) de puerta. Las dependencias de los transitorios de tensión de banda plana con el material dieléctrico, la historia del voltaje de polarización, y el signo de la histéresis en las curvas capacidad voltaje (C-V) están demostradas. Los transitorios de voltaje de banda plana dan cuenta de la energía de los fonones ópticos de las delgadas láminas de dieléctrico. Esta energía requiere de técnicas físico-químicas dentro del volumen del material. Sin embargo, la técnica FBT, proporciona esta magnitud para delgadas láminas a partir de medidas eléctricas, facilitando así la parte experimental. Además se abordan los mecanismos de corriente observados en los materiales de alta permitividad.

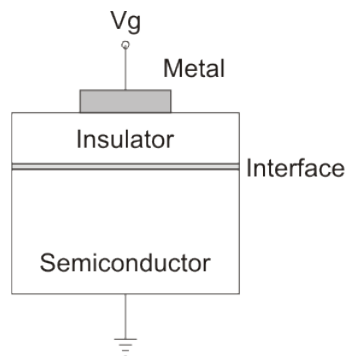


Figura 2.1: Esquema de una estructura MOS/MIS

Los métodos antes mencionados nos permiten determinar la densidad y localización de defectos en el dieléctrico. Esos defectos suelen ser los responsables de mecanismos de conducción. La correlación entre los mecanismos de conducción, situación de los defectos y niveles de energía distintos nos proporcionan información básica sobre la naturaleza de los defectos y como estos pueden ser eliminados o mejorados para sus aplicaciones.

Capítulo 3

Técnicas capacitivas para sistemas MOS

En este capítulo se presentarán diferentes técnicas de espectroscopía de capacidad desarrolladas con el objetivo de llevar a cabo una caracterización eléctrica detallada de las estructuras MOS. El uso de estas, nos proporciona información precisa sobre la existencia de defectos en el aislante, así como los estados que aparecen en la superficie que separa aislante y semiconductor, es decir, la interfaz. La importancia de los defectos es enorme ya que son responsables de la aparición de diferentes tipos de cargas (cargas fijas y móviles), trampas de borde (o de frontera) y estados en la interfaz. Estos últimos aparecen de manera espacial en la superficie de separación entre aislante-semiconductor y energéticamente en el gap entre bandas de energía del semiconductor. La cercanía de estos estados con el semiconductor hacen posible la interacción con los portadores libres existentes en este. En este caso, los tiempos de interacción son pequeños, variando desde nanosegundos hasta milisegundos, dependiendo de su nivel energético en la banda de gap. Por tanto, según la cercanía de los estados de la interfaz con el semiconductor la interacción es menor o mayor, mientras que la distribución energética da cuenta de la velocidad de la interacción.

Los estados de interfaz, D_{it} , muestran una distribución cuasi-continua dentro del gap. Estos estados pueden ser tanto donadores como aceptadores. Respecto a sus estados de carga pueden ser positivos o neutros si la energía está por encima del nivel de Fermi (E_F), y neutros o negativos si está por debajo de dicho nivel. Además, los estados en la interfaz atrapan a los portadores libres en los canales del transistor produciendo una reducción de la movilidad de los portadores.

Las trampas de borde son similares a los estados de la interfaz pero su localización espacial es más profunda dentro del aislante. Aún estando más lejos de la interfaz que los D_{it} , también pueden interactuar con las bandas del semiconductor. Sin embargo, en este caso, los tiempos de interacción aumentan respecto al caso anterior.

Como se ha dicho antes, en el aislante pueden existir dos tipos de cargas distintas: fijas y móviles. Las cargas fijas se deben a trampas originadas por defectos o impurezas en la estructura atómica del aislante. La manera en la que influyen en la

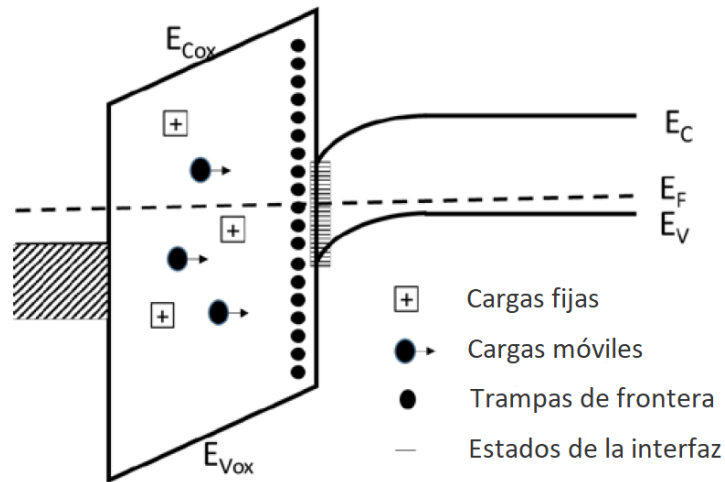


Figura 3.1: Diagrama de bandas de energía y tipos de cargas existentes en un condensador MOS.

carga, capacidad o caída de potencial en el óxido depende de su localización y de su nivel de energía. Por otro lado, las cargas móviles se pueden desplazar bajo la acción de un campo eléctrico y tienen su origen en impurezas iónicas como pueden ser Na^+ , Li^+ , K^+ o H^+ . Cuando están en movimiento, el centro de cargas en el aislante cambia, afectando a la capacidad, tensión de banda plana del condensador MOS, o el límite de voltaje de los transistores MOS. Los diferentes tipos de cargas pueden ser caracterizadas midiendo la capacidad de los condensadores MOS como se mostrará más adelante. La capacidad de un condensador de este tipo corresponde a la definición general de capacidad, es decir, la variación de carga debido al cambio en la tensión: $C = \frac{dQ}{dV}$.

Para obtener el comportamiento capacitivo de una estructura MIS en general, sobre la tensión de polarización se aplica una variación de pequeña señal y se mide la variación de la carga. Los distintos tipos de carga existentes en un condensador MOS afectan de diferente manera al término dQ de la ecuación anterior resultando así diferentes técnicas de espectroscopía de capacidad. Las técnicas pueden ser clasificadas en dos categorías principales dependiendo de si atienden a la respuesta del tiempo o de la frecuencia de la capacidad.

3.1. Estados de la interfaz

Existen varios métodos para obtener la densidad de defectos en la interfaz que separa aislante y semiconductor como son el DLTS (Deep Level Transient Spectroscopy), las medidas de capacidad-voltaje a alta y baja frecuencia (HLCV) y la espectroscopía de admitancia. El efecto principal que provocan los estados de la interfaz en este tipo de análisis es ensanchar las curvas capacidad-voltaje. Para ser más precisos, es la carga debida a los estados en la interfaz la responsable de este cambio en las curvas C-V. La cuestión sobre cuánto cambian depende del potencial en la interfaz,

φ_s , el cual a su vez depende de la tensión de puerta como se ilustra en la Figura 3.2. Las trampas se llenan en las energías inferiores al nivel de Fermi como nos sugiere la física estadística. En la misma figura podemos observar este efecto. Los estados o trampas están prácticamente vacíos en régimen de inversión y se van llenando con el potencial suministrado para el régimen de vaciamiento y para el régimen de inversión en un semiconductor tipo N.

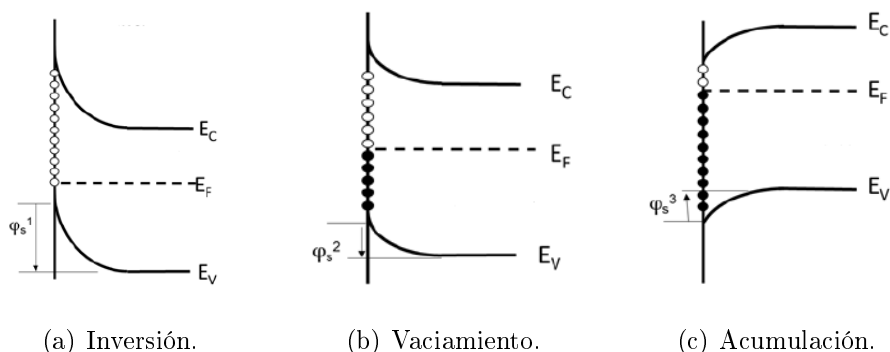


Figura 3.2: Bandas de energía y estados de la interfaz en un condensador MOS en los diferentes regimenes.

La carga total de los estados de la interfaz induce cambios en el voltaje del condensador:

$$\Delta V_G = \frac{-Q_{it}(\varphi_s)}{C_{ox}} \quad (3.1)$$

La diferencia entre las curvas ideales y experimentales de capacidad-voltaje en los condensadores MOS es una manera de conocer la distribución de estados en la interfaz, D_{it} .

3.1.1. Método de capacidad a alta y baja frecuencia

Las medidas de capacidad-voltaje es la técnica más ampliamente extendida con el fin de evaluar las propiedades de la lámina de óxido y su interfaz con el semiconductor que ejerce de sustrato. En láminas de óxido de espesor mayor de 4-5 nm, las curvas C-V pueden ajustarse satisfactoriamente con modelos clásicos. Esta técnica puede ser usada para determinar la tensión de banda plana y voltaje límite, la carga fija, y la densidad de estados en la interfaz. Incluso en algunas ocasiones se usa para hallar el espesor del aislante.

La expresión ideal de una estructura MIS en régimen de acumulación es:

$$C_{ac} = \frac{k\epsilon_0 A}{t_{ox}} \quad (3.2)$$

donde k es la permitividad, ϵ_0 es la constante dieléctrica del vacío, A es la sección transversal y t_{ox} es el espesor del óxido. Pero la realidad es que los condensadores MOS incluyen carga fija, carga móvil y estados en la superficie. Las medidas C-V nos permiten identificar estos tres tipos ya que la carga presente en el dieléctrico cambia la curva medida. La captura y emisión a través de defectos dentro del aislante produce histéresis en las curvas a alta frecuencia cuando se hace un barrido (ida y vuelta) de la tensión de puerta.

Los estados de la superficie de la interfaz entre semiconductor y aislante también modifican las curvas C-V. Como el voltaje aplicado cambia la posición del nivel de Fermi en la interfaz, los estados de ocupación en la superficie, se ven afectados. Entonces, la variación que producen los estados de la interfaz es el ensanchamiento de las curvas en las medidas de capacidad.

Para las capas de óxido por debajo de 4 nm, las medidas C-V proporcionan la misma información pero los datos que se obtienen han de ser interpretados más detenida y cuidadosamente. Para estos casos, el modelo clásico no es totalmente válido, y las correcciones mecánico-cuánticas se hacen obligatorias incrementando la dificultad del tratamiento analítico. La estadística de Maxwell-Boltzmann no puede describir la densidad de carga en las capas de inversión y acumulación de manera satisfactoria, y debe ser sustituida por la estadística de Fermi-Dirac. Además, la curvatura de las bandas en la capa de inversión, cerca de la interfaz semiconductor-aislante, se hace muy notoria. Se forma cierta barrera de potencial debida a la interfaz y el potencial electrostático en el semiconductor. El tratamiento analítico correcto requiere resolver autoconsistentemente las ecuaciones de Poisson y Schrödinger haciendo uso de la aproximación de masa efectiva [8].

La combinación de capacidad de baja y alta frecuencia (HLCV) nos permite calcular la densidad de estados en la superficie. Este método proporciona la densidad de estados sobre un rango limitado (pero interesante) de energías dentro del gap. Las medidas en condensadores de tipo N y tipo P a diferentes temperaturas proporcionan la densidad de estados en la superficie a lo largo de la banda prohibida. Respecto a la respuesta en frecuencia de las trampas de la interfaz, depende de su posición en el gap. De esta manera, las trampas con energía cerca de las bandas del semiconductor tienen unas constantes de tiempo de emisión y captura muy bajas permitiendo una respuesta eficaz a altas frecuencias. Por otro lado, las trampas localizadas en el medio del gap tienen tiempos de respuesta largos, y prácticamente, sólo responden a variaciones de voltaje muy lentas.

Para la medida de la capacidad a alta frecuencia, C_{HF} , es común usar un capacitómetro. Sin embargo, la medida (cuasi-estática) de la capacidad a bajas frecuencias, C_{LF} , consiste la toma de datos de la corriente de puerta a medida que se aplica una variación lineal de la tensión al terminal de puerta ($V_G = \alpha t$). Esta variación de potencial se elige lo suficientemente lenta como para permitir a todas las trampas sean capaces de responder a esta variación. La capacidad se obtiene de la corriente

I que se halla utilizando su definición:

$$I = \frac{dQ_G}{dt} = \frac{dQ_G}{dV_G} \frac{dV_G}{dt} = C_{LF} \frac{dV_G}{dt} = \alpha C_{LF} \quad (3.3)$$

Recordemos que el subíndice G indica la puerta. Para los cálculos incluimos los términos debidos a la interfaz:

$$Q_G = -(Q_S + Q_{it}) \quad (3.4)$$

donde Q_S es la carga en la superficie y Q_{it} en la interfaz. De esta manera, la capacidad queda descrita por la ecuación:

$$C_{(G)LF} = C_{LF} = \frac{dQ_G}{dV_G} = -\frac{dQ_S + dQ_{it}}{dV_{ox} + d\varphi_s} = -\left(\frac{dV_{ox}}{dQ_S + dQ_{it}} + \frac{d\varphi_s}{dQ_S + dQ_{it}}\right)^{-1} \quad (3.5)$$

$$C_{(G)LF} = C_{LF} = (C_{ox}^{-1} + (C_S + C_{it})^{-1})^{-1} \quad (3.6)$$

donde dV_{ox} es el potencial en el aislante. Podemos llegar ya a la densidad de trampas en la interfaz que puede escribirse como:

$$D_{it}(\varphi_s) = \frac{dQ_{it}}{q d\varphi_s} = \frac{C_{it}}{q} \quad (3.7)$$

Y haciendo uso de la ecuación 3.6, llegamos a la expresión:

$$D_{it} = \frac{1}{q} \left(\frac{C_{ox} C_G}{C_{ox} - C_G} - C_S \right) \quad (3.8)$$

Pero como hemos visto antes, para frecuencias altas, las trampas de la interfaz no responden haciendo que la capacidad en la interfaz sea nula:

$$C_{it} = \frac{dQ_{it}}{d\varphi_S} = 0 \quad (3.9)$$

Para este caso de altas frecuencias, sustituyendo en la ecuación 3.6 vemos que la capacidad a alta frecuencia simplemente resulta:

$$\frac{1}{C_{HF}} = \frac{1}{C_{ox}} + \frac{1}{C_S} \quad (3.10)$$

Entonces podemos conocer la densidad de estados en la interfaz para el caso de alta frecuencia introduciendo el resultado de 3.10 en la ecuación 3.8 obteniendo:

$$D_{it}(\varphi_S) = \frac{C_{ox}}{q} \left(\frac{C_{LF}}{C_{ox} - C_{LF}} - \frac{C_{HF}}{C_{ox} - C_{HF}} \right) \quad (3.11)$$

Del resultado de 3.11 se puede hallar la densidad de estados de la interfaz para diferentes valores del potencial de la superficie.

El potencial de superficie, φ_S , se puede obtener fácilmente de:

$$\frac{d\varphi_s}{dV_G} = 1 - \frac{C}{C_{ox}} \quad (3.12)$$

y recordando que para el voltaje de banda plana (V_{FB}) el potencial de la superficie es $\varphi_s = 0$:

$$\varphi_s = \int_{V_{FB}}^{V_G} \left[1 - \frac{C}{C_{ox}} \right] dV_G \quad (3.13)$$

Una limitación del método cuasi-estático es el nivel tan bajo de corriente en un rango de voltajes muy bajos. Una solución puede ser emplear elementos de puerta con áreas grandes con el objetivo de elevar la corriente. Sin embargo, las corrientes de fuga en el aislante, las cuales son proporcionales al área, pueden tener valores incluso más grandes que las contribuciones de los estados de la interfaz. Esto es particularmente importante cuando la puerta del aislante tiene muchas pérdidas, como en nuestro caso de óxidos con altas permitividades.

3.1.2. DLTS en condensadores MOS

En contraste con los métodos de estados estacionarios capacidad-voltaje descritos antes, la espectroscopía de transitorios de capacidad nos da información sobre cómo cambian con el tiempo los estados (no estacionarios) de alta frecuencia. La técnica DLTS, patentada por D.V. Lang [9] es, hoy en día, aplicada de manera muy generalizada para detectar las trampas de los también llamados “niveles profundos en el gap” o simplemente “centros profundos”, en semiconductores. La razón de su uso es su extraordinaria sensibilidad. Inicialmente, el método utilizó medidas de transitorios de capacidad siguiendo pulsos de tensión en una unión $p-n$ o diodos de barrera Schottky y así monitorizar cambios en el estado de la carga en esos centros. Estos transitorios se deben a la emisión de portadores desde los estados superficiales hacia

el sustrato de la estructura. Schulz y Johnson [10] extendieron el DLTS con el fin de estudiar la emisión de carga desde los estados de la interfaz en las estructuras MOS. El DLTS ha tenido un uso muy extendido con el objetivo de caracterizar niveles profundos en uniones de semiconductores. Esta técnica es también útil para medir trampas en la interfaz aislante-semiconductor ya que nos va a permitir separar la contribución de estados rápidos (de alta frecuencia), que son los que se encuentran en la interfaz, de los lentos que son los que se encuentran más profundos que la interfaz y por ello tardarán más en responder.

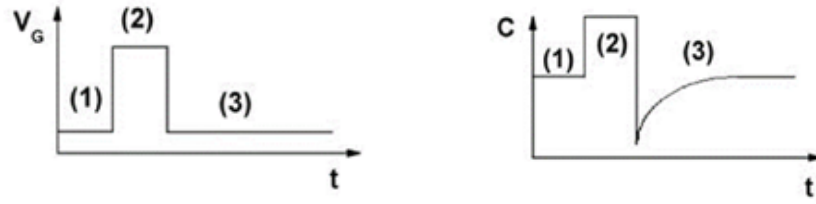
La instrumentación en el uso de DLTS para las cargas atrapadas en la interfaz es idéntica al usado para el DLTS de niveles profundos. Sin embargo, la interpretación de los datos es diferente debido a que las trampas en la interfaz están distribuidas de manera continua, respecto de la energía, a través del gap, mientras que para las trampas en el volumen, los niveles de energía toman valores discretos.

Históricamente, hay dos vías para llevar a cabo el DLTS: por variación de la temperatura manteniendo constante una ventana de tiempo, como inicialmente propuso Lang, o variando esa ventana mientras se mantiene constante la temperatura. Además se puede llegar a usar el DLTS de disparo simple (Single-Shot DLTS), el cual es una combinación de las dos vías antes mencionadas. Las medidas por disparo simple de DLTS consisten en grabar los transitorios de capacidad a una frecuencia de 1 MHz para cada temperatura desde 77K hasta temperatura ambiente. Después, los transitorios son procesados aplicando diferentes rangos temporales. Para ello se usa una fuente programable junto con un generador de pulsos para introducir la corriente y el pulso de llenado respectivamente. La densidad de estados en la interfaz (D_{it}) se obtiene primero, por la aplicación de un pulso que lleva al condensador MOS a acumulación, con el objetivo de rellenar las trampas en la interfaz. Después, la tensión vuelve rápidamente al límite entre vaciamiento e inversión débil y ahí es cuando las trampas antes ocupadas se vacían proporcionando los transitorios de capacidad. Un osciloscopio digital captura los transitorios isotérmicos permitiéndonos grabarlos y de esta manera, poder procesar el espectro de energía entero sólo con un barrido de temperaturas.

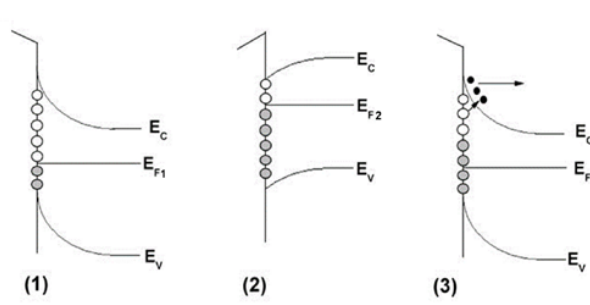
El método a seguir una vez que se han registrado los transitorios de capacidad es el siguiente (Figura 3.4): elegimos dos tiempos t_1 y t_2 lo que antes hemos llamado la ventana o ventana del transitorio. Tomando las capacidades en cada tiempo y haciendo la diferencia de esos valores a esos tiempos podemos obtener la correlación DLTS:

$$\Delta C = \frac{C(t_1)^3}{\epsilon_S N_D C_{ox}} \int_{E_F^{t_1}}^{E_F^{t_2}} (\exp(-e_n t_1) - \exp(-e_n t_2)) D_{it} dE \quad (3.14)$$

El rango de emisión, e_n , depende de la temperatura y de la energía, E_T , de acuerdo con la ley de Arrhenius:



(a) Tensión de puerta en el tiempo. (b) Capacidad en el tiempo.



(c) Estados en los diferentes regímenes.

Figura 3.3: Transitorios de capacidad descritos en un diagrama de bandas de energía de un condensador MOS de tipo N. (1) Al final de un transitorio, las trampas están vacías por encima del nivel de Fermi E_{F1} . (2) Un a tensión de puerta de acumulación ocupa las trampas haciendo que el nivel de Fermi llegue a E_{F2} . (3) El cambio a inversión, hace que las trampas entre E_{F1} y E_{F2} se vacien de nuevo

$$e_n = \sigma_n v_n N_c \exp\left(\frac{E_T - E_C}{kT}\right) \quad (3.15)$$

donde σ_n es la sección transversal de captura, v_n es la velocidad térmica electrónica y N_c es la densidad de estados efectiva en la banda de conducción. De acuerdo con la ecuación 3.14, todos los estados de la interfaz contribuyen a la función de correlación, pero sólo los que tienen un ratio de emisión dentro de la ventana escogida tienen una contribución no despreciable. De hecho, la función de correlación tiene un máximo para:

$$e_n^{max} = \frac{\ln\left(\frac{t_2}{t_1}\right)}{t_2 - t_1} \quad (3.16)$$

Si asumimos que la sección de captura no tiene grandes variaciones con la energía, podemos encontrar la energía de las trampas de la interfaz, las cuales tienen la contribución máxima a la función de correlación, sin más que despejar de la ecuación 3.15:

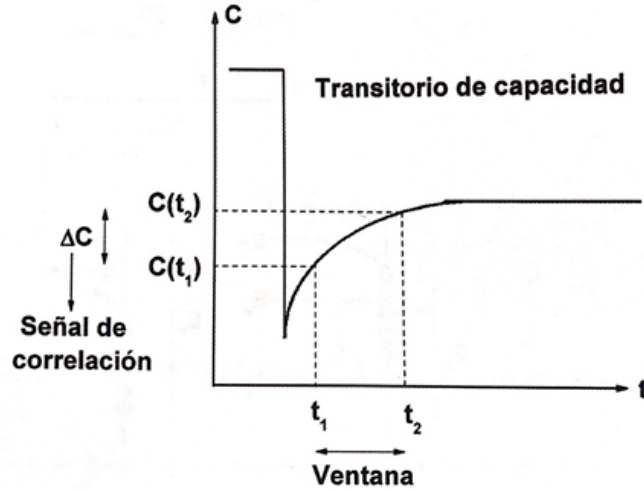


Figura 3.4: Esquema de transitorio de capacidad.

$$E_T^{max} = kT \ln \left(\frac{\sigma_n v_n N_c (t_2 - t_1)}{\ln \left(\frac{t_2}{t_1} \right)} \right) \quad (3.17)$$

Como consecuencia $\Delta C(t)$ tiene un máximo en la energía dada por la ecuación 3.17 y decae muy bruscamente cuando la energía se aleja del máximo. De esta manera se llega a que sólo las trampas de interfaz con energías cercanas al máximo contribuyen a la señal de DLTS. De esta manera se obtiene una forma más simple de la ecuación 3.14:

$$\Delta C = \frac{C(t_1)^3}{\epsilon_S N_D} \frac{kT}{C_{ox}} D_{it}(E_T^{max}) \ln \left(\frac{t_2}{t_1} \right) \quad (3.18)$$

y la densidad de estados de la interfaz a la energía del máximo:

$$D_{it}(E_T^{max}) = - \frac{\epsilon_S N_D}{kT \ln \left(\frac{t_2}{t_1} \right)} \frac{C_{ox}}{C(t_1)^3} \Delta C \quad (3.19)$$

La ecuación 3.17 indica que para una ventana de tiempos dada, la energía es proporcional a la temperatura. Por lo tanto, los transitorios a baja temperatura nos proporcionan D_{it} de estados cerca de la banda de portadores mayoritarios del semiconductor (banda de conducción para tipo N o banda de valencia para tipo P). A medida que se aumenta la temperatura, se obtienen densidades de estados más profundos. De la ecuación 3.19 se desprende que la densidad de estados D_{it} es proporcional a $\Delta C/T$, o lo que es lo mismo, la sensibilidad es menor para los estados más profundos. Debido a que la técnica de Single Shot-DLTS es una técnica diferencial,

su sensibilidad es mucho mayor que las técnicas de capacidad-voltaje o conductancia-voltaje. Las sensibilidades típicas están en el rango del orden de $10^9 eV^{-1} cm^{-2}$. Sin embargo, una limitación del DLTS, es la dificultad de caracterizar defectos en el intervalo desde la mitad de banda de gap hasta la banda de portadores mayoritarios. Si se quiere determinar la densidad de estados para niveles de energía en mitad de gap, se necesitan temperaturas elevadas. Pero a muy altas temperaturas, aparecen en el canal de inversión los procesos de generación/recombinación. Estos inducen la aparición de un pico falso en las señales del DLTS las cuales molestan a la contribución de las trampas de la interfaz [11,12].

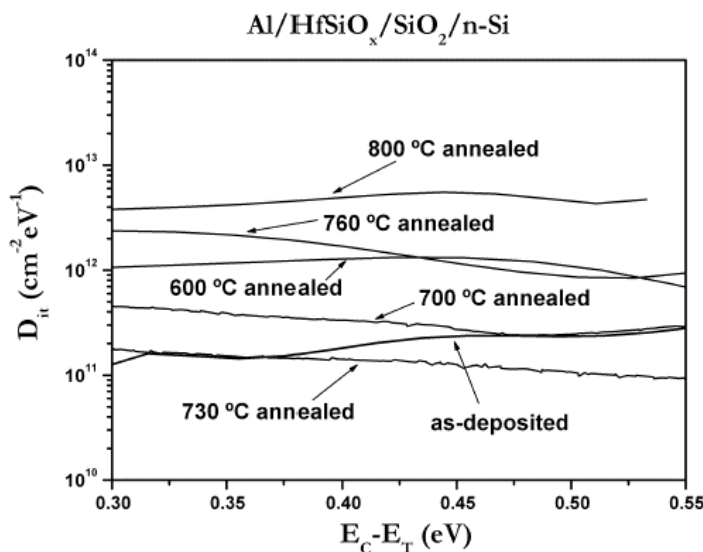


Figura 3.5: Perfiles de estados SS-DLTS para condensadores de $Al/HfSi_xO_y/SiO_2/n-Si$ [13].

La Figura 3.5 es un ejemplo de SS-DLTS aplicado al caso de una muestra de silicato de hafnio y óxido de silicio sobre silicio tipo N [13]. El silicato fue depositado por ALD (atomic layer deposition). Este estudio demuestra que la deposición térmica mejora la calidad de la interfaz para ciertas temperaturas. Por contra, aparece en el dieléctrico una carga positiva distribuida de manera no uniforme, afectando al cambio de la tensión de banda plana.

3.2. Trampas de borde o frontera y estados DIGS

Hay varias razones de las pobres características en los condensadores MOS. Una de ellas es la existencia de trampas cercanas a la interfaz (NITs). Estas trampas deben distinguirse de la densidad de estados que se sitúan justo en la interfaz. Por ejemplo, es razonable pensar que hechos como la inestabilidad del límite de voltaje o la histéresis en las curvas C-V de condensadores MOS, y en las características de corriente de drenado-tensión de puerta (I_d-V_g) de los MOSFET, esté causada por

la carga atrapada en NITs. La principal diferencia entre los NITs y los estados de interfaz es el valor de la constante de tiempo cuando interactúan con la banda energética del semiconductor. El valor para los estados cercanos a la interfaz es más alto. Esta es la razón, por la cual, a las trampas de frontera se las llama normalmente trampas lentas. Por el contrario, y por motivos obvios, las trampas de la interfaz son llamadas trampas rápidas. Sin embargo, es razonable asumir que ambos tipos de defectos tienen el mismo origen. Esto fue propuesto en el modelo de los estados inducido-perturbados del gap (DIGS) de He et al. [14]. Cuando se forma la interfaz aislante-semiconductor, la periodicidad cristalina en ambos materiales se rompe produciendo distorsiones: estrés mecánico, pérdida de la estequiometría, defectos puntuales, etc. Estos defectos inducen un continuo de estados distribuidos en energía y en distancia a la interfaz. En la Figura 3.6 se puede observar este comportamiento.

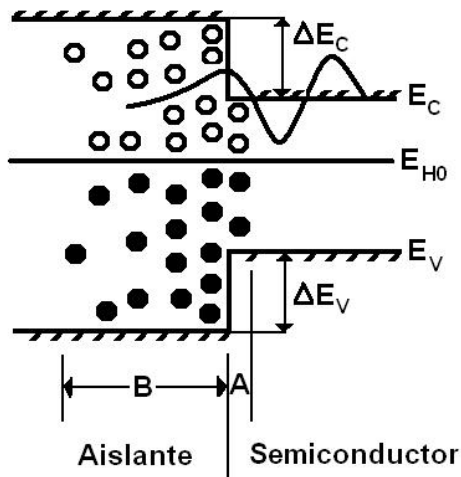


Figura 3.6: Distribución de los DIGS en la interfaz aislante-semiconductor.

En el modelo de DIGS (disorder-induced gap states), los defectos son de naturaleza aceptadora por debajo de cierta energía E_{H0} , y donadores cuando crean niveles de energías por encima de E_{H0} . Los defectos no están sólo localizados en la interfaz, sino que alcanzan posiciones más profundas en el aislante y semiconductor como se ve en la Figura 3.6. Este modelo asume varias hipótesis razonables. La extensión de la región A es mucho menor que la longitud de onda de de Broglie de los portadores. Este hecho ha sido confirmado a través del uso de microscopio electrónico [15]. Por el contrario, la función de onda en el aislante decae exponencialmente pudiéndose modelar como una barrera energética cuadrada posicionada en la interfaz. Este modelo permite explicar la histéresis que se observa en las características de las estructuras MOS. En condiciones estacionarias los estados de energía están vacíos o llenos dependiendo de si están por encima o por debajo del nivel de Fermi (marcado por el segmento AB en la Figura 3.7(a)). Si se proporciona una variación lineal de la tensión de puerta, el nivel de Fermi incrementa y los estados por encima del segmento AB de la Figura 3.7(b) se van llenando gradualmente (ya sea por captura electrónica o por emisión de huecos). El factor de ocupación $f(E, x, t)$ vendrá determinado por la estadística de Shockley-Read-Hall. Este modelo fue introduci-

do en 1952 para describir la estadística de generación y recombinación de huecos y electrones (a través de captura) en semiconductores [16]:

$$\frac{df(E, x, t)}{dt} = - [c_n(E, x) n_s(t) + e_p(E, x)] [1 - f(E, x, t)] \quad (3.20)$$

donde $n_s(t)$ es la densidad electrónica en la interfaz. Tanto la captura electrónica, $c_n(E, x)$, como la emisión de huecos, $e_p(E, x)$, son coeficientes que decaen exponencialmente con la distancia a la superficie de separación debido a la barrera que existe entre el semiconductor y la trampa [14]:

$$c_n(E, x) = \sigma_0^n v_{th}^n \exp\left(\frac{-2x\sqrt{2m_n^*\Delta E_c}}{\hbar}\right) \quad (3.21)$$

$$e_p(E, x) = \sigma_0^p v_{th}^p \exp\left(\frac{-2x\sqrt{2m_p^*\Delta E_v}}{\hbar}\right) N_V \exp\left(-\frac{E - E_v}{kT}\right) \quad (3.22)$$

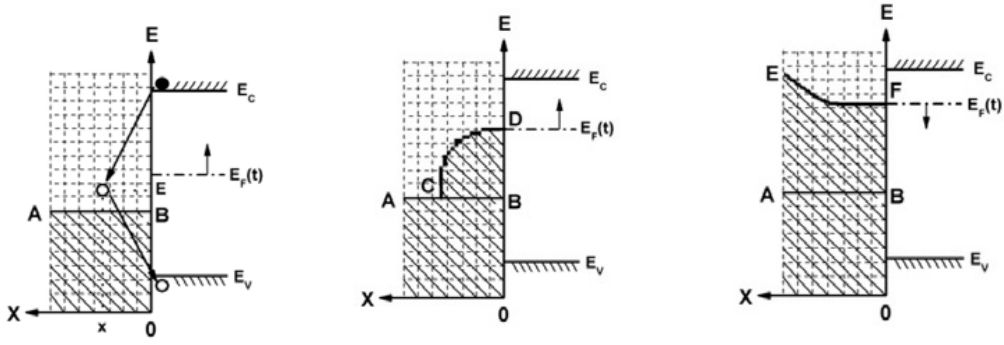
$\Delta E_{c,v}$ son las barreras energéticas tanto de conducción (c) como de valencia (v) entre el aislante y el semiconductor, $\sigma_0^{n,p}$ es la sección transversal de captura tanto electrónica como de huecos, $v_{th}^{n,p}$ es la velocidad térmica y $m_{n,p}^*$ es la masa efectiva de los electrones (n) y huecos (p) en el semiconductor. Por último N_V es la densidad de estados de la banda de valencia del semiconductor.

La solución de la ecuación 3.20 es compleja y se puede escribir como:

$$f(E, x, t) = 1 - \exp[-I_C(E, x, t)], \quad t > t_0 \quad (3.23)$$

donde t_0 es el momento en el que el nivel de Fermi cruza el nivel de energía E . La función $I_C(E, x, t)$ es compleja y su expresión está descrita en detalle en [14]. Lo interesante de $I_C(E, x, t)$ es que crece con el tiempo y decrece con la posición dentro del aislante. Además puede entenderse fácilmente si recordamos que el proceso es de túnel asistido por trampas superficiales. Para tiempos grandes ($t \rightarrow \infty$), la función $I_C(E, x, t) \rightarrow \infty$ y el factor de ocupación es 1 (todas las trampas están llenas). Además, la probabilidad de que una trampa emita un electrón o capture un hueco disminuye exponencialmente con la distancia y, consecuentemente, el tiempo de llenado decrece con la distancia ($I_C(E, x, t) \rightarrow 0$ cuando x es suficientemente grande). En resumen, el perfil del factor de ocupación a un tiempo dado viene representado en la Figura 3.7(b).

Por el contrario, si nosotros asumimos que esos niveles están inicialmente llenos hasta cierta energía E y se cambia la polaridad de la tensión, de manera que el nivel



(a) Condiciones iniciales. (b) Transitorio de llenado. (c) Transitorio de agotamiento.

Figura 3.7: Dinámica de llenado de carga y agotamiento de los estados DIGS.

de Fermi disminuye, el perfil de las trampas llenas evoluciona de una manera muy distinta como se puede ver en la Figura 3.7(c). Como el nivel de Fermi decrece, las trampas inicialmente llenas se vaciarán emitiendo electrones o capturando huecos. El factor de ocupación de los huecos viene descrito en este caso por:

$$\frac{df(E, x, t)}{dt} = - [c_p(E, x)p_s(t) + e_n(E, x)] f(E, x, t) \quad (3.24)$$

y de manera similar a la ecuación 3.20, tenemos:

$$f(E, x, t) = 1 - \exp[-I_e(E, x, t)], \quad t > t_0 \quad (3.25)$$

donde t_0 es el momento cuando el nivel de Fermi cruza el nivel de energía E . La función $I_e(E, x, t)$ es parecida a $I_C(E, x, t)$ en el sentido de que aumenta con el tiempo y decrece con la distancia. Para tiempos muy largos ($t \rightarrow \infty$), la función $I_e(E, x, t) \rightarrow \infty$ y el factor de ocupación de huecos es 1, siendo 0 el electrónico (todas las trampas están vacías). Por otro lado, disminuye con la distancia ($I_e(E, x, t) \rightarrow 0$ cuando x es muy grande), y el factor de ocupación de huecos será 1 (las trampas permanecen llenas por mucho tiempo) en posiciones lejanas a la interfaz. De esta manera, podemos ver, en la Figura 3.7, que el perfil del factor de ocupación es claramente asimétrico dependiendo de la dirección de la oscilación de la tensión de puerta. Cuando se aplican las variaciones lineales de voltaje (finitas) en ambas direcciones, no hay tiempo suficiente para que todas las trampas llenas se vacíen para el caso de la emisión, o no da tiempo a llenar todas las trampas vacías durante la rampa de captura. La diferencia entre cargas emitidas y capturadas en ambas direcciones puede explicar el mecanismo de la histéresis que se suele observar en las curvas C-V de los condensadores MOS y en las características (I_d - V_g) de los MOSFET. En el caso de que la tensión de puerta varíe instantáneamente, los transitorios de capacidad tienen lugar donde tiene que considerarse la contribución de todas las trampas.

En el caso de que el nivel de Fermi varíe entre los valores E_{F1} y E_{F2} ($E_{F1} > E_{F2}$) la variación de la carga debería ser calculada como:

$$\Delta Q(t) = \int_{E_{F1}}^{E_{F2}} \int_0^{tox} q f(E, x, t) N_{DIGS}(E, x) d\varphi_s dx \quad (3.26)$$

y, por tanto, tendrá muchas contribuciones con una distribución muy ancha de constantes de tiempo. Como consecuencia de esto, extraer la contribución individual de las densidades de trampas DIGS a cada profundidad y posición no es factible en la práctica. Por esta razón no se ha desarrollado todavía un método efectivo de análisis cuantitativo de estas trampas cercanas a la interfaz. Recientemente, Fujino y Kita [17] han propuesto un método aproximado para extraer el número de NITs a partir de transitorios de capacidad de SiO_2/SiC . Fujino y Kita asumen que el gran abanico de tiempos de respuesta provoca que la variación de capacidad (dependiente del tiempo) $\Delta C(t)$, se describe mejor usando el “modelo de relajación de Debye extendido” [18] en vez del modelo de relajación de Debye convencional con una sola constante de tiempo. En el modelo extendido, se espera que la diferencia de capacidad se exprese con la siguiente ecuación si la tensión cambia bruscamente de acumulación ($V_g = V_{trap}$), donde las trampas están llenas a un estado cerca de banda plana ($V_g = V_{meas}$) (en $t=0$):

$$\Delta C = |C(t) - C_{eq}| \cong |\Delta C_0| \exp \left[- \left(\frac{t}{t_{eff}} \right)^\beta \right] \quad (3.27)$$

donde C_{eq} es la capacidad en equilibrio térmico, β es el factor exponencial de tiempo de respuesta que toma valores entre cero y la unidad ($0 < \beta < 1$), t_{eff} es el tiempo de respuesta efectivo de un grupo de trampas con distintos tiempos de respuesta y ΔC_0 es el cambio total de la capacidad causado por las cargas atrapadas. La ecuación es idéntica a una exponencial simple con una sola constante de tiempo cuando $\beta = 1$, y disminuye para dependencias de tiempo más amplias, lo cual expresa la integral de las contribuciones de todos los procesos de relajación con distintos tiempos de respuesta distribuidos en torno a t_{eff} . La ecuación 3.27 no permite obtener el perfil de las trampas DIGS, pero es una ecuación sencilla para dar la respuesta global de las trampas cuya contribución domina en las características C-t observadas.

Un método de evaluar el perfil de las trampas de DIGS en energía y en distancia, tomando como origen la interfaz, ha sido desarrollado por Dueñas [20]. El método consiste en la deconvolución de la contribución total realizando las medidas a diferentes frecuencias. A una frecuencia dada, las trampas con constantes de tiempo de emisión y/o captura mucho más bajas que la frecuencia de la señal alterna, no pueden seguir la variación del voltaje y, por tanto, se reducen los transitorios de capacidad a la contribución de las trampas más rápidas. Podemos pensar que haciendo medidas de los transitorios de capacidad en un rango amplio de frecuencias se podrían obtener las diferentes contribuciones. Sin embargo, la contribución de

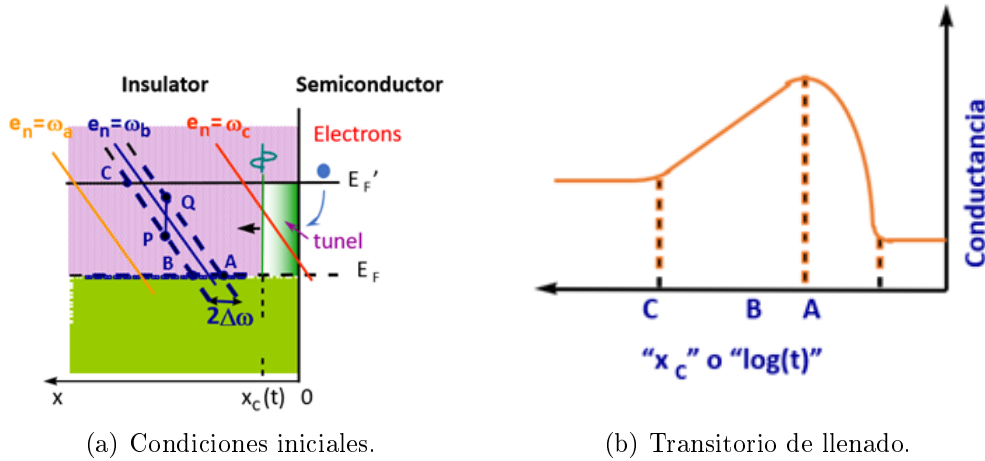


Figura 3.8: Diagrama de bandas de la interfaz de aislante-semiconductor mostrando la captura de electrones por estados continuos DIGS durante un transitorio de conductancia. [19]

cada componente es tan pequeña que en la práctica no son detectables en un rango grande. Por tanto, conviene usar la parte real de la admitancia (conductancia) de los condensadores MOS. Esto se debe a que a cada frecuencia, los transitorios de conductancia tienen sólo contribuciones de las trampas cuya constante de tiempo es igual a la frecuencia de la señal (ver [20]). Los transitorios de conductancia se pueden entender observando la Figura 3.8. Dicha figura está referida a una estructura MOS con semiconductor de tipo N como sustrato. Cuando se aplica el pulso de tensión, las trampas DIGS vacías vienen desde la banda de conducción (estructura n-MOS). E_F y E'_F son las posiciones del nivel de Fermi antes y después del pulso. El proceso de captura está asistido a través de efecto túnel, llevando así cierto tiempo. Este efecto se llama túnel asistido por trampas superficiales. De esta manera los estados vacíos cercanos a la interfaz capturan electrones antes que los estados profundos dentro del dieléctrico. x_C es la distancia recorrida por los electrones que tunelean en el tiempo t . Es importante darse cuenta que sólo esos estados con rangos de emisión y captura del mismo orden de magnitud que la frecuencia tienen contribuciones no nulas a la conductancia [21].

Imaginemos una frecuencia experimental ω_b , entonces sólo esos estados con rangos de emisión entre $\omega_b \pm \Delta\omega$ pueden contribuir a la conductancia (estos estados están localizados sobre la línea de equi-emisión $e_n = \omega_b$ (Figura 3.8)), por lo tanto sólo cuando los electrones que tunelean (x_C) alcanza el punto A, la conductancia aumenta. Por tanto, cuando se alcanza el punto B, el transitorio de conductancia nos da la distribución de estados DIGS, que es decreciente a medida que nos alejamos de la interfaz de acuerdo con el modelo de He [14]. Finalmente, la conductancia vuelve a su valor inicial cuando x_C alcanza el punto C. Después de este punto, los estados DIGS que pueden contribuir a la señal de conductancia tienen energías alejadas del nivel de Fermi y, entonces, los estados DIGS permanecen vacíos. El modelo analítico presentado en [19] nos permite obtener el perfil de los estados DIGS como una función de la distancia a la interfaz y la posición energética a través de la medida de

los transitorios de conductancia a diferentes frecuencias y temperaturas. En el caso de una estructura n-MOS, la densidad de los estados DIGS puede ser dada como sigue:

$$N_{DIGS}(E(t), x_C(t)) = \frac{\Delta G_{SS}(t)}{0,4 q A \omega} \quad (3.28)$$

donde $E(t)$ es la energía de los estados DIGS, la cual a un tiempo t durante el transitorio contribuyen a la variación de la conductancia. x_C es la distancia recorrida por los electrones que tunelean durante el tiempo t , y viene dada por:

$$x_C(t) = x_{on} \ln(\sigma_0 v_{th} n_s t) \quad (3.29)$$

donde $x_{on} = \frac{h}{2\sqrt{m_{eff}H_{eff}}}$ es la longitud de decaimiento del tuneleado, σ_0 es la sección de captura de portadores en $x=0$, v_{th} es la velocidad térmica de los portadores en el semiconductor, y n_s es la densidad de portadores libres en la interfaz. Por último, m_{eff} es la masa efectiva de los electrones en el dieléctrico y H_{eff} es la barrera de energía existente entre semiconductor y dieléctrico para los portadores mayoritarios, esto es, la diferencia entre la banda de conducción del dieléctrico al semiconductor. La Figura 3.9 muestra x_{on} para algunos dieléctricos de alta permitividad, los valores de masa efectiva y la altura de la barrera han sido obtenidos de [4] y [22], respectivamente. Se puede observar que x_{on} es mayor para dieléctricos en los cuales tanto la barrera (H_{eff}) como la masa efectiva (m_{eff}) son bajas. En esos casos, x_C es más rápida y, consecuentemente, los transitorios alcanzan posiciones más profundas en el dieléctrico. Una consecuencia importante se deriva de la Figura 3.9 y es que a medida de que la permitividad aumenta, la distancia de decaimiento del efecto túnel aumenta dando perfiles de DIGS más profundos.

Finalmente, las posiciones energéticas de los estados DIGS en la banda de gap del dieléctrico se obtienen de la línea de equi-emisión definida en [14] y teniendo en cuenta que la frecuencia de medida está relacionada con el rango de emisión por $e_n = \frac{\omega}{1,98}$ [21], tenemos:

$$E' - E(x_C, t) = H_{eff} + kT \ln \left(\frac{\sigma_0 v_{th} N_C}{\omega/1,98} \right) - \frac{kT}{x_{on}} x_C(t) \quad (3.30)$$

Cuando la temperatura decrece, los rangos de emisión de todos los estados de la interfaz decrecen exponencialmente y las líneas de equi-emisión cambian acercándose a la interfaz. De esta manera los transitorios cambian de una manera similar a cuando se aumenta la frecuencia manteniendo constante la temperatura. Haciendo uso de las ecuaciones 3.28 y 3.30, se puede obtener el mapa de las líneas de contorno (representado en la Figura 3.10) y que muestra el perfil tridimensional de los

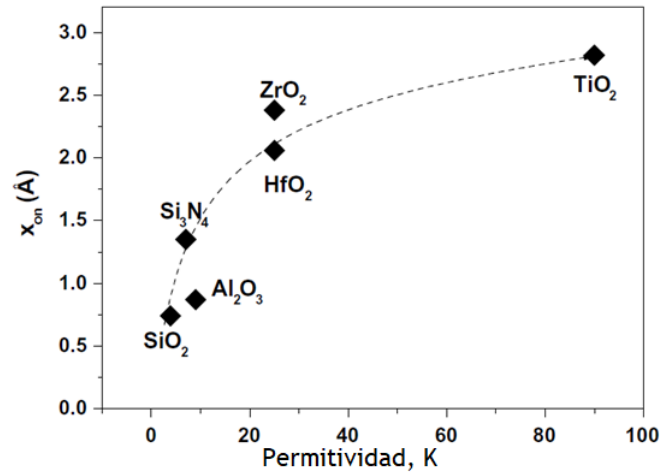


Figura 3.9: Longitud de decaimiento por tuneado respecto de la permitividad para distintos dieléctricos. Los datos han sido sacados de [4] y [22]

DIGS. Experimentalmente, la medida de la temperatura introduce un error de 0.1K. El error estimado de la energía y de la concentración de defectos en los perfiles de DIGS son de unos 10 meV y $5 \cdot 10^{-9} eV^{-1} cm^{-2}$, respectivamente. La precisión estimada de la profundidad de los DIGS está alrededor de 2Å.

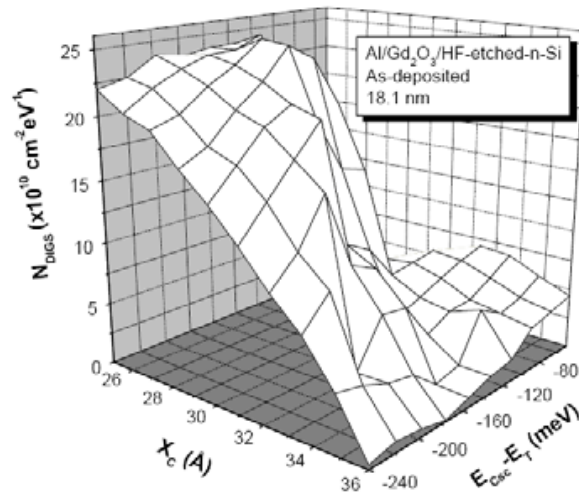


Figura 3.10: Ejemplo de perfil tridimensional de DIGS. Láminas de óxido de gadolinio formadas por ALD [23].

La Figura 3.10, es un ejemplo de perfiles de DIGS obtenidos a partir de transitorios de conductancia en estructuras MOS fabricadas con técnica ALD. En este caso usando como dieléctrico óxido de gadolinio. Los estados DIGS están localizados en una región superficial de profundidad con unos valores típicos de una decena de angstroms partiendo desde la interfaz y a energías cercanas a la de las bandas de conducción y valencia del semiconductor.

El dispositivo experimental consiste en un generador de pulsos para aplicar pulsos de tensión, un analizador para medir la conductancia y un osciloscopio digital para grabar y registrar los transitorios de conductancia. Las muestras se enfrían hasta una temperatura de 77K en un criostato.

3.3. Técnica de transitorios de banda plana

3.3.1. Trampas en el aislante: trampas lentas y cargas en el volumen

Se han de solucionar muchos problemas antes de que los materiales dieléctricos de alta permitividad puedan ser fabricados de manera masiva. Un factor a tener en cuenta es la inestabilidad de los materiales de alta permitividad, causada por los mecanismos de transporte de carga libre y atrapada dentro del aislante a través de los defectos preexistentes en dichos materiales. Los dos tipos de cargas (cargas fijas y móviles) causan cierta degradación por cambio del voltaje límite, limitando así la movilidad de los portadores en un transistor MOSFET y reduciendo la vida útil de este tipo de estructuras. Los cambios de voltaje límite se observan con voltaje positivo, voltaje negativo y sometiendo a estrés por calentamiento a los portadores en las zonas de puerta de dieléctricos de alta permitividad. La captura de cargas bajo voltaje positivo es conocida por ser mayor comparada con los dieléctricos basados en S_iO_2 [24]. La razón de que esto ocurra puede ser debido al llenado de trampas pre-existentes en el volumen. Estas trampas causan cambios en el voltaje límite y provocan degradación de la corriente de conducción en el tiempo en el que el dispositivo opera. También repercute en la precisión de las medidas de la movilidad debido a una distorsión de las curvas C-V. La inestabilidad de la temperatura con voltaje negativo (NBTI) induce cambios de voltaje límite en los sistemas de alta permitividad. Estos cambios tienen varios niveles observados [25] y pueden ser comparables a los observados en los sistemas basados en silicio.

Estas trampas causan transitorios de tensión de banda plana en dieléctricos de alta permitividad ultra finos basados en silicio [20]. Los transitorios se pueden obtener experimentalmente midiendo la tensión de puerta mientras se mantiene la capacidad constante a la condición inicial de banda plana (C_{FB}). Los experimentos para extraer los transitorios en este caso, se realizan sin condiciones de estrés externo: campo eléctrico nulo en el sustrato, condiciones de oscuridad y no introducción de carga externa. Bajo estas condiciones, el único mecanismo para atrapar defectos es la activación térmica, esto es, a través de fonones. Se ha probado que la energía de fonones ópticos en los dieléctricos de alta permitividad se puede obtener bajo esta aproximación experimental. Los electrones en la capa de inversión cerca de la interfaz semiconductor-aislante interaccionan con las vibraciones superficiales que existen como consecuencia de las vibraciones ópticas de la red cristalina en el interior del aislante, lo que se denomina como un scattering de fonones remotos. De este modo, las propiedades que causan una mayor permitividad del material aislante, dan lugar

a una degradación de la movilidad electrónica efectiva en la capa de inversión. Dado que los mecanismos de carga y descarga y los procesos de scattering no son instantáneos, aparecerán fenómenos transitorios que caracterizan al dispositivo electrónico, y en concreto, una dependencia con el tiempo del valor de tensión de banda plana de la estructura MIS. Como cada material de alta permitividad responderá de distinta manera, se puede decir que esta dependencia temporal es precisamente la base de la técnica de caracterización de tensión de banda plana.

El dispositivo experimental para obtener los transitorios de banda plana consiste en un sistema de retroalimentación o feedback que hace variar la tensión de puerta aplicada para mantener la capacidad a su valor de tensión de banda plana. La capacidad se mide con un capacímetro y una fuente de tensión programable que nos da el voltaje para mantener la capacidad al valor de banda plana, C_{FB} .

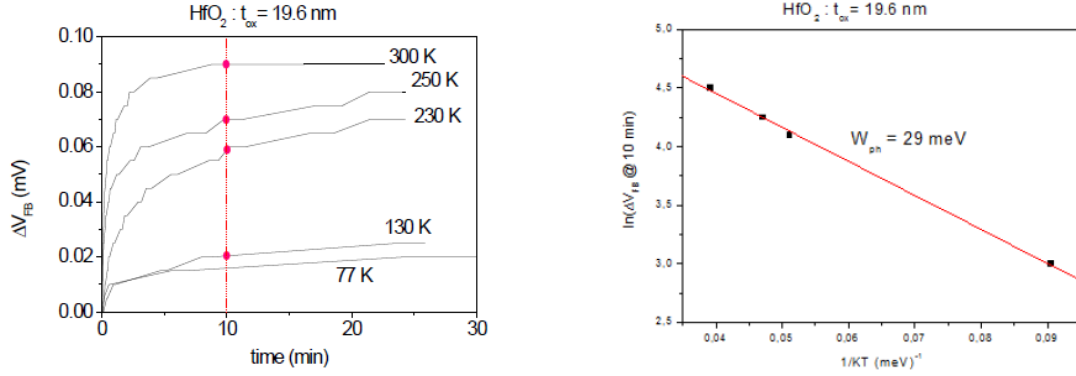
El voltaje de banda plana, V_{FB} , de un condensador MOS viene dado por la siguiente expresión:

$$V_{FB}(t) = \Phi_{MS} - \frac{Q_i}{C_{ox}} - \frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} \rho_{ox}(x, t) x dx \quad (3.31)$$

Cuando la densidad de carga dentro del aislante, $\rho_{ox}(t)$, varía con el tiempo, t , o con la distancia a la interfaz, x , el voltaje de banda plana cambia. En particular, la captura y emisión en los defectos existentes dentro del dieléctrico producirán variaciones transitorias de la tensión de banda plana.

De acuerdo con la ecuación 3.31, las variaciones de voltaje tienen signo opuesto a las cargas. En la condición de tensión de banda plana, no hay electrones o huecos inyectados directamente desde la puerta o semiconductor, es decir, las cargas libres se mueven a saltos de trampa en trampa. Además, debido a la no existencia de estímulos ópticos o eléctricos externos, las cargas libres deben estar originadas a partir de mecanismos de esa captura o emisión en defectos existentes dentro del dieléctrico antes mencionada. La energía necesaria para activar esos mecanismos sólo pueden ser proporcionados por energía térmica, es decir, por vibraciones de la red (fonones). El montaje experimental de esta técnica es idéntico al usado para la técnica de capacidad-voltaje. La única diferencia es que para obtener transitorios de tensión de banda plana implementamos el sistema de retroalimentación que se comentó antes y que varía el voltaje de puerta aplicado de tal manera que mantiene constante el valor de la capacidad de banda plana. Los transitorios de voltaje de banda plana experimentales son más rápidos a medida que el ancho del dieléctrico disminuye. La dependencia temporal aparece con independencia de la temperatura.

Estos dos últimos hechos nos llevan a pensar que hay involucrados procesos de túnel. La amplitud de los transitorios es activada térmicamente con energías que están en el rango de los fonones ópticos que se suelen dar para dieléctricos de alta permitividad. Hemos probado que los transitorios de voltaje de banda plana crecen o decrecen dependiendo de la historia previa de la tensión (acumulación o inversión) y el signo



(a) Variación de la tensión de banda plana con el tiempo (temperatura constante).

(b) Logaritmo de tensión de banda plana en función del inverso de la energía (función de la temperatura).

Figura 3.11: Resultados experimentales para una muestra de HfO_2 de anchura ~ 20 nm.

de la histéresis (sentido horario o antihorario) de las características capacidad voltaje (C-V) de las estructuras MOS.

Para ilustrar la técnica, incluimos en la Figura 3.11 algunos resultados experimentales para el caso de una muestra de óxido de hafnio fabricada por ALD sobre silicio. La amplitud de los transitorios de voltaje de banda plana dependen de la temperatura de acuerdo a la ley:

$$\Delta V_{FB}(T, t) \propto \exp - \left(\frac{\Phi_{ph}}{kT} \right) \quad (3.32)$$

donde Φ_{ph} es la energía de los fonones ópticos del dieléctrico.

A modo de resumen de las técnicas anteriormente vistas, podemos presentar la Figura 3.12. En ella se muestran las diferentes zonas en las que se dividen las estructuras MOS. Además se señalan qué técnicas se usan para caracterizar cada zona y el qué es lo que se intenta caracterizar. Vemos que son cargas en el aislante para la técnica de características C-V, estados para la G-t y DLTS y fonones para la técnica de transitorios de banda plana.

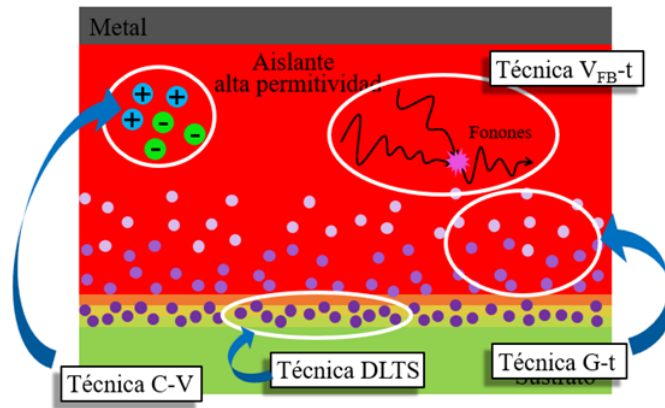


Figura 3.12: de la estructura MIS en relación con la técnica de caracterización respectiva. Zona verde: sustrato (semiconductor). Rojo: aislante de alta permitividad. Gris: metal. [26]

Capítulo 4

Resultados experimentales

4.1. Desarrollo experimental

En esta sección se presentarán brevemente los equipos que han sido utilizados en la toma de medidas en cada uno de los casos. Además de esto, se hará un análisis de los resultados obtenidos a partir de la realización de los distintos métodos antes descritos.

4.1.1. Muestras MOS

Las estructuras MOS usadas en nuestras experiencias, fueron suministradas por el Centro Nacional de Microelectrónica de Barcelona (IMB-CNM) [27]. Todas ellas tuvieron en común tanto el área de las capas, como el metal y el semiconductor que confinan al aislante. El área de todas estas muestras fue de $480\mu m \times 480\mu m$. Como metal (electrodo), nos encontramos con una capa de 2 nm de espesor de níquel (Ni). Por otro lado, el semiconductor usado como sustrato es silicio dopado de tipo N cuya resistividad (ρ) está entre $7/13 m\Omega$ según los datos proporcionados por el proveedor. El dopado de estas muestras es de $4 \times 10^{18} cm^{-3}$.

Un factor muy importante a tener en cuenta es que estas muestras MIS son unipolares y por tanto hay que prestar especial atención para que no se realice “forming” o “electroforming”. Este proceso consiste en la formación de pequeños hilos conductores que conectan los electrodos atravesando el aislante. Esto se consigue con la aplicación de una diferencia de potencial entre los electrodos de la muestra. El proceso de “forming” es básico en el estudio de dispositivos de conmutación resistiva en condensadores MIM. Sin embargo, en nuestro estudio de estructuras MIS no debemos realizarlo ya que la muestra sería inútil para el estudio de defectos en el aislante. Si esto sucede podemos hablar de ruptura de nuestra muestra y el estudio debe ser detenido por la irreversibilidad de este fenómeno.

Respecto a la fabricación de las estructuras cabe comentar que las capas, tanto de HfO_2 como de Al_2O_3 , fueron depositadas por ALD. Las temperaturas fueron de $200^\circ C$ para Al_2O_3 y de $225^\circ C$ para el HfO_2 .

4.1.2. Instrumentación usada

A continuación se presenta el equipo usado para realizar medidas con las muestras MIS. De cada una de ellas se adjunta una breve descripción junto a una imagen.

- Criostato de N₂ líquido. Permite medir en un rango de temperaturas entre 77-350 K. Lleva incorporada una resistencia de platino que permite medir la temperatura y una resistencia calefactora.
- Controlador de temperatura *Oxford Instruments ITC503*. Mide el valor de la resistencia de platino y calcula la temperatura. El propio controlador aplica tensión a la resistencia calefactora y permite estabilizar la temperatura mediante un control PID (proporcional-integral-diferencial).

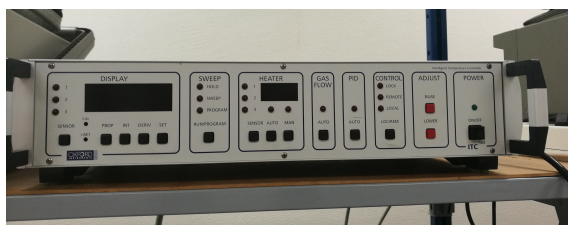


(a) Criostato de nitrógeno líquido *Oxford*.

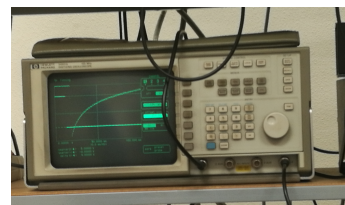


(b) Generador de pulsos *HP 8112A*.

- Controlador de temperatura *Oxford Instruments ITC503*. Mide el valor de la resistencia de platino y calcula la temperatura. El propio controlador aplica tensión a la resistencia calefactora y permite estabilizar la temperatura mediante un control PID (proporcional-integral-diferencial).
- Osciloscopio *HP 54501A*. Es un osciloscopio digital que permite capturar señales transitorias y volcarlas al ordenador de control.



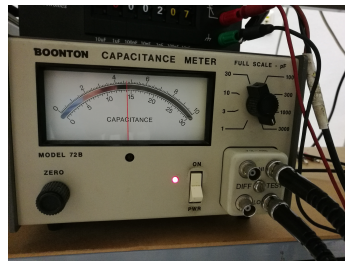
(c) Controlador de temperatura *Oxford Instruments ITC503*.



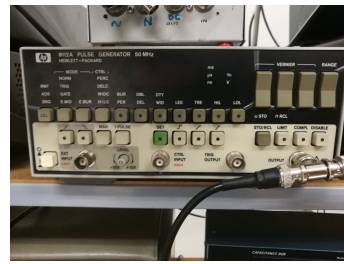
(d) Osciloscopio *HP 54501A*.

- Capacímetro analógico *Boonton 72B*. Permite medir capacidades a una frecuencia fija de 1MHz.

- Generador de pulsos *HP 8112A*. Permite generar pulsos pudiendo ajustar los parámetros.



(e) Capacímetro analógico a 1MHz *Boonton 72B*.



(f) Generador de pulsos *HP 8112A*.

- Analizador de parámetros semiconductores *HP 4155B*. Realiza medidas corriente-tensión en continua. Se pueden aplicar tensiones midiendo corriente y viceversa.
- Electrómetro programable *Keithley 6517A*. Permite realizar medidas de corrientes, tensiones, resistencias y carga.



(g) Analizador de parámetros semiconductores en corriente continua *HP 4155B*.



(h) Electrómetro programable *Keithley 6517A*.

- Analizador de impedancias *Agilent 4294A*. Proporciona los valores de la parte real e imaginaria de la impedancia del dispositivo bajo test en el rango de frecuencias 50Hz-100kHz.
- Todos los equipos se comunican con el ordenador de consola mediante el bus de comunicaciones GPIB (General Purpose Instrumentation Bus)

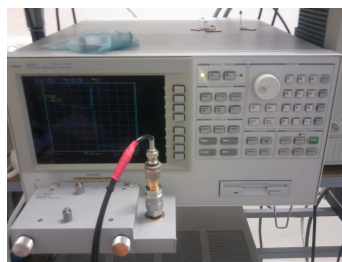


Figura 4.1: Analizador de impedancias *Agilent 4294A*.

4.1.3. Método experimental

Muestra 8343-6

En primer lugar analizamos la muestra 8343-6. Esta muestra está formada, como antes se introdujo, por un electrodo de níquel y un otro de silicio dopado tipo N. El aislante en este caso está formado por varios óxidos. En concreto tiene un aislante con 5 capas, cada una de ellas con 4 nm de espesor. La estructura que tiene el aislante es la siguiente:



Vemos tres capas de óxido de hafnio, donde 2 de ellas son colindantes con los electrodos. Esto quiere decir que la interfaz aislante-semiconductor es la formada por el óxido de hafnio y el silicio dopado.

Características CG-V con analizador

El análisis comenzó con una medida de la capacidad y la conductancia de la muestra. Realizamos el mismo análisis a diferentes temperaturas usando el criostato. Las temperaturas usadas fueron de una temperatura mínima $T_{min} \sim 78\text{K}$ y una máxima $T_{max} \sim 300\text{K}$ (temperatura ambiente). Se conectó la muestra haciendo pasar por ella una diferencia de potencial. En este caso se realizaron dos barridos en voltaje como se comentó en el apartado teórico. De esta manera se llevó desde -5V hasta 2V y después se hizo el camino inverso (desde 2V hasta -5V). La frecuencia que se suministró fue de 50 kHz en todo momento. Los datos así obtenidos, fueron recogidos por el analizador *Agilent 4294A*. Estos se representaron en función del voltaje aplicado. Los resultados obtenidos en dicho barrido aparecen representados en la Figura 4.2.

En la Figura 4.2 podemos ver varias curvas según el tipo de análisis. Vemos que las curvas negras se refieren al análisis a temperatura ambiente mientras que las rojas son las correspondientes a muy baja temperatura. Podemos ver que la curva número 1, correspondiente a la conductancia durante el aumento de tensión ($-5\text{V} \rightarrow 2\text{V}$), comienza a crecer en torno a -4V alcanzando el máximo ($4.3\ \mu\text{ S}$) para -3V . Una vez que se llega a -1V , se obtiene una cierta estabilidad. El ciclo de bajada de tensión ($2\text{V} \rightarrow -5\text{V}$) se representa en la curva 2. De ella se desprende que el pico de conductancia, de aproximadamente el mismo valor que en el caso del aumento de tensión, aparece desplazado encontrándose ahora sobre los -2V . Asociadas a estas, se pueden ver dos curvas más a temperatura ambiente. La curva 3 muestra la capacidad en el rango de subida y, la curva 4, en el de bajada. En ellas vemos que la capacidad toma unos valores parecidos empezando en torno a 1.0nF y llegando alrededor de 1.6nF . De esta manera se forma un “ciclo de histéresis”, correspondientes a la capacidad, en las cuales el camino superior pertenece al aumento del potencial desde negativo hasta positivo y por tanto el otro a la bajada de potencial. Estas diferencias de caminos se suelen deber a la presencia de defectos en el aislante. Aparecen otras 4 curvas en color rojo distribuidas de la misma manera que estas anteriores pero

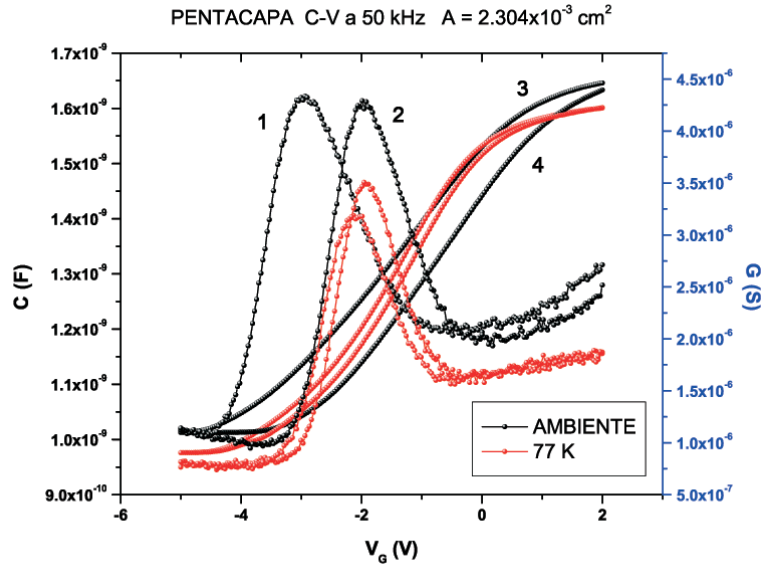


Figura 4.2: Características CG-V muestra pentacapa. Curva 1: Conductancia de subida (-5V \rightarrow 2V). Curva 2: Conductancia de bajada (2V \rightarrow -5V). Curva 3: Capacidad de subida. Curva 4: Capacidad de bajada.

a bajas temperaturas. Sin embargo, en este caso, vemos que la diferencia entre las dos curvas de conductancia, respecto al voltaje, es prácticamente inexistente. En otras palabras, el ancho del ciclo de histéresis de la capacidad para este caso, es prácticamente nulo.

Medida de capacidad con capacitmetro

Para la medida de la capacidad de la muestra con capacitmetro, hacemos uso del capacitmetro *Boonton 72B*. Para el análisis, se sigue un método semejante al realizado en el caso anterior. El rango de tensiones usado será el mismo. Primero iremos desde -5V hasta 2V y después se recorrerá el camino inverso. Se comienza enfriando la muestra hasta ~ 80 K tomando los valores C-V. Después se aumenta la temperatura hasta temperatura ambiente para realizar una nueva toma de datos capacidad-tensión. Tanto este estudio como el anterior se realizan bajo los mismos parámetros con el fin de poder comparar los dos métodos.

Los datos registrados y procesados muestran la Figura 4.3. En ella se ven ciertas analogías con el caso anterior. Los rangos de las capacidades son muy parecidos estando, en este caso, los valores mínimos algo por debajo del caso anterior (~ 700 pF). Se observa que la curva de histéresis a temperatura ambiente es más ancha donde podemos ver que la capacidad medida es menor a una baja temperatura. Aún así, podemos ver que la diferencia que hay entre los máximos y los mínimos de capacidad para ambas temperaturas está en torno a unos 50 pF. Esto también aparece bajo el análisis anterior. Además podemos notar un ciclo visiblemente más ancho para temperatura ambiente respecto de baja temperatura, cosa que concuerda con el estudio

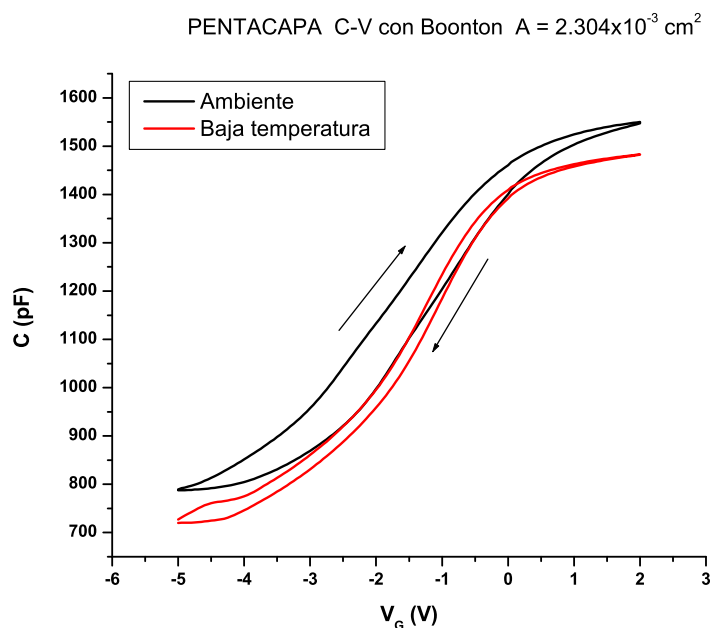


Figura 4.3: C-V muestra pentacapa medida con capacitmetro *Boonton* para la muestra 8343-6.

anterior usando el analizador. El objetivo del uso de una fuente de alterna para estas dos técnicas es el hacer un análisis de comportamientos puramente reactivos como son la capacidad y la conductancia.

DLTS

La técnica DLTS (Deeplevel transient spectroscopy) tiene como objetivo conocer los defectos que hay en la interfaz que une el aislante con el semiconductor. Como se ha explicado anteriormente, esta técnica se basa en una medida de transitorios de capacidad a partir de pulsos de alta frecuencia. Para ello, se emiten pulsos de alta frecuencia (1 MHz) haciendo uso del generador de pulsos *HP 8112A*. El capacitmetro *Boonton 72B* da cuenta de la capacidad en cada momento. Nosotros en este caso, usaremos la técnica propuesta originalmente por Lang de variar la temperatura. A través de un programa informático se capturan los transitorios de capacidad cada cierta temperatura. En nuestro caso elegimos que sea cada Kelvin. Para la temperatura, haremos uso del controlador de temperatura *ITC503* de *Oxford Instruments*.

El objetivo principal es conocer la densidad de defectos en la interfaz del aislante y el semiconductor. Los resultados obtenidos a través de esta técnica para la muestra pentacapa se pueden ver en la Figura 4.4. En ella vemos que la concentración de defectos ronda un valor del orden de $\sim 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$.

Cabe destacar que en el eje de ordenadas se representa la concentración de defectos en la interfaz, es decir, en el área que separa aislante y semiconductor. Por este

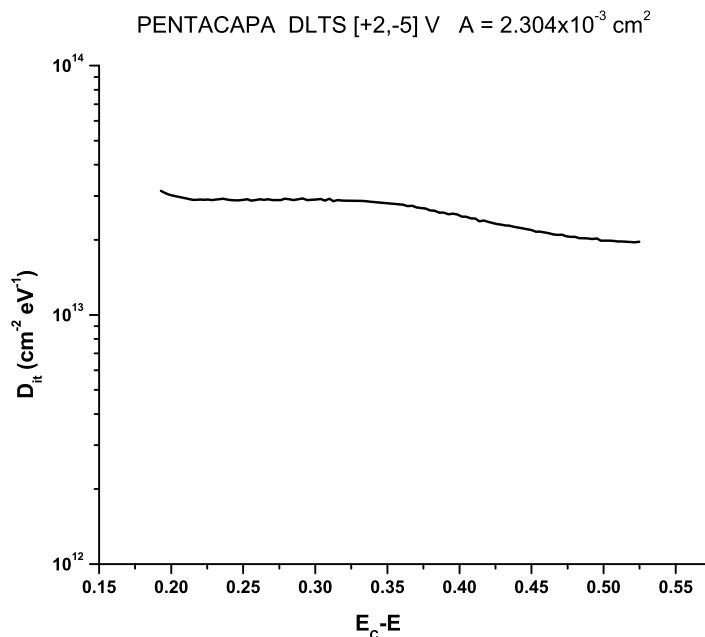


Figura 4.4: DLTS muestra pentacapa.

motivo, dicha concentración viene dada en cm^{-2} . Por otro lado conviene fijarse en que la energía (eje de abscisas) realmente es una diferencia de estas. Esto tiene su razón en que la energía se mide respecto de la banda de conducción. A su vez, la razón de que se mida respecto de la banda de conducción, se debe al tipo de dopado del semiconductor (tipo N).

Medida de corriente en función de la tensión

La medida de la corriente en función de la tensión es una prueba para comprobar el comportamiento en corriente a diferentes temperaturas. Básicamente se hace un barrido de tensión, como en los casos anteriores, para ver cómo conduce la muestra. Sin embargo, ahora sólo aplicaremos voltaje positivo. En este momento hay que tener especial atención con la muestra ya que, como se introdujo antes, si se eleva demasiado la diferencia de potencial se produce el “forming” en la muestra. En el caso en el que esto ocurra, no se puede continuar con la caracterización, quedando entonces inservible para nuestro estudio. Por tanto, como la temperatura es un parámetro, variamos esta desde $\sim 78 \text{ K}$ hasta temperatura ambiente (300 K) tomando las curvas I-V para cada una de ellas. Para mantener y controlar la temperatura se hace uso del criostato y el controlador de temperatura *ITC503* de *Oxford Instruments*. Para la toma de las curvas se usa el analizador de parámetros de semiconductores *HP 4155B*. Los resultados obtenidos se presentan en la Figura 4.5.

Resulta evidente de nuestro estudio (Figura 4.5) que a pequeñas tensiones la corriente es muy pequeña (prácticamente no conduce) y con algo de ruido. Vemos

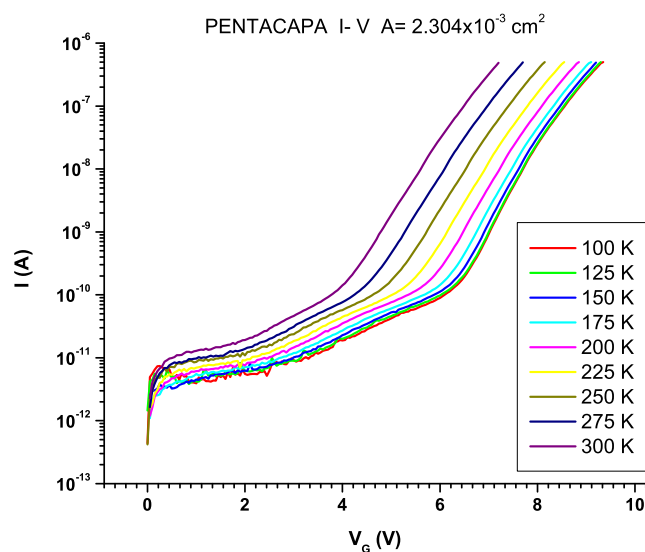


Figura 4.5: Características $I-V_g$ en la muestra pentacapa para distintas temperaturas.

también el comportamiento común que tiene la muestra a todas las temperaturas, y es que, a cierto potencial la corriente se hace notable (nótese la escala logarítmica). Sin embargo la principal diferencia es que ese punto depende de la temperatura a la que esté la muestra. De la Figura 4.5 se desprende que a medida que la temperatura aumenta, el voltaje necesario para la conducción es menor. De hecho, cuando se baja de una temperatura cercana a los 175K, ese punto es prácticamente el mismo. Es decir, la muestra se comporta de una manera similar para las temperaturas por debajo de una cierta $T_{umbral} \sim 175K$ y conduce para tensiones cada vez menores a medida que la temperatura aumenta.

Tensión de banda plana

Con el método de tensión de banda plana se busca mantener la capacidad en su condición de banda plana y para ello se varía la tensión. En otras palabras, se busca la tensión que se tiene que aplicar para que las bandas de energía sean planas. La tensión que cumple con esta característica se denomina tensión de banda plana (V_{FB}). En la Figura 4.6 se muestra un esquema de la estructura de las bandas energéticas en el material. El objetivo último de esto es conocer la densidad de defectos en la interfaz del aislante y el semiconductor.

Para la realización de este análisis, se parte de inversión (-5V) y se va modificando la tensión para mantener fija la capacidad. La capacidad en este caso es de 1200pF. Lo que se hace es medir la diferencia de tensión durante un cierto tiempo para ver cómo tiene que variar la tensión. En este caso, para la realización de esta técnica se hace uso del electrómetro programable *Keithley 6517A*.

Como en casos anteriores tomaremos diferentes temperaturas para el estudio. Los

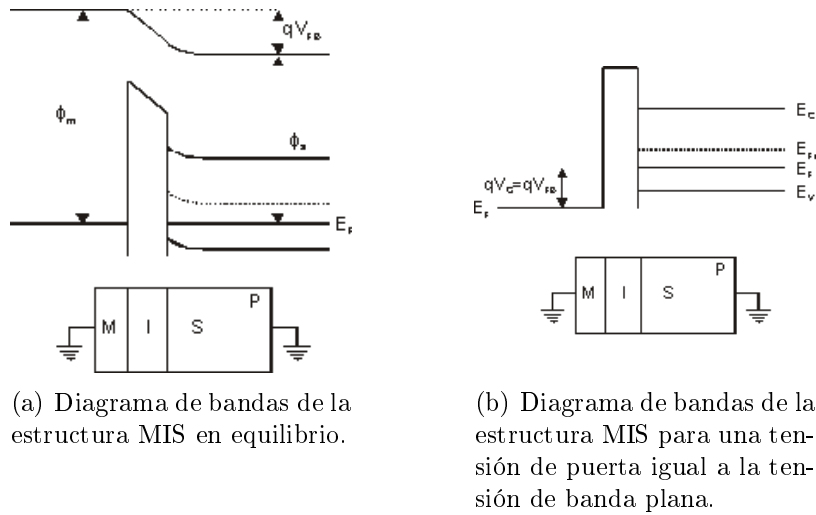


Figura 4.6: Bandas estructura MIS

resultados obtenidos se ponen de manifiesto en la Figura 4.7. En ella podemos observar esa diferencia de tensiones para mantener la capacidad de banda plana fija. Se ha tomado, para cada una de las temperaturas, un tiempo de unos 500 segundos.

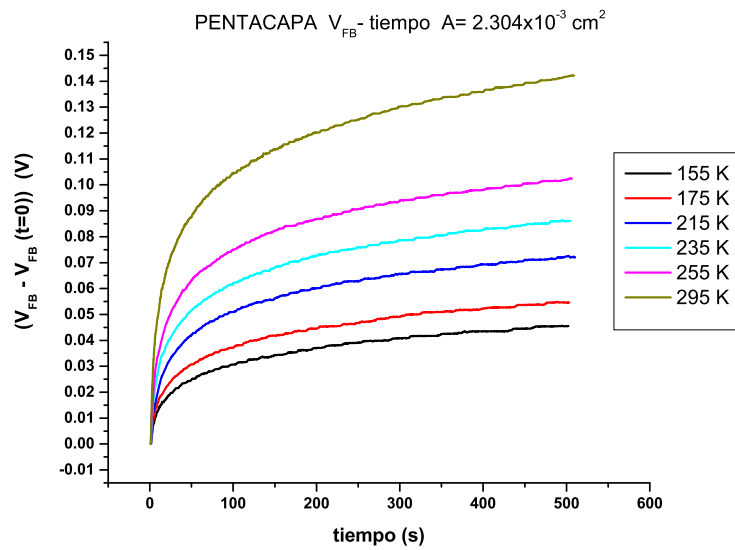


Figura 4.7: Diferencias de tensión para distintas temperaturas en un tiempo $t=500$ s para la muestra pentacapa.

Muestra 8343-4

La segunda muestra en la número 8343-4. En este caso, y contrariamente a cómo era la muestra 8343-6, el aislante está formado por tres capas de óxido (tricapa). Las capas de óxido de aluminio tienen un espesor de 5nm mientras que la capa central de óxido de hafnio tiene un espesor de 10nm. De esta manera, la estructura toma la siguiente forma:



Notemos que ahora hay la misma cantidad de ambos óxidos. Además ahora es el Al_2O_3 el que está en contacto con el metal y el semiconductor. Es decir, la interfaz aislante-semiconductor ahora está formada por el silicio dopado (tipo N) y el óxido de aluminio.

Características CG-V con analizador

Para hacer el análisis de las curvas características de capacidad y conductancia de esta muestra se procede análogamente a como se hizo con la muestra anterior. Sin embargo, para esta nueva muestra, el rango válido para el análisis va desde -5V hasta 5V. Se vuelve a tomar como temperaturas $T_{min} \sim 78\text{K}$ y T_{max} temperatura ambiente ($\sim 300\text{K}$). Evidentemente se hacen dos barridos, uno de subida y otro de bajada con la toma de datos utilizando el analizador *Agilent 4294A*. La frecuencia en todo momento fue de 50kHz. Los resultados obtenidos los diversos barridos aparecen representados en la Figura 4.8.

A la temperatura ambiente, la capacidad alcanza un máximo en torno a $\sim 1.6\text{nF}$ de amplitud. En este caso, vemos también que se forman los ciclos de histéresis fácilmente visibles para la capacidad (curvas 3-4). De la misma manera que antes, las partes superiores de los ciclos pertenecen a la polarización positiva (aumento de -5V a 5V) y las inferiores al barrido inverso (bajada de 5V a -5V). Esta vez, las curvas que completan el ciclo parecen un poco más anchas.

Para las curvas de la conductancia vemos que en cada pareja, definida por la temperatura de trabajo, las desplazadas hacia la izquierda corresponde con la subida de voltaje (curva 1 para temperatura ambiente) mientras que las desplazadas hacia parte derecha son las de polarización negativa como sucedía en el caso de la muestra anterior (curva 2 para temperatura ambiente). Para las medidas a baja temperatura tenemos que las curvas de conductancia se separan la una de la otra en $\sim 1.5\text{V}$. A baja temperatura, el camino recorrido por las curvas se parece al caso de temperatura ambiente.

Especialmente llamativo resulta el caso a baja temperatura, cuyo cambio, es más notable en comparación con la muestra pentacapa. Las curvas de conductancia a temperatura ambiente (análogas a 1 y 2) se separan de una manera evidente respecto a la muestra petacapa como podemos comparar de la Figura 4.2 y la Figura 4.8.

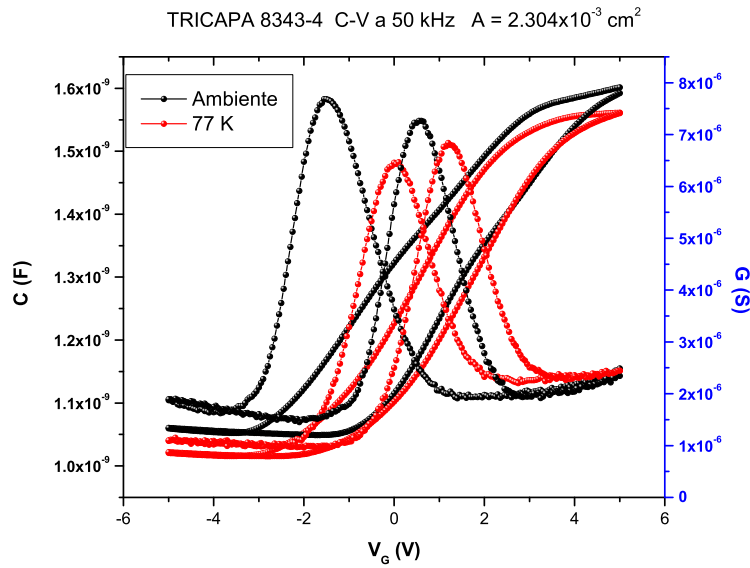


Figura 4.8: Características CG-V muestra tricapa. Curva 1: Conductancia de subida ($-5\text{V} \rightarrow \text{V}$). Curva 2: Conductancia de bajada ($5\text{V} \rightarrow -5\text{V}$). Curva 3: Capacidad de subida. Curva 4: Capacidad de bajada.

Vemos también un ensanchamiento notable el ciclo de capacidad a baja temperatura (ciclo de histéresis rojo). Tenemos que tener en cuenta que ahora la tensión positiva llega hasta los 5V. Es decir, esta muestra necesita una tensión de puerta mayor para alcanzar unos valores semejantes de capacidad respecto a la muestra 8343-4.

Medida de capacidad con capacitómetro

Para la medida de la capacidad de la muestra con el capacitómetro *Boonton 72B*, se sigue el mismo método que para la muestra anterior. Se comienza enfriando la muestra en el criostato hasta $\sim 80 \text{ K}$ y haciendo uso de controlador de temperatura *ITC503*, se va aumentando hasta $\sim 300\text{K}$ (temperatura ambiente) capturando los valores de la capacidad en función de la tensión suministrada.

El resultado hallado se muestra en la Figura 4.9. Se observa una simetría clara con el caso de análisis con el analizador. Vemos también que las capacidades menores registradas son ligeramente inferiores a las halladas con el analizador. Además, encontramos que, como sucedía en la pentacapa, la diferencia de anchuras de los ciclos medidos tanto con el analizador como por este método son muy similares. Otro comportamiento que se asemeja a la muestra 8343-6 es que la diferencia entre las capacidades para las dos temperaturas medidas es de unos 50pF.

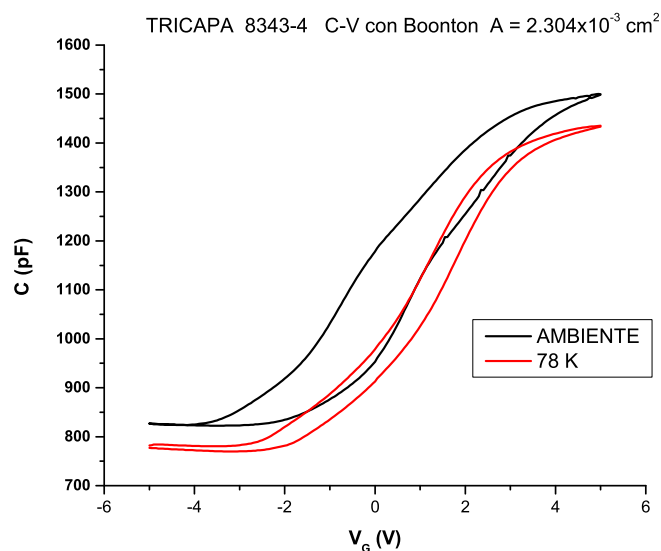


Figura 4.9: C-V muestra pentacapa medida con capacitmetro *Boonton* para la muestra 8343-4.

DLTS

Ya sabemos que este método tiene como objetivo conocer los defectos de la interfaz. Ahora, la muestra tiene una interfaz formada por distinto aislante (Al_2O_3) en contra al la interfaz formada en la 8343-6 (HfO_2). De nuevo utilizando el generador de pulsos *HP 8112A*, mandamos pulsos de alta frecuencia (1MHz) observando los transitorios en el osciloscopio *HP 54501A*. Los datos de estos se graban y almacenan cada Kelvin.

En la Figura 4.10 podemos observar que la concentración de defectos tiene un valor del orden de $\sim 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ como también sucedía con la muestra pentacapa. Se recuerda que la concentración de defectos es la de la interfaz (superficie) y por tanto se da en cm^{-2} en vez de unidades inversas de volumen. Como en el caso anterior, la concentración disminuye a medida que aumenta la diferencia energética respecto a la banda de conducción.

Medida de corriente en función de la tensión

Para el análisis en corriente, se practica un barrido en voltaje como en el caso de la otra muestra. Conviene recordar que este se hace para distintas temperaturas. De esta manera se vuelve a usar el criostato y el controlador de temperatura *ITC503*. Es decir, el parámetro sigue siendo la temperatura. Se hace hincapié de nuevo en tener precaución para no realizar el “forming” en la muestra. El rango de temperaturas vuelve a estar comprendido entre $\sim 78 \text{ K}$ y temperatura ambiente, es decir, $\sim 300 \text{ K}$. En la Figura 4.11 tenemos el resultado obtenido de las curvas I-V para diferentes temperaturas.

Vemos que para esta muestra hay bastante ruido para tensiones pequeñas. Sin em-

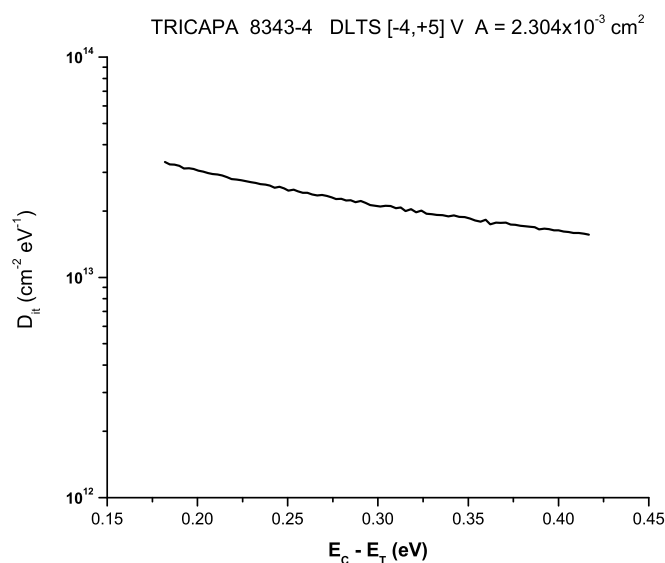


Figura 4.10: DLTS muestra tricapa

bargo hay una distinción más clara a partir de los 4V. Ahora el rango de tensiones en el que se extiende el comienzo de la conducción se alarga un poco más respecto de la otra muestra. Aunque este aumento no es grande (de $\sim 4\text{V}$ hasta $\sim 7\text{V}$). Es obvio de la figura que para temperaturas por debajo de 150K el comportamiento es el mismo y, sin embargo, por encima de 150K, a cada temperatura hay un comportamiento distinto. En este sentido, las muestras tienen un comportamiento análogo.

Tensión de banda plana

Buscamos ahora la tensión de banda plana. Como la explicación se ha hecho anteriormente se van a presentar directamente los resultados.

En este caso la misma manera de proceder es la misma que antes. Partimos de inversión (-5V) y modifica el potencial suministrado con el objetivo de mantener fija la capacidad de banda plana (C_{FB}) que en este caso es de 1250pF. Se usa el electrómetro programable *Keithley 6517A*. Para el estudio tomamos como parámetro la temperatura también y por tanto hemos de hacer uso del controlador de temperatura *ITC503*.

En la Figura 4.12 vemos cómo se modifica la tensión de puerta en función de la temperatura. Por semejanza con la otra muestra MIS, tomamos datos cada 25K en un rango de 100K. Lo que vemos es que hay una diferencia de unos 0.02V para unos 500 segundos respecto a la muestra pentacapa. Ello se puede deber a los 50pF en los que varía la capacidad de banda plana entre ambas.

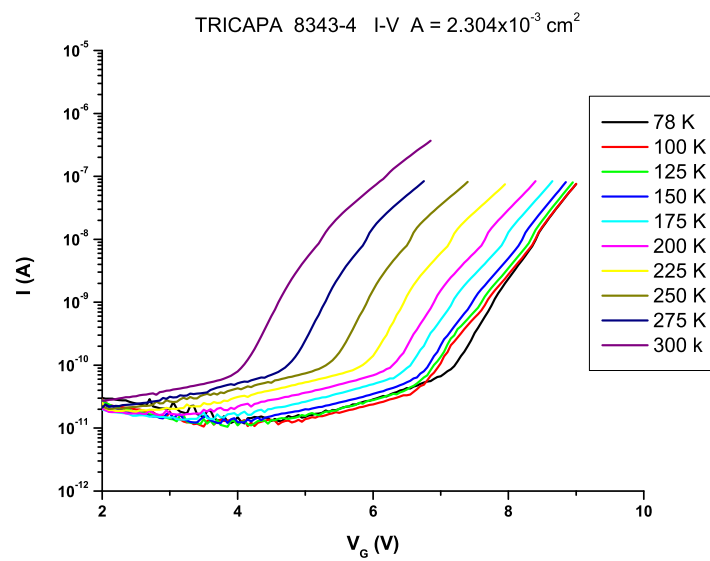


Figura 4.11: Características I- V_G en la muestra tricapa para distintas temperaturas.

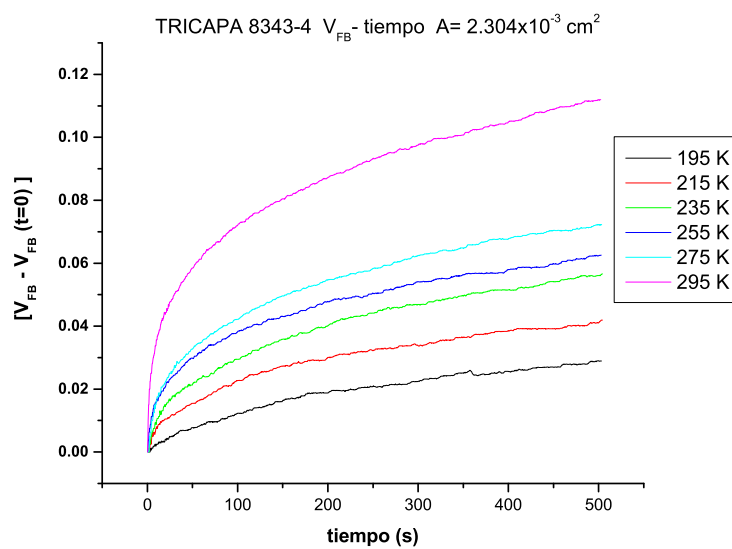


Figura 4.12: Tensión de banda plana tricapa.

4.1.4. Conclusiones de las técnicas

Ahora se presentan algunas conclusiones y razonamientos para los resultados vistos en el análisis de las dos muestras MOS.

Características CG-V

Resulta evidente de nuestro estudio que la capacidad no cambia bruscamente como se esperaría en un MOS ideal. La densidad de defectos en la interfaz, D_{it} , hace que esta curva se suavice. Los defectos, que se activan térmicamente, nos dan esta forma de histéresis para las curvas. Por esta razón, para las temperaturas mayores, la activación de las trampas es mayor y por tanto la histéresis más ancha.

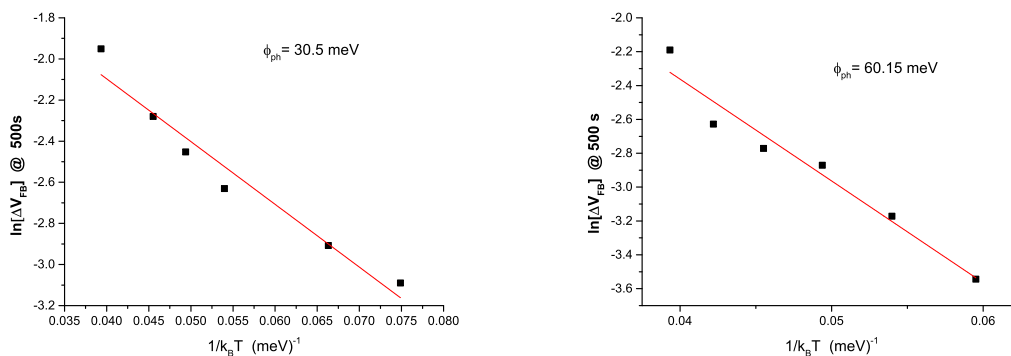
Por otro lado, el ensanchamiento de las curvas C-V, donde aparece la histéresis, y los valores de los picos para la conductancia tienen una estrecha relación. Se comprueba la relación de a más anchura de la histéresis tenemos los picos de la conductancia más separados.

DLTS

De la experiencia con el DLTS se puede extraer que la energía de los estados de interfaz tienen una distribución energética bastante homogénea como se puede ver en las figuras 4.4 y 4.10. En ambos casos la densidad de estados de interfaz es de un orden de $\sim 10^{13} \text{cm}^{-2} \text{eV}^{-1}$, que es un valor que se suele dar para óxidos de hafnio y de aluminio.

Transitorios de banda plana

Hemos realizado los transitorios de banda plana sin estrés externo (figuras 4.7 y 4.12). Las amplitudes de los transitorios de banda plana siguen la ley de Arrhenius (relación 3.15). Entonces, representando y ajustando los datos a una recta se puede conocer la energía de activación. Esto se puede ver en la Figura 4.13.



(a) Energía de activación muestra pentacapa.

(b) Energía de activación muestra tricapa.

Figura 4.13: Energías de activación de las muestras MIS usando transitorios de banda plana tomando 500s.

De estas observaciones podemos concluir que los transitorios de voltaje de banda plana bajo condiciones de no estrés, se realizan por túnel asistido por fonones entre estados localizados. Los fonones producen la ionización de las trampas existentes en el gap del aislante. Los electrones y/o huecos que se generan de esta manera se mueven saltando de trampa en trampa hasta que alcanzan un defecto y neutralizan el estado de carga de este. Es importante remarcar que los portadores no entran en la banda de conducción (o valencia) del dieléctrico y la conducción tiene lugar dentro de la banda prohibida.

Respecto a nuestras muestras, las energías en ambos casos son de unas decenas de mili electrón-voltio que están en el rango de las energías de los fonones ópticos. Por tanto, tienen buena concordancia con la teoría.

Para concluir hemos de decir que los valores obtenidos $\psi_{ph} = 30\text{meV}$ (muestra pentacapa) y $\psi_{ph} = 60\text{meV}$ (muestra tricapa) corresponden a los valores teóricos de fonones ópticos del óxido de aluminio y para el óxido de hafnio respectivamente. Esta es la única técnica que nos permite conocer el valor de estos fonones si tener que recurrir a técnicas más complejas en volúmenes mayores.

Medidas I-V

El hecho de que las corrientes tengan una variación con la temperatura indica que los mecanismos de conducción están activados térmicamente. Hay diferentes mecanismos de conducción de este tipo. A tensiones bajas la conducción es tipo Schottky. A tensiones altas es del tipo Fowler-Nordheim, es decir, lo que antes se ha llamado conducción a través de trampas en el aislante asistida por mecanismos túnel o túnel asistido por trampas. Aunque pueda parecer que, como el efecto túnel es independiente de la temperatura, la corriente no debería cambiar, es precisamente esa variación con la temperatura la que nos dice que el salto de trampa en trampa es mayor a mayor temperatura. De esta manera se explican la conducción a menor tensión para temperaturas mayores.

Capítulo 5

Conclusiones

La caracterización de estructuras electrónicas hoy en día es una rama de la física al alza. De ellas, las estructuras MOS tienen especial interés ya que la utilización de semiconductores abre un gran abanico en la modificación de las propiedades de estos.

En este Trabajo Fin de Grado se ha podido comprobar cómo este proceso de caracterización de muestras MOS no es fácil. En primer lugar, el número de muestras que se analizan es mucho mayor al que se expone aquí. Sin embargo, no todas ellas cumplen con los requisitos establecidos para ser utilizadas en la industria. Los problemas a los que nos enfrentamos en el análisis pueden tener una naturaleza muy diversa. Pueden ir desde que una muestra tenga materiales que no son aptos para el propósito buscado hasta incluso que los materiales sean idóneos pero su método de fabricación sea malo o mejorable.

Hemos de darnos cuenta que todos los efectos antes expuestos son microscópicos. Sin embargo, tanto las técnicas realizadas, como las magnitudes físicas con las que se trabaja son macroscópicas. Esto aporta más valor si cabe a este tipo de experimentación, ya que hay muchos más obstáculos a la hora de realizar estas experiencias que en otro tipo.

Por otro lado, se debe tener en cuenta la originalidad del trabajo. En todo caso, las técnicas descritas son originales del Grupo de Caracterización de Materiales y Dispositivos Electrónicos de la Universidad de Valladolid. O bien son puramente originales o bien modificaciones de otras aportando nuevos e interesantes cambios.

Respecto a las muestras, hemos podido caracterizar algunas de sus propiedades. La técnica más definitiva para nuestro estudio fue la de transitorios de tensión de banda plana. Mientras que en otras se obtuvieron resultados interesantes, en este análisis se obtuvieron densidades de estados de interfaz del orden de $\sim 10^{13} \text{cm}^{-2} \text{eV}^{-1}$ en ambos casos. Este es un valor inadmisiblemente alto para su utilización. Para que sea aceptable, el valor ha de estar $\sim 10^{11} \text{cm}^{-2} \text{eV}^{-1}$. La razón es que tantos estados en la interfaz producen un elevado desgaste en un transistor MOSFET, por ejemplo, reduciendo sus características físicas y su vida útil. Por tanto, estas muestras se han de reportar a su proveedor para que mejore las especificaciones o busque una alternativa.

Índice de figuras

2.1. Esquema de una estructura MOS/MIS	9
3.1. Diagrama de bandas de energía y tipos de cargas existentes en un condensador MOS.	11
3.2. Bandas de energía y estados de la interfaz en un condensador MOS en los diferentes regimenes.	12
3.3. Transitorios de capacidad descritos en un diagrama de bandas de energía de un condensador MOS de tipo N.	17
3.4. Esquema de transitorio de capacidad.	18
3.5. Perfiles de estados SS-DLTS para condensadores de $Al/HfSi_xO_y/SiO_2/n-Si$ [13].	19
3.6. Distribución de los DIGS en la interfaz aislante-semiconductor.	20
3.7. Dinámica de llenado de carga y agotamiento de los estados DIGS.	22
3.8. Diagrama de bandas de la interfaz de aislante-semiconductor mostrando la captura de electrones por estados continuos DIGS durante un transitorio de conductancia. [19]	24
3.9. Longitud de decaimiento por tuneado respecto de la permitividad para distintos dieléctricos.	26
3.10. Ejemplo de perfil tridimensional de DIGS. Láminas de óxido de gadolinio formadas por ALD [23].	26
3.11. Resultados experimentales para una muestra de HfO_2 de anchura ~ 20 nm.	29
3.12. Zonas de la estructura MIS en relación con la técnica de caracterización respectiva.	30
4.1. Analizador de impedancias <i>Agilent 4294A</i>	33
4.2. Características CG-V muestra pentacapa.	35
4.3. C-V muestra pentacapa medida con capacímetro <i>Boonton</i> para la muestra 8343-6.	36
4.4. DLTS muestra pentacapa.	37
4.5. Características I- V_g en la muestra pentacapa para distintas temperaturas.	38
4.6. Bandas estructura MIS	39
4.7. Diferencias de tensión para distintas temperaturas en un tiempo $t=500$ s para la muestra pentacapa.	39
4.8. Características CG-V muestra tricapa.	41
4.9. C-V muestra pentacapa medida con capacímetro <i>Boonton</i> para la muestra 8343-4.	42

4.10. DLTS muestra tricapa	43
4.11. Características I- V_g en la muestra tricapa para distintas temperaturas.	44
4.12. Tensión de banda plana tricapa.	44
4.13. Energías de activación de las muestras MIS usando transitorios de banda plana tomando 500s.	45

Referencias

- [1] John L. Moll. Variable Capacitance With Large Capacity Change. *Western Convention and Show*, 3:32–36, 1959.
- [2] L. M. Terman. An investigation of surface states at a silicon/silicon oxide interface employing metal-oxide-silicon diodes. *Solid-State Electronics*, 5:285–299, 1962.
- [3] H. Wong and H. Iwai. Microelectron. Eng. *Journal of Vacuum Science and Technology*, 83:1867, 2006.
- [4] G. D. Wilk, R. M. Wallace, and J. M. Anthony. High-k gate dielectrics: Current status and materials properties considerations. *Journal of Applied Physics*, 89:5243–5275, 2001.
- [5] M. Houssa, L. Pantisano, L.-Å. Ragnarsson, R. Degraeve, T. Schram, G. Pourtois, S. De Gendt, G. Groeseneken, and M. M. Heyns. Electrical properties of high-k gate dielectrics: Challenges, current issues, and possible solutions. *Materials Science and Engineering R.*, 19:1353, 2006.
- [6] R. S. Johnson, G. Lucovsky, and I. Baum. Physical and electrical properties of noncrystalline Al₂O₃ prepared by remote plasma enhanced chemical vapor deposition. *Journal of Vacuum Science & Technology A*, 20:1126, 2001.
- [7] R. S. Johnson, J. G. Hong, C. Hinkle, and G. Lucovsky. Electron trapping in noncrystalline remote plasma deposited Hf-aluminate alloys for gate dielectric applications. *Journal of Vacuum Science & Technology B*, 20:1126, 2002.
- [8] S. Chowdhury, E. Farzana, R. Ahmed, A. T. M. Golam Sarwar, and M. Ziaur Rahman Khan. C-V Characterization and Analysis of Temperature and Channel Thickness Effects on Threshold Voltage of Ultra-thin SOI MOS-FET by Self-Consistent Model. *International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering*, 4(9):1341–1346, 2010.
- [9] D. V. Lang. Deep-level transient spectroscopy: A new method to characterize traps in semiconductors. *Journal Applied Physics*, 45:3023–3032, 1974.
- [10] M. Schulz and N. M. Johnson. Evidence for multiphonon emission from interface states in MOS structures. *Solid State Communications*, 25:481–484, 1978.

- [11] K. L. Wang. MOS interface-state density measurements using transient capacitance spectroscopy. *IEEE Transactions on Electron Devices*, 27(12):2231–2239, December 1980.
- [12] D. Vuillaume and J. C. Bourgoin. Characterization of SiO₂-Si interface states: Comparison between transient capacitance and conductance techniques. *Journal of Applied Physics*, 58:2077–2079, 1985.
- [13] S. Dueñas, H. Castán, H. García, L. Bailón, K. Kukli, M. Ritala, M. Leskela, M. Rooth, O. Wilhelmsson, and A. Harsta. Experimental investigation of the electrical properties of atomic layer deposited hafnium-rich silicate films on n-type silicon. *Journal of Applied Physics*, 100:094107, 2006.
- [14] Li He, Hideki Hasegawa, Takayuki Sawada, and Hideo Ohno. A self-consistent computer simulation of compound semiconductor metal-insulator-semiconductor C-V curves based on the disorder-induced gap-state model. *Journal of Applied*, 63:2120–2130, 1988.
- [15] H. Hasegawa, L. He, H. Ohno, T. Sawada, T. Haga, Y. Abe, and H. Takahashi. Electronic and microstructural properties of disorder-induced gap states at compound semiconductor-insulator interfaces. *Journal of Vacuum Science and Technology*, 5:1097, 1987.
- [16] Thierry Goudon, Vera Miljanović, and Christian Schmeiser. On the Shockley-Read-Hall Model: Generation-Recombination in Semiconductors. *Society for Industrial and Applied Mathematics*, 67(4):1183–1201, 2007.
- [17] Yuki Fujino and Koji Kita. Estimation of near-interface oxide trap density at SiO₂/SiC metal-oxide-semiconductor interfaces by transient capacitance measurements at various temperatures. *Journal of Applied Physics*, 120:085710, 2016.
- [18] A. Jonscher. Dielectric relaxation in solids. *Journal of Applied Physics*, 71:57–70, 1999.
- [19] H. Castán, S. Dueñas, J. Barbolla, E. Redondo, N. Blanco, I. Mártil, and G. González-Díaz. Interface quality study of ECR-deposited and rapid thermal annealed silicon nitride Al/SiN_x:H/InP and Al/SiN_x:H/In_{0.53}Ga_{0.47}As structures by DLTS and conductance transient techniques. *Microelectronic Reliability*, 40:845–848, 2000.
- [20] S. Dueñas, R. Peláez, E. Castán, R. Pinacho, L. Quintanilla, J. Barbolla, I. Mártil, and G. González-Díaz. Experimental observation of conductance transients in Al/SiN_x:H/Si metal-insulator-semiconductor structures. *Applied Physics Letters*, 71:826–8, 1997.
- [21] J. Barbolla, S. Dueñas, and L. Bailón. Admittance spectroscopy in junction. *Solid-State Electronics*, 35:285–297, 1992.

- [22] G. Lucovsky, J. G. Hong, C. C. Fulton, Y. Zou, R. J. Nemanich, H. Ade, D. G. Scholm, and J. L. Freeouf. Spectroscopic studies of metal high-k dielectrics: transition metal oxides and silicates, and complex rare earth/transition metal oxides. *Physica Status Solidi b*, 241:2221–2235, 2004.
- [23] D. Misra, D. Bauza, Z. Chen, and K. Sundaram. *Dielectrics for nanosystems 7: Materials Science, Processing, Reliability, and Manufacturing*, volume 72. The Electrochemical Society, 2016.
- [24] S. Zafar, A. Kumar, E. Gusev, and E. Cartier. Threshold voltage instabilities in high-k gate dielectric stacks. *IEEE Transactions on Device and Materials Reliability*, 5(1):45–64, 2005.
- [25] A. Guo and J. A. del Alamo. Negative-bias temperature instability of GaN MOSFETs. In *Proc. IEEE Int. Reliability Physics Symp. (IRPS)*, pages 4A-1–1–4A-1–6, April 2016.
- [26] Máster de Instrumentación en Física. Departamento de Electricidad y Electrónica (UVa). Técnicas estándar y originales del GCME-UVA.
- [27] Instituto de Microelectrónica de Barcelona, Centro Nacional de Microelectrónica. <http://www.imb-cnm.csic.es/index.php?lang=en>.
- [28] H. García, S. Dueñas, H. Castán, A. Gómez, L. Bailón, K. Kukli, T. Hatanpaa, J. Aarik, A. Aidla, M. Ritala, and M. Leskela. Electrical characterization of high-k based MIS capacitors using flat-band voltage transients. In *Proc. Spanish Conf. Electron Devices*, pages 223–226, February 2009.
- [29] M. Kuhn. A quasi-static technique for MOS C-V and surface state measurements. *Solid-State Electronics*, 13:873–885, 1970.
- [30] Li He, Hideki Hasegawa, Takayuki Sawada, and Hideo Ohno. A computer analysis of effects of annealing on InP insulator-semiconductor interface properties using MIS C-V curves. *Japanese Journal of Applied Physics*, 27:512–521, 1988.
- [31] C. Barnes, T. Zietlow, and K. Nakamura. The application of deep level transient spectroscopy to the measurement of radiation-induced interface state spectra. *IEEE Transactions on Nuclear Science*, 35(6):1197–1202, December 1988.
- [32] A. S. Grove, B. E. Deal, E. H. Snow, and C. T. Sah. Investigation of thermally oxidized silicon surfaces using metal-oxide-semiconductor structures. *Solid-State Electronics*, 8:145–163, 1965.