



Universidad de Valladolid



**ESCUELA DE INGENIERÍAS
INDUSTRIALES**

UNIVERSIDAD DE VALLADOLID

ESCUELA DE INGENIERÍAS INDUSTRIALES

Desarrollo de un interfaz analógico y digital para un simulador HIL

Antonio San Miguel Nieto
Julio 2016



Universidad de Valladolid



**ESCUELA DE INGENIERÍAS
INDUSTRIALES**

UNIVERSIDAD DE VALLADOLID

ESCUELA DE INGENIERÍAS INDUSTRIALES

Grado en Ingeniería Eléctrica

Desarrollo de un interfaz analógico y digital para un simulador HIL

Autor:

San Miguel Nieto, Antonio

Tutor:

**De Pablo Gómez, Santiago
Departamento de Tecnología
Electrónica**

Valladolid, Julio de 2016.

Resumen

En este proyecto se va a diseñar un sistema de conexión y transmisión de datos para un simulador Hardware in the Loop.

Para desarrollar esta interfaz se va a realizar el diseño de una tarjeta de circuito impreso que sea capaz de convertir señales digitales en analógicas y otra tarjeta que sea capaz de transformar señales analógicas en digitales.

La calidad del diseño será mayor tanto en cuanto se pierdan el mínimo de códigos durante la transmisión y conversión de los datos. Por tanto, será prioritario el elegir componentes con las características convenientes para realizar la función que se propone con exactitud y con la velocidad de transmisión adecuada al periodo de muestreo del controlador.

También será de relevancia la situación de los componentes dentro de la tarjeta pues será un factor a tener en cuenta por las interferencias que se puedan dar entre los distintos elementos.

Palabras clave

Hardware in the loop (HIL), tarjeta de circuito impreso (PCB), convertidor digital-analógico (DAC), convertidor analógico-digital (ADC).

Abstract

In this project, a data transmission and connection system for a Hardware in the loop simulator is going to be designed.

In order to develop this interface, a design of a printed circuit board is going to be implemented, which will be able to convert digital signals to analogic an another, which will be able to transform analogic signals to digital.

The quality of the design will be better while minimum of codes will be lost during the transmission and conversion of data. Therefore, choose the components with the suitable characteristics will be priority to do the performance that is proposed with accuracy and with the transmission speed appropriate to the sampling rate of the controller.

In addition, the situation of the components in the board will be important because of the interferences may be appear between the elements.

Keywords

Hardware in the Lopp (HIL), printed circuit board (PCB), digital analog converter (DAC), analog digital converter (ADC).

Índice

1.	INTRODUCCIÓN Y OBJETIVOS.....	7
1.1.	INTRODUCCIÓN.....	7
1.2.	OBJETIVOS.....	8
2.	ESTADO DE LA TÉCNICA	11
2.1.	CONFIGURACIÓN DAC	11
2.2.	CONFIGURACIÓN ADC	12
3.	TEORÍA.....	13
3.1.	ADQUISICIÓN Y RETENCIÓN DE DATOS	13
3.2.	TEORÍA FUNCIONAMIENTO DE UN DAC (CONVERTIDOR DIGITAL ANALÓGICO)	15
3.2.1.	<i>Principio de funcionamiento</i>	15
3.2.2.	<i>Tipos</i>	15
3.2.3.	<i>Parámetros y propiedades</i>	21
3.3.	TEORÍA DE FUNCIONAMIENTO DE UN ADC	23
3.3.1.	<i>Principio de funcionamiento</i>	23
3.3.2.	<i>Tipos</i>	24
3.3.3.	<i>Parámetros y propiedades</i>	26
4.	DESARROLLO.....	27
4.1.	ELECCIÓN DE LA HERRAMIENTA DE TRABAJO:	27
4.2.	DISEÑO Y ELECCIÓN DE LOS COMPONENTES PARA LA PCB-DAC.....	28
4.2.1.	<i>DAC8801</i>	28
4.2.2.	<i>Tensión de referencia del DAC</i>	29
4.2.3.	<i>Salida del DAC</i>	30
4.2.4.	<i>Alimentación del DAC V_{DD}</i>	31
4.2.5.	<i>Elección suministro de tensión positiva para los operacionales</i>	32
4.2.6.	<i>Elección del suministro de tensión negativa a los operacionales.</i>	35
4.2.7.	<i>Protección de la salida</i>	36
4.2.8.	<i>Inversores disparadores de Schmitt</i>	40
4.2.9.	<i>Conexiones de salida y entrada</i>	43
4.2.10.	<i>Elección de la fuente de alimentación</i>	45
4.2.11.	<i>Terminal de potencia</i>	46
4.2.12.	<i>Esquemático del diseño DAC</i>	47
4.3.	DISEÑO Y ELECCIÓN DE LOS COMPONENTES PARA LA PCB-ADC.....	55
4.3.1.	<i>AD7476</i>	55
4.3.2.	<i>Referencia de tensión</i>	56
4.3.3.	<i>Filtro de entrada analógica</i>	56
4.3.4.	<i>Acondicionamiento de la entrada</i>	57
4.3.5.	<i>Alimentación de los operacionales</i>	59
4.3.6.	<i>Protección de la entrada</i>	60
4.3.7.	<i>Inversores Schmitt</i>	63
4.3.8.	<i>Conexiones de salida y, de entrada</i>	63
4.3.9.	<i>Fuente de alimentación</i>	63
4.3.10.	<i>Terminal de potencia</i>	64

4.3.11.	<i>Esquemático del diseño ADC</i>	65
4.4.	DISEÑO Y ELECCIÓN DE COMPONENTES PARA LA INTERFAZ DIGITAL	71
4.4.1.	<i>Protección de la salida digital</i>	71
4.4.2.	<i>Protección de la entrada digital</i>	73
4.4.3.	<i>Terminales de conexiones</i>	74
4.4.4.	<i>Esquemático del diseño de la interfaz digital</i>	75
4.5.	DISEÑO DE LA TARJETA PCB	76
4.5.1.	<i>Diseño de la zona DAC</i>	77
4.5.2.	<i>Diseño de la zona ADC</i>	82
4.5.3.	<i>Diseño de la interfaz digital</i>	87
5.	CONCLUSIONES Y LÍNEAS FUTURAS DE TRABAJO	89
5.1.	CONCLUSIONES	89
5.2.	LÍNEAS FUTURAS DE TRABAJO.....	89
6.	BIBLIOGRAFÍA	91

1. Introducción y objetivos

1.1. Introducción

Cada día surgen nuevas necesidades de los usuarios y se requieren sistemas más complejos que cubran estos requerimientos. Así mismo la necesidad de simular y realizar un test a los nuevos productos para una introducción más rápida en el mercado es mayor.

Tradicionalmente existían dos técnicas para ensayar sistemas de una potencia específica elevada: realizar un experimento de hardware real, o realizar una simulación por software. De la mezcla de los dos surge la técnica *Hardware in the loop* (HIL) que se basa en la interconexión de hardware externo con un equipo informático, trabajando en tiempo real, que simula el circuito o sistema a ensayar. Mediante esta técnica se dispone de una plataforma simulada, HIL, que es el equivalente del sistema físico a ensayar, en la plataforma se introduce el equivalente al sistema físico mediante modelos matemáticos.

Así mismo también es necesario simular el controlador que va a ensayar esta planta simulada (RCP), siendo muy importante dos parámetros: El tipo de interpolación que se use para simulación y la precisión de las señales muestreadas. El tiempo de muestreo que también estará asociado con la capacidad de procesamiento de la interpolación. Si nuestro controlador tarda en realizar una interpolación un tiempo mucho mayor que el tiempo de muestreo, realizará el cálculo con datos ya obsoletos puesto que si nuestro tiempo de muestreo podremos tener datos más actuales con los que trabajar y hacer una mejor aproximación. Por tanto, si se puede muestrear a un tiempo menor pese a que tendremos que hacer una interpolación de menor grado y más imprecisa en el instante que justo se toman los datos, pero podremos hacer un mayor número de interpolaciones que vistas desde un aspecto global será más precisa que el otro sistema puesto que cada cálculo será válido por un menor período de tiempo.

En este proyecto se pretende realizar el diseño de una tarjeta de circuito impreso que consiga transformar señales digitales a analógicas y analógicas en digitales para que un elemento de control, monitorización y simulación en tiempo real, en este caso una FPGA que será nuestro elemento RCP, pueda transmitir datos salida y recibir datos de entrada.

La FPGA solo puede trabajar con datos digitales, por tanto, hemos de transformar las señales analógicas de magnitudes que se están midiendo como, por ejemplo, la intensidad que circula por un conductor dentro de un circuito eléctrico, en una señal digital que pueda entender y con la que trabajar nuestro elemento de control.

Para esta conversión de señales se necesitará de un componente DAC, un conversor de señales digital a analógica y un ADC, que convierte señales analógicas a digitales. Para ello se elegirá un componente para cada tarjeta y se escogerán los componentes necesarios para cumplir los objetivos del diseño.

1.2. Objetivos

- Diseño de una tarjeta de circuito impreso con interfaz digital y analógica para permitir el control y monitorización desde una FPGA que realizará simulaciones en tiempo real dentro del entorno *Hardware in the Loop*.
- El diseño será de un prototipo por tanto se elegirán los componentes por encima de los requerimientos dentro de un precio razonable para la función y las alternativas dentro del mismo.
- Será un prototipo, pero el objetivo último es que sea un componente comercial que vaya a ser usado en un entorno industrial.
- La tarjeta de conversión DAC será de 14 bits sin que haya una pérdida de datos significativa durante la conversión. Es decir, que se transmitan la mayor cantidad de códigos posibles. Así mismo la tarjeta ADC será de 12 bits.
- Se diseñará sólo un canal de conversión para que posteriormente se compruebe el funcionamiento del mismo y se puedan convertir las señales convenientes. Para este diseño serán por grupos de 6 en 6.

- Las tarjetas diseñadas estarán protegidas ante fallos externos, así como si se produjera un fallo dentro de las tarjetas no dañarían componentes del exterior.
- Los componentes de conversión principales serán escogidos en función de las necesidades y la capacidad de la FPGA de transmitir los datos.

2. Estado de la técnica

En este apartado se va a explicar los convertidores existentes y su situación en el mercado.

2.1. Configuración DAC

Esta es una tarjeta DAC como la que se pretende diseñar, que es capaz mediante un sistema de Jumpers de realizar distintas funciones, pero que le falta por cubrir objetivos que se consideran básicos en el diseño del proyecto. Pero sirve de referencia para la construcción de una tarjeta DAC (Ilustración 2-1)

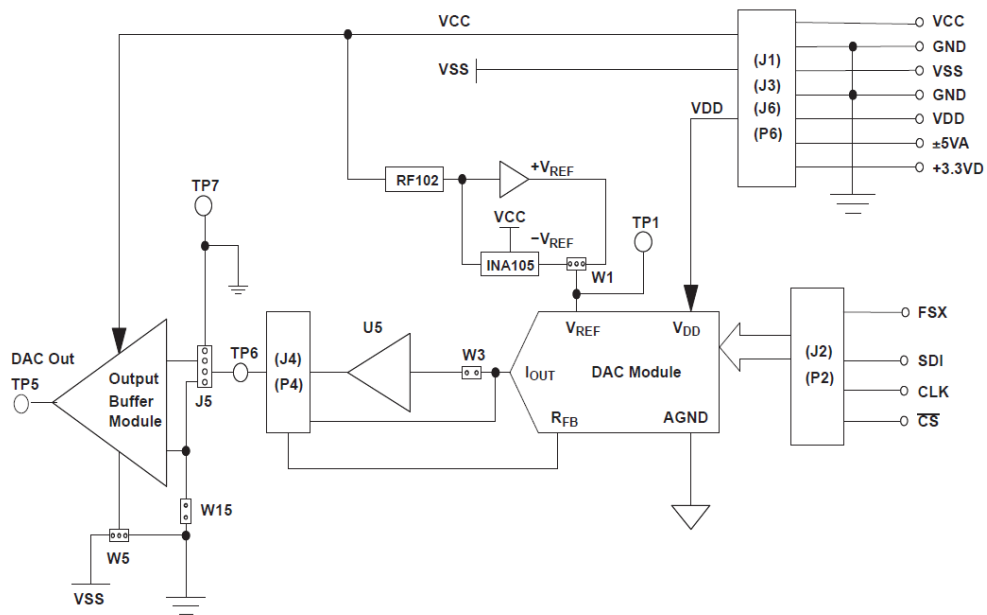


Ilustración 2-1 DAC

Actualmente existen varios fabricantes de relevancia en el sector, estos son Microchip, Analog Devices y Texas Instruments.

2.2. Configuración ADC

Esta es la solución para conversión de señales que ofrece el fabricante Digilent un convertor analógico digital de dos canales en el que se ve el diseño de una tarjeta ADC y que se alimenta a través del elemento que la controla. Servirá como referencia básica en el diseño de la tarjeta ADC. (Ilustración 2-2)

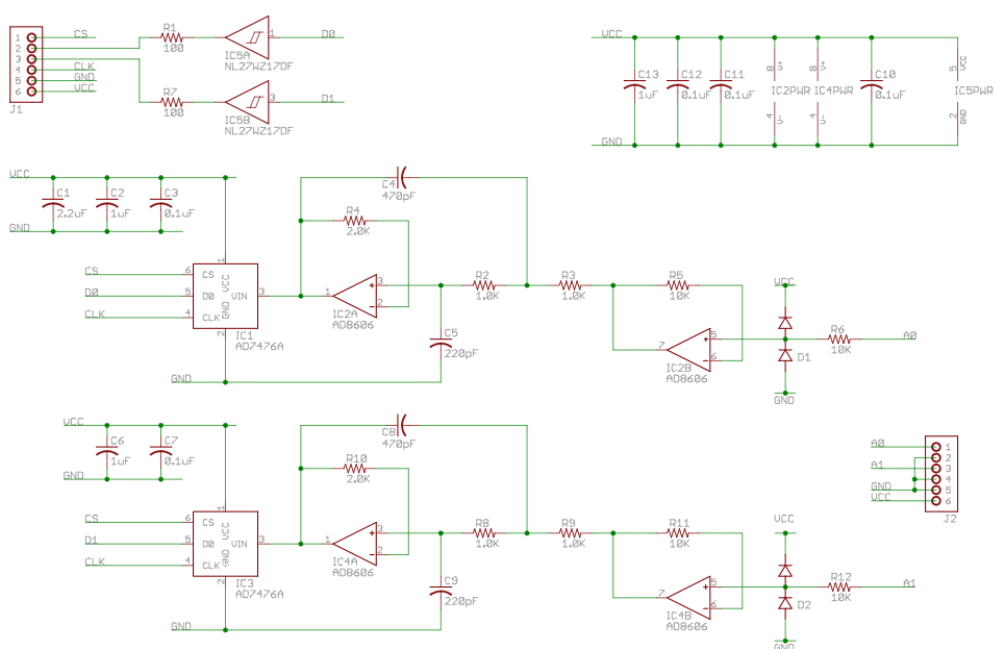


Ilustración 2-2 ADC

3. Teoría

3.1. Adquisición y retención de datos

Para poder explicar el funcionamiento de los convertidores digitales-analógicos y analógicos digitales, se ha de explicar primero el circuito básico de muestreo y retención.

Este circuito se compone de un interruptor controlado electrónicamente, un condensador y una fuente de tensión analógica con su resistencia interna asociada. (Ilustración 3-1)

Interruptor controlado por V_c

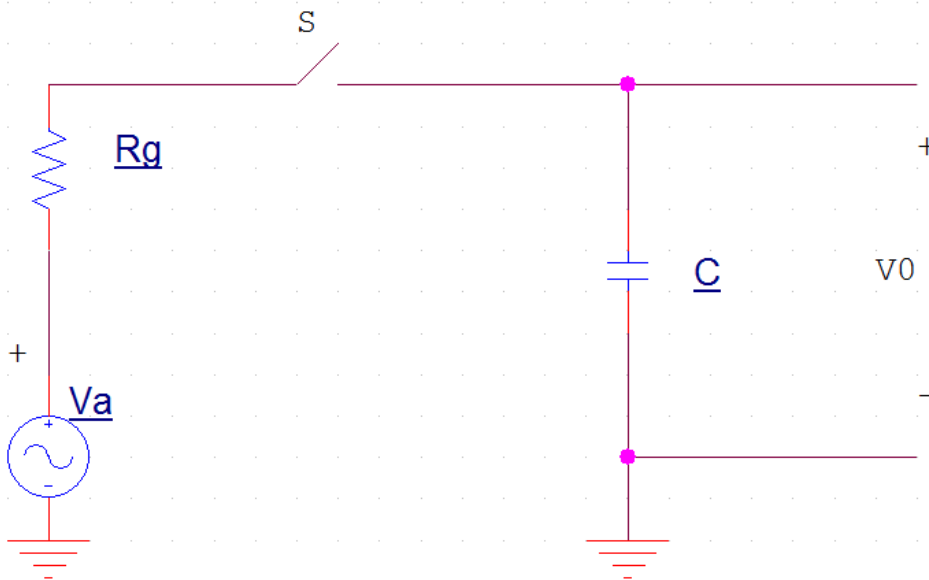


Ilustración 3-1 Circuito de muestreo y retención

El interruptor, activado y desactivado por un controlador, es el medio para cargar rápidamente el condensador hasta la tensión de muestra y luego suprimir la entrada de manera que el condensador pueda retener la tensión deseada.

El interruptor está cerrado mientras la forma de onda lógica de control v_c está en nivel alto y, en el supuesto de que la constante de tiempo $R_g \cdot C$ sea muy pequeña, la tensión de salida seguirá muy estrechamente a la tensión de

entrada y será igual a ella en el instante en que el circuito lógico de control está a nivel bajo, abriendo el interruptor. Durante el intervalo de retención, mientras la señal de control está a nivel bajo, el interruptor está abierto y el condensador C mantendrá el último valor de la entrada. Idealmente la salida se mantendrá constante en ese valor durante todo el intervalo de retención.

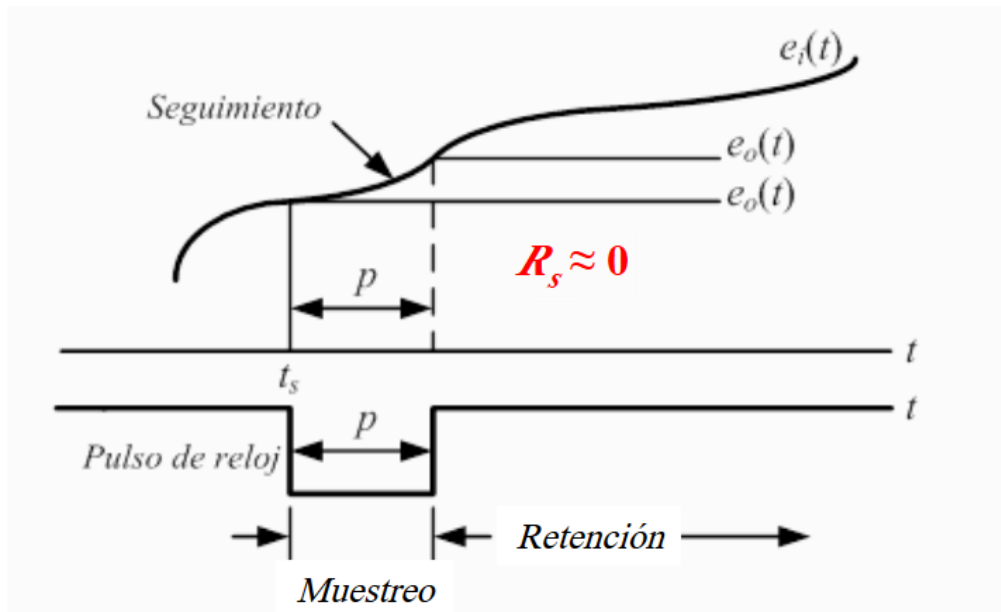


Ilustración 3-2 Intervalos

Esto sería en valores ideales, pero en la práctica hay un retardo y discrepancia entre los valores reales y los ideales. Hay dos retardos o delays que surgen en los convertidores reales.

- **Tiempo de apertura:** Máximo retardo entre el instante en que la lógica de control ordena al interruptor que se abra y el instante en que realmente ocurre la apertura. Este tiempo depende del interruptor que coloquemos, pues depende del tiempo de conmutación del mismo. A consecuencia del tiempo de apertura hay una incertidumbre en el ritmo o cadencia de muestreo que puede degradar las prestaciones del sistema. Se ha de seleccionar un interruptor cuya frecuencia de conmutación sea mucho menor que la frecuencia de muestreo.
- **Tiempo de adquisición:** Intervalo más corto transcurrido desde que se da la orden de muestra hasta que se puede dar la orden de retención y

se obtenga como resultado una tensión de salida que sea aproximadamente la tensión de entrada con la precisión necesaria.

3.2. Teoría funcionamiento de un DAC (Convertidor digital analógico)

3.2.1. Principio de funcionamiento

Un DAC es un componente electrónico que se encarga de transformar señales digitales en analógicos.

3.2.2. Tipos

Según la interfaz de datos digital:

- **Paralelo:** Esta interfaz necesita una entrada por cada bit que tenga el convertidor además de una señal chip select y una señal de escritura. Esta interfaz es mucho más compleja que la interfaz SPI aunque puede ser mucho más rápida.
- **SPI:** Un tipo de interfaz serie cuyas siglas significan *serial peripheral interface* (Interfaz de periféricos serie). Para cargar los datos en un DAC serie-SPI se necesitan 3 señales. La señal de datos que introduce el valor de cada bit de la señal que queremos transmitir (SDI), la señal de reloj (clk), que indica cada cuánto se lee un bit, y la señal chip select (cs), que indica el tamaño de cada palabra de datos y las separa entre ellas.

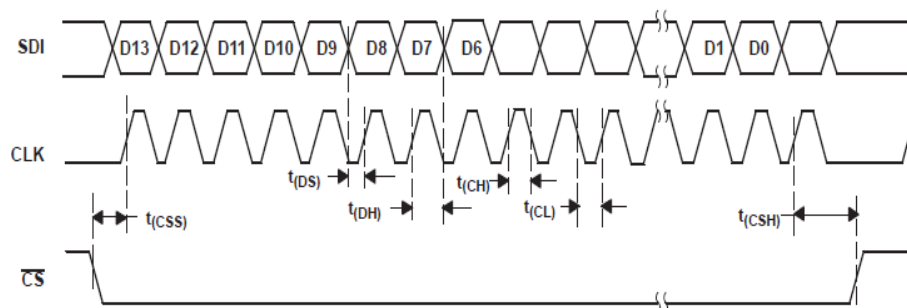


Ilustración 3-3 Interfaz SPI

- **I²C**: Inter-Integrated circuit. Otro tipo de interfaz serie al igual que el SPI, pero en este caso bidireccional. Durante la lectura o el envío de datos el elemento de control se asegura que los datos han sido correctamente entregados. Debido a esto la transmisión de datos es mucho más lenta y menos robusta que la interfaz SPI.

Según su arquitectura

- **Escaleras ponderadas**: Una red de resistencias ponderadas es aquella en la que se implementa un circuito en donde los conmutadores electrónicos conectan una señal de referencia a un juego de resistencias, cuyos valores están escogidos de tal forma que provocan a la salida una señal de amplitud proporcional al peso binario del interruptor correspondiente.

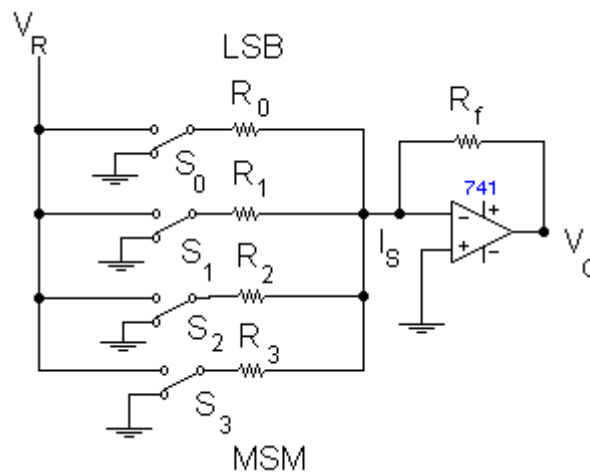


Ilustración 3-4 Circuito escaleras ponderadas

Las tensiones lógicas que representan los bits individuales A_3, A_2, A_1, A_0 no se aplican directamente al convertidor, sino que se utilizan para activar interruptores electrónicos S_3, S_2, S_1, S_0 respectivamente. Cuando cualquiera de las A son 1, el interruptor correspondiente es conectado a la tensión de referencia V_R ; cuando una A es 0, el interruptor es conectado a tierra (masa). En la red de resistencias ponderadas, el valor de cada una de ellas es igual al del anterior dividido por 2, por lo que sus valores individuales son inversamente proporcionales al peso numérico del dígito binario respectivo. Así, en este convertidor de 4 bits tenemos:

(3.1)

$$R_0 = \frac{R}{2^0} = R$$

$$R_0 = \frac{R}{2^1} = \frac{R}{2}$$

$$R_0 = \frac{R}{2^2} = \frac{R}{4}$$

$$R_0 = \frac{R}{2^3} = \frac{R}{8}$$

Donde R es una resistencia arbitraria que puede ser elegida para establecer el nivel de impedancia de la red.

Para hallar la relación entre la tensión de salida analógica V_0 en la salida del operacional y la entrada digital, observemos que en la entrada del operacional hay un cortocircuito virtual. Por lo tanto, la corriente I_s es

$$I_s = V_R \left(\frac{A_3}{R_3} + \frac{A_2}{R_2} + \frac{A_1}{R_1} + \frac{A_0}{R_0} \right) \quad (3.2)$$

Cuando se emplea la ecuación 3.1 esta se convierte en

$$(3.3)$$

$$I_s = \frac{V_R}{R} (2^3 A_3 + 2^2 A_2 + 2^1 A_1 + 2^0 A_0)$$

Donde $A_i = 1$ si S_i está conectado a V_R y $A_i = 0$ si S_i está conectado a tierra. La ecuación 2 muestra claramente que el valor numérico de la corriente de cortocircuito es directamente proporcional al número binario $A_3 A_2 A_1 A_0$. Por ejemplo, si la entrada de $A_3 A_2 A_1 A_0 = 1111$, $I_s = 15 V_R/R$, mientras si $A_3 A_2 A_1 A_0 = 0110$, $I_s = 6 V_R/R$, etc. la tensión de salida es V_0 :

$$(3.4)$$

$$V_0 = -I_f R_f = -I_s R_f = -\frac{R_f V_R}{R} (2^3 A_3 + 2^2 A_2 + 2^1 A_1 + 2^0 A_0)$$

Así, la tensión de salida es directamente proporcional al valor numérico de la entrada binaria.

La exactitud y la estabilidad del mismo dependen de las relaciones de las resistencias por ser cada una igual a la anterior dividida entre 2, la razón de la mayor o menor es 2^{n-1} donde n es el número de bits de la palabra digital. Así en un convertidor de 10 bits en que R_0 tengo que ser de 1kW. La resistencia R_9 debe ser $2^{10} \times 1kW = 1024kW$. Si el valor real de R_9 (MSB) difiere del valor teórico de 1024 kW, es decir una precisión de aproximadamente 0.1 %, la tensión de error será tan grande como la

tensión producida por el bit menos significativo A_0 . En este caso el convertidor D/A será capaz de convertir con precisión únicamente 9 bits en lugar de 10. A causa de esta dificultad, el circuito se utiliza en aplicaciones de baja resolución.

- **R-2R:** La Ilustración 3-5 corresponde a un convertidor D/A resistido en escalera que no requiere un amplio margen de valores de resistencias; solo dos valores, R y $2R$. Existe una escalera de resistencias en forma de un solo encapsulado cuyo circuito se representa en la Ilustración 3-6. Este circuito tiene la interesante propiedad de que la resistencia desde cualquiera de las terminales A, B, S_0 , S_1 , S_2 , S_3 , ES $3R$, estando los terminales restantes conectados a tierra. Para una mejor comprensión del circuito de la figura 1.18 se va a considerar una palabra en paralelo de 4 bits. La ampliación a más de 4 bits se efectúa fácilmente más interrupciones y secciones a la escalera.

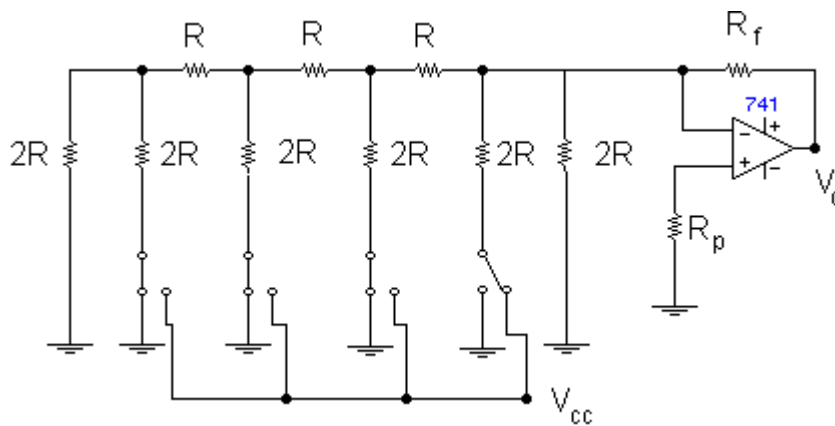


Ilustración 3-5 Arquitectura R-2R

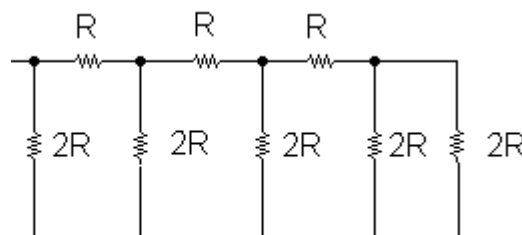


Ilustración 3-6 Escalera de resistencias

Para explicar el funcionamiento del convertidor supongamos que están todos los interruptores conectados a tierra excepto S_0 ; el circuito equivalente es el de la Ilustración 3-7. La propiedad por la cual este

circuito es utilizable como convertidor D/A se debe a las sucesivas conversiones Thevenin representadas en la Ilustración 3-7b.

En la Ilustración 3-7b se ha sustituido todo lo que hay a la izquierda del nodo 3 por su equivalente Thevenin con tensión $V_R/2$ y resistencia $2R \parallel 2R = R$. En la Ilustración 3-7c, todo lo que hay a la izquierda del nodo 2 ha sido sustituido por su equivalente Thevenin con la misma resistencia de antes, es decir R , y una tensión de $V_R/4$. Finalmente, en la Ilustración 3-7 cada resistencia situada a la izquierda del nodo 1 esta sustituida por su equivalente Thevenin con resistencia R y la tensión Thevenin $V_R/8$. La salida V_i , que es la entrada del operacional, se calcula por este circuito consistente en la tensión $V_R/16$ en serie con una resistencia de $3R$.

Si suponemos que S_1 está conectado a V_R y que se conecta S_0 a tierra, hallamos que la tensión de salida es ahora de $V_R/8$ en vez de $V_R/16$.

Cuando todos los interruptores entran al potencial de tierra excepto el interruptor MSB S_3 , aquí la entrada al operacional consiste en la tensión $V_R/2$ en serie con la resistencia $3R$.

Recuerde que el interruptor S_1 está conectado a V_R cuando $A_1 = 1$ y que el interruptor esta al potencial de tierra cuando $A_1 = 0$. Utilizando la notación $S_i = 1$ cuando $A_i = 1$ y $S_i = 0$ cuando $A_i = 0$, podemos demostrar por superposición que la salida del circuito de la a Ilustración 3-5 será:

$$V_0 = -\frac{R_f V_R}{3R} \left(\frac{S_3}{2^1} + \frac{S_2}{2^2} + \frac{S_1}{2^2} + \frac{S_0}{2^0} \right) \quad (3.5)$$

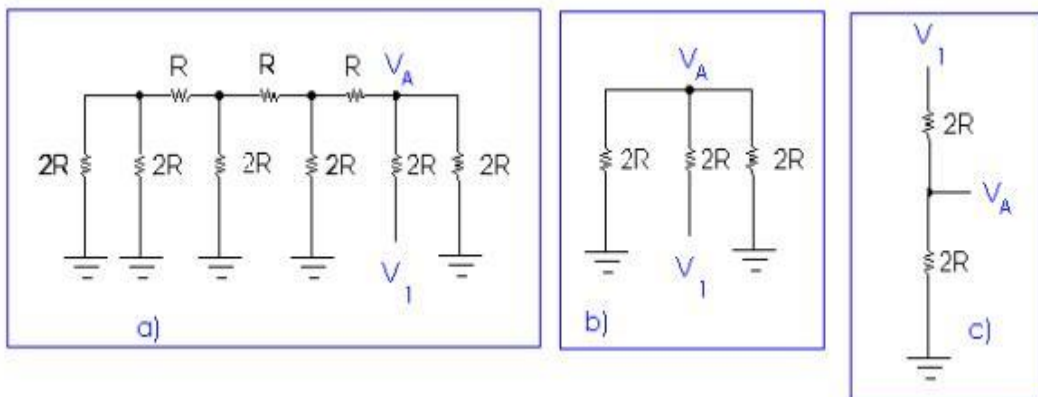


Ilustración 3-7 Equivalencias

Según el tipo de excitación: Esto se refiere a la señal que llega al semiconductor que cierra el circuito y con la que se envía el código digital.

- **Excitación por tensión:** Los semiconductores son controlados por una señal de tensión V_R la cual tiene asociada una resistencia interna R_d .

Cuando una de las señales está en nivel bajo el semiconductor no conducirá y la rama correspondiente su resistencia $2R$ estará sometida a la tensión V_R ya que $R_d \ll 2R$. Cuando la señal esté en nivel alto el terminal de la resistencia $2R$ estará conectado a masa. De esta manera la conversión funcionaria de manera inversa a la explicación teórica de la configuración $R/2R$, por tanto, las señales digitales han de ir negada antes de entrar al semiconductor. Estas señales con negadas en la parte de control digital propia del DAC.

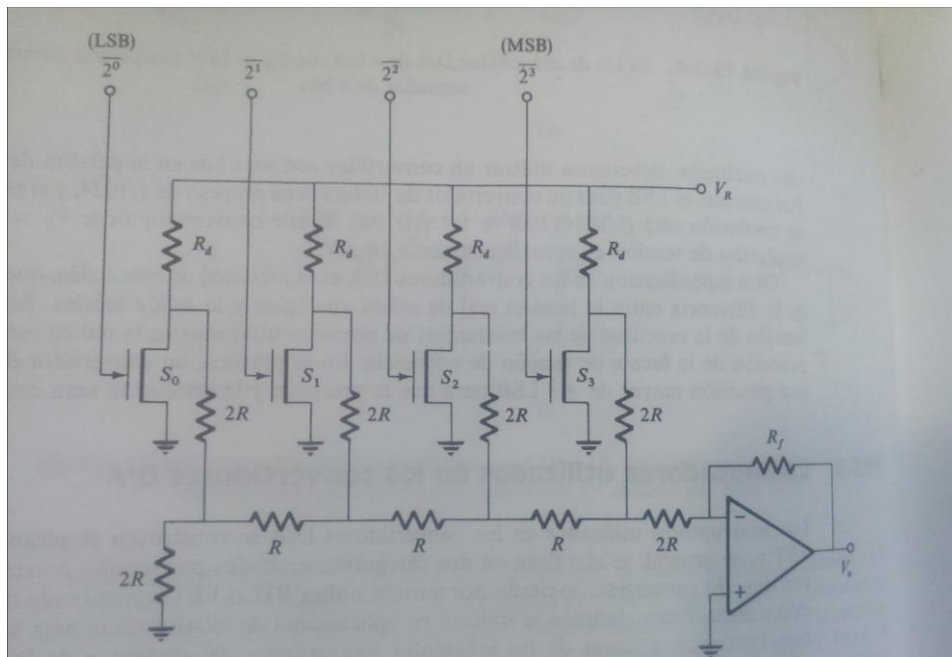


Ilustración 3-8 Excitación por tensión

La precisión de este circuito está limitada por la tolerancia de las resistencias, la precisión y la estabilidad de la fuente de alimentación, la diferencia en las impedancias de los interruptores individuales y la razón de R_d a $2R$. Por todo ello esta configuración se usa para convertidores de bajas prestaciones:

- **Excitación por corriente:** Muchos de los inconvenientes de la configuración anterior son resueltos cambiando el tipo de excitación. Para ello los circuitos Thévenin son reemplazados por circuitos Norton equivalentes que consisten en fuentes de corriente $I=VR/2R$ en paralelo con las resistencias de valor $2R$. Los polos en vez de conectarse a masa directamente se conectan a masa a través de una resistencia $2R/3$.

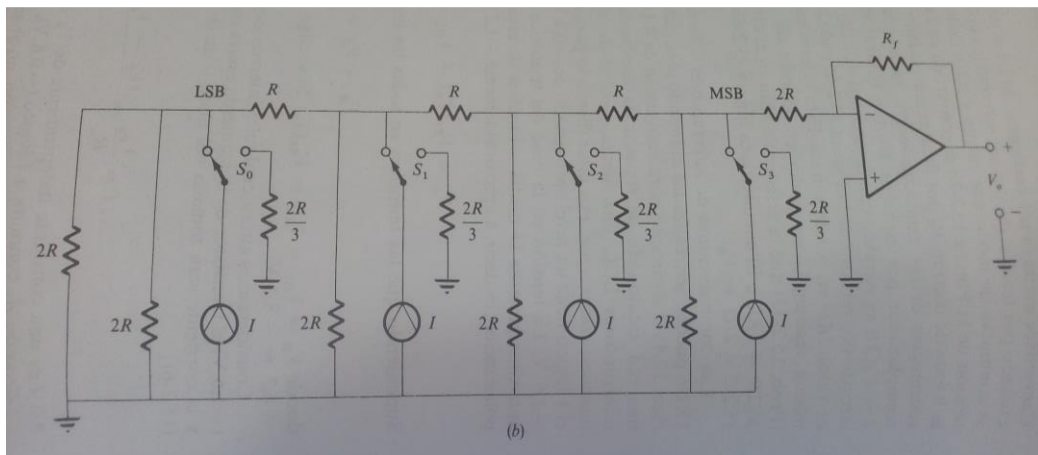


Ilustración 3-9 Excitado por corriente

Con esta configuración la respuesta del circuito es más precisa y a más rápida que la excitación por tensión, ya que se usan como interruptores circuitos ECL, dos transistores con emisor en común, uno de ellos con su base conectada a la entrada de la señal lógica y el otro, a una fuente especial de alimentación diseñada para tal fin.

3.2.3. Parámetros y propiedades

- **Escala completa de salida (Full Scale Output (FSO)):** Máximo valor analógico de salida posible cuando se le aplica a la entrada el máximo valor binario
- **Resolución:** Una importante especificación de un convertidor digital-analógico es la resolución de que es capaz. La resolución se define como el menor incremento de tensión que puede ser discernido por el circuito y depende principalmente del número de bits de la palabra digital, y responde a la fórmula para un convertidor monopolar:

$$(3.6)$$

$$\text{Resolución} = \frac{V_{REF}}{2^n}$$

Dónde n es el número de bits del convertidor.

En la práctica se conoce por LSB (*less significant bit*/bit menos significativo).

- **Precisión:** Se define como la diferencia entre la tensión real de salida analógica y la salida teórica. Y depende de la precisión de la tensión de referencia que se aplica al convertidor y de la precisión de las resistencias. Un convertidor ha de tener una precisión mayor de $\pm 0,5$ LSB para que la precisión y la resolución sean compatibles.
- **Linealidad:** Es una especificación de la máxima desviación de la salida con respecto a la línea recta que se extiende en todo el margen. Se puede expresar como porcentaje de la tensión total de la escala o como fracción de la tensión equivalente del LSB (Bit menos significativo) y ha de ser menor de 0,5 LSB.
- **Glitch:** Es una respuesta transitoria que puede aparecer en la señal de salida durante la transición de un código a otro. Su valor se expresa como el producto de la intensidad o tensión de salida por unidad de tiempo, V·ns o mA·ns.
- **Tiempo de establecimiento:** Es el tiempo transcurrido entre la aplicación de un impulso ideal de entrada y el instante en que la tensión de salida se ha estabilizado o aproximado a su valor final dentro de un límite especificado de precisión. Normalmente la especificación del tiempo de establecimiento indica el tiempo que transcurre, después de aplicarse el impulso de entrada, para que la salida alcance su valor final dentro de 0,5 LSB.
- **Monotonicidad:** Un conversor es monotónico cuando un incremento de tensión en la entrada le corresponda un incremento en la salida, y para una disminución de la entrada, el correspondiente descenso. Si un convertidor no es monotónico, el resultado es la pérdida del código. Si para una determinada combinación de bit no hay un aumento en función de un incremento de la entrada, sino un descenso, se identificará el valor analógico con el código que viene a continuación lo que provoca la no monotonicidad.

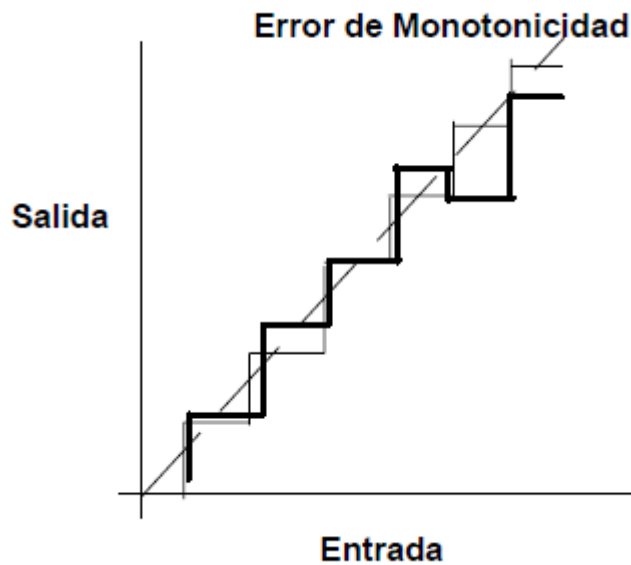


Ilustración 3-10 Monotonicidad

- **Offset:** Se define como la variación constante del valor de la señal analógica de salida respecto a la ideal. Se suele tomar como valor de entrada cuando todos los bits son ceros, la tensión que aparece a la salida será la tensión de offset y que provoca una variación de tensión del mismo valor para la salida analógica de todos los códigos de entrada.
- **Error de ganancia:** Es proporcional al valor de la entrada, se expresa como la diferencia entre la pendiente de la característica real y la ideal, se expresa en tanto por ciento por una entrada del rango de la escala.

3.3. Teoría de funcionamiento de un ADC

3.3.1. Principio de funcionamiento

Un convertidor ADC es un componente que transforma señales analógicas en digitales. Su sistema de funcionamiento es distinto según su arquitectura, pero todos los ADC necesitan de un comparador analógico, que ante una entrada analógica la compare con un valor previamente calculado.

3.3.2. Tipos

Según su interfaz digital: La interfaz digital de salida de este componente se divide como la interfaz en los DAC (3.2.2)

Según su arquitectura:

- **Controlado por contador:** Utiliza tres elementos principales: un contador, un convertidor D/A y un comparador analógico.

En el comienzo de un ciclo el contador está puesto a cero (reset). Esto produce una tensión de salida $V_b = 0$ que es aplicada a una de las entradas del comparador. La entrada analógica pasa a través de un circuito de muestreo y retención cuya salida V_a es aplicada a la otra entrada del comparador. Mientras que la señal analógica V_a sea de un valor superior que V_b , la salida del comparador será 1 y la puerta AND estará habilitada, permitiendo que entren en el controlador los pulsos de reloj.

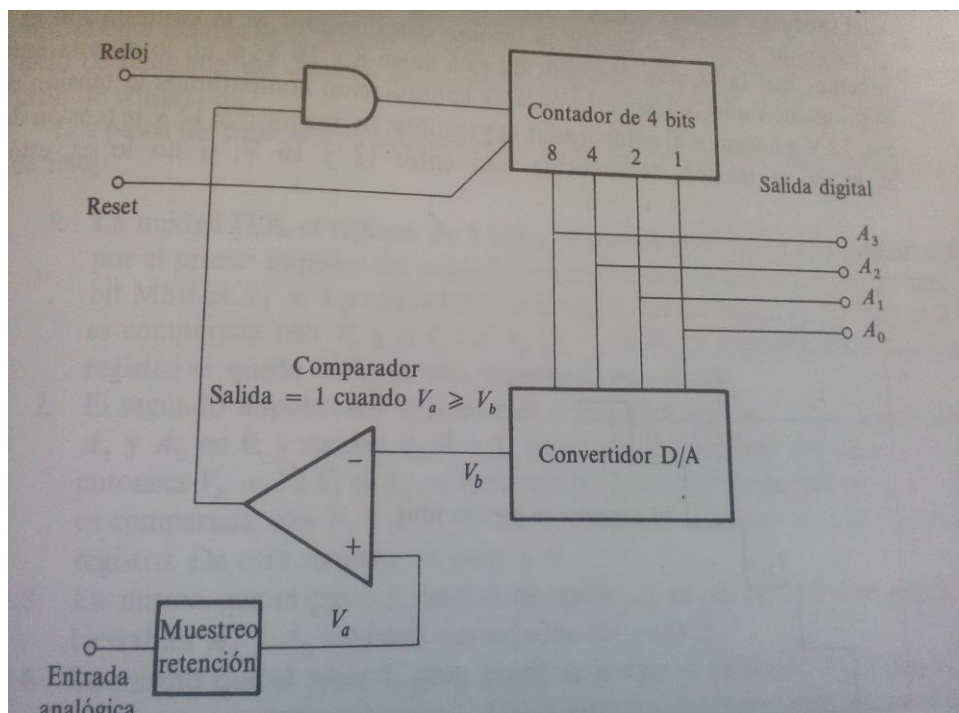


Ilustración 3-11 ACD controlado por contador

El contador contará entonces hacia arriba o en sentido ascendente partiendo de cero. Con cada cambio la salida del D/A V_b aumentará un escalón. En este instante se anulará la salida del comparador,

inhibiendo la puerta AND y, por tanto, parando el contador, y la salida se leerá en los terminales de salida del contador.

Este tipo de contador es muy lento, tanto que se pueden llegar a tardar 2^n-1 periodos de reloj para una conversión.

- **De aproximaciones sucesivas:** En este tipo de convertidores se acelera el proceso de conversión cambiando el tipo de comparación, en vez de comparar si el valor de la entrada es mayor o menor a un valor preestablecido, se compara si el valor está dentro de un rango de valores. Y dependiendo si la respuesta es afirmativa o negativa se le asigna un 1 o un 0, la primera comparación decidirá el valor del MSB así hasta el LSB.

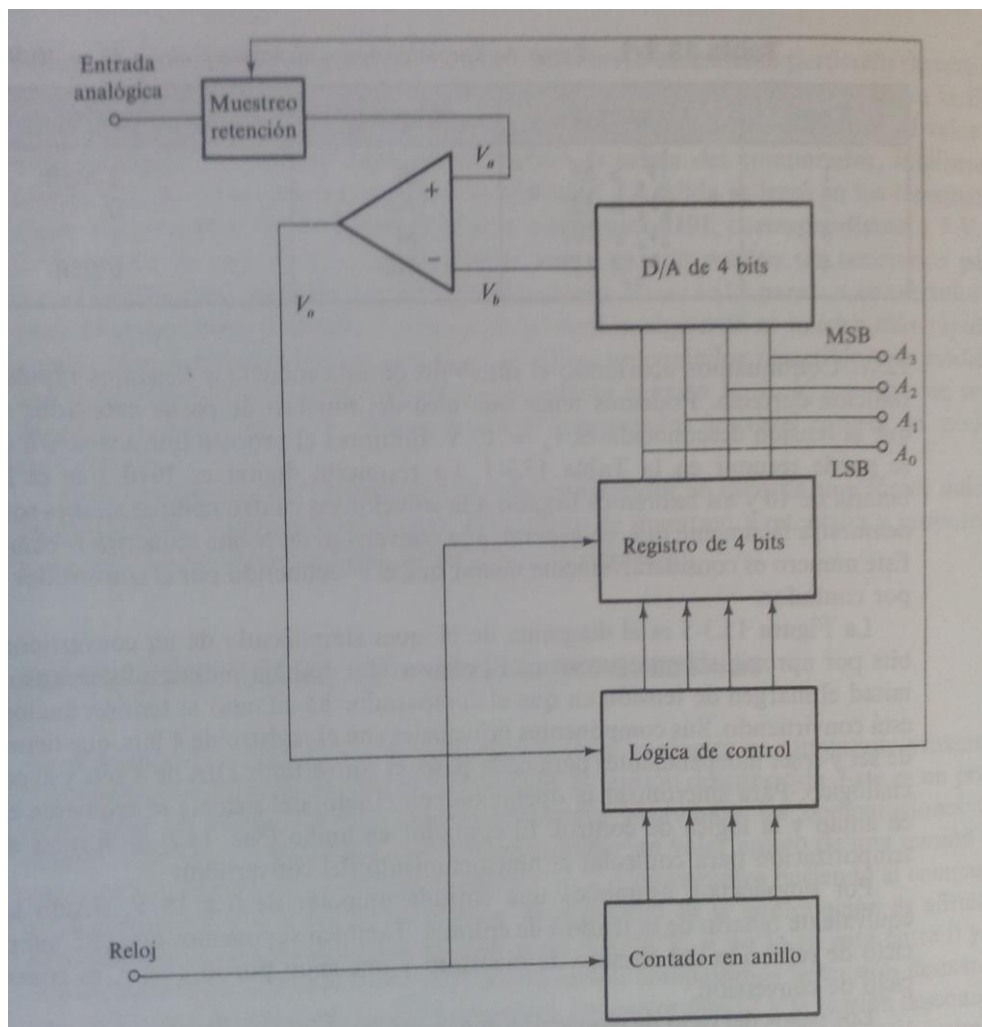


Ilustración 3-12 ADC de aproximaciones sucesivas

Este funcionamiento es mucho más rápido que el sistema anterior y requiere de tantos periodos de reloj como bits tengamos de palabra digital.

3.3.3. Parámetros y propiedades

Los parámetros y propiedades de estos componentes internamente son los mismos que los de los DAC, puesto que llevan un componente de este tipo en su interior para hacer la conversión digital a analógica.

Cabe destacar que aparte de los errores internos que se puedan cometer por parte de la conversión digital analógica, la calidad y la precisión de la salida externamente dependen de la precisión de la señal de referencia en tensión de entrada del ADC.

4. Desarrollo

4.1. Elección de la herramienta de trabajo:

Para realizar el esquemático del diseño y posteriormente el desarrollo de las tarjetas de circuito impreso es necesario usar una herramienta de diseño asistido por ordenador.

Actualmente en el mercado existen diversos programas para este fin. Para este proyecto se intentó usar Proteus pero, tras varias pruebas no se consiguió insertar nuevas librerías en su base de datos y para poder usar las footprint en este programa habría que dibujarlas desde cero, usando los planos que se incorporan en la ficha técnica de cada componente. Por tanto, se descartó este programa ya que requeriría mucho tiempo el realizar los diseños necesarios.

Posteriormente, tras recomendaciones del técnico del laboratorio de electrónica de la universidad, se decide probar el programa Altium. Este software es el más avanzado y profesional del mercado, pero a su vez demasiado complejo y con muchas opciones técnicas y parámetros. Se decide descartarlo por su dificultad.

Finalmente se encuentra que el programa OrCad se le pueden insertar todo tipo de librerías facilitadas por los fabricantes del componente. Se decide pues, empezar a trabajar con esta herramienta para realizar alguna prueba con distintos esquemáticos. Tras ver la fácil inserción de nuevos componentes en su base de datos, se elige este programa para realizar todo el proyecto.

OrCad es tan solo un módulo de la herramienta de diseño asistido por ordenador de Cadence. Este conjunto contiene una gran cantidad de módulos para los distintos fines del programa, tantos que incluso puede ser una obstrucción para realizar el diseño del proyecto.

Para este trabajo nos hemos centrado en el uso de dos herramientas, OrCad Capture, que permite realizar el esquemático y Allegro PCB designer que tras la realización del esquemático permite asignar un footprint a cada componente para posteriormente realizar la tarjeta de circuito impreso.

4.2. Diseño y elección de los componentes para la PCB-DAC

4.2.1. DAC8801

Se ha elegido para realizar la conversión digital-analógico el componente DAC 8801 del fabricante Texas Instruments de 14 bits, interfaz digital serie, de arquitectura R 2R, con un tiempo de establecimiento de 0,5 μ s. Tiene un error de no linealidad máximo de ± 1 LSB, un error de diferencial de linealidad de $\pm 0,5$ LSB y que es capaz de tomar muestras a 1 MSPS que es adecuada para la frecuencia de muestreo que se va a trabajar de 1 μ s.

Ante la variedad de convertidores en el mercado, se ha elegido la interfaz digital serie debido a que el interfaz paralelo ha dado problemas en diseños anteriores, y una resolución de 14 bits ya que una mayor provocaría que la tensión del bit menos significativo fuese muy pequeña y que para no perder datos el convertidor sería mucho más caro y complejo.

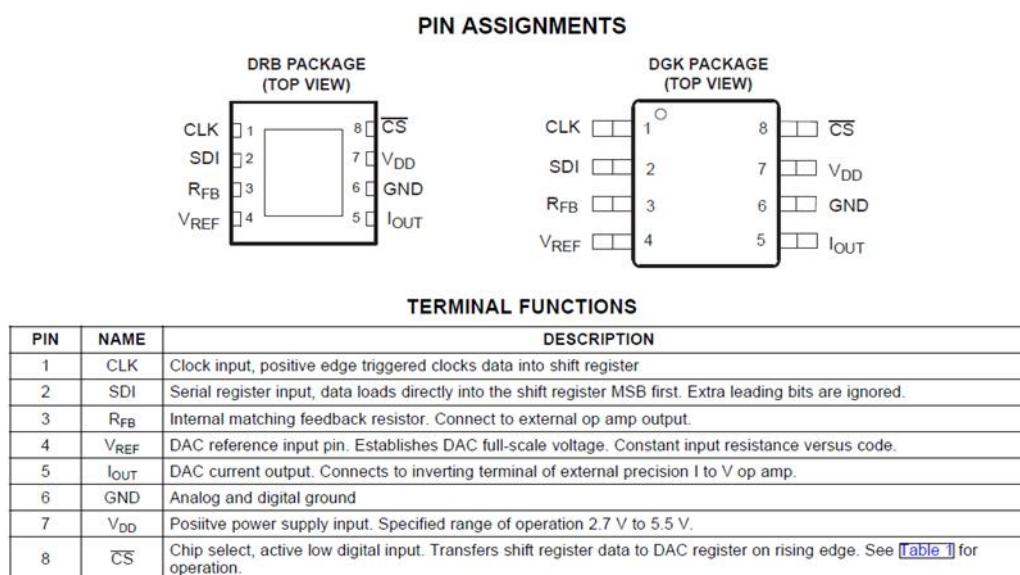


Ilustración 4-1 DAC 8801

Para poder convertir las señales y para poder cumplir los requerimientos se elige una tensión de suministro V_{DD} de 3,3 V ya que la entrada digital que envía la FPGA es de 3,3 V. En esta conexión se colocarán 3 condensadores, de 0,1 μ F, 1 μ F y 10 μ F, por orden de proximidad al DAC, como viene recomendado en la ficha técnica del componente, que harán que el componente tenga una mejor respuesta transitoria.

Como tensión de referencia V_{REF} se elige -3 V que hará que tengamos a la salida una escala de 0 a -3 V y un LSB de:

(4.1)

$$LSB = \frac{V_{REF}}{2^n} = \frac{3}{2^{14}} = 183 \mu V$$

Usando el valor de referencia en valor absoluto ya que la resolución se define como una variación.

Es decir que cada dato distinto en la entrada digital se verá afectado por una variación de tensión analógico a la salida de 183 μV . Este dato será muy importante durante todo el desarrollo del diseño pues será crítico el evitar perder la menor cantidad de datos posibles, ya que, si tenemos 14 bits, pero por errores se generan tensiones en el circuito que nos hagan perder muchos datos, no rentará el haber escogido un convertidor con esta característica puesto que uno de menor resolución podría ofrecernos las mismas funciones.

		DAC8801	UNITS
V_{DD} to GND		-0.3 to 7	V
Digital Input voltage to GND		-0.3 to $+V_{DD} + 0.3$	V
V_{OUT} to GND		-0.3 to $+V_{DD} + 0.3$	V
Operating temperature range		-40 to 105	°C
V_{REF} , R_{FB} to GND		-25 to 25	V
Storage temperature range		-65 to 150	°C
Junction temperature range (T_J max)		125	°C
Power dissipation		$(T_J \text{ max} - T_A) / R_{\theta JA}$	W
Thermal impedance, $R_{\theta JA}$		55	°C/W
Lead temperature, soldering	Vapor phase (60s)	215	°C
Lead temperature, soldering	Infrared (15s)	220	°C
ESD rating, HBM		4000	V
ESD rating, CDM		1000	V

Ilustración 4-2 Características DAC

4.2.2. Tensión de referencia del DAC

Para que este elemento funcione necesita una referencia de tensión para poder convertir las señales de digitales a analógicas. Como necesitamos una alta precisión en el suministro de esta tensión, se recurre a una referencia de tensión como se sugiere en el documento técnico del fabricante, las cuales tienen una tolerancia de tensión de salida muy pequeña. Pero como no se comercializan referencias con este valor de tensión recurrimos a una fuente de tensión de 3V y que posteriormente se conecta a un operacional configurado como inversor con lo que conseguimos nuestros -3V con una alta precisión para suministrar la tensión de referencia al DAC.

Por todo ello se ha elegido la referencia de tensión ADR4530 de Analog Devices. Este componente tiene un error inicial de $\pm 0,02\%$ que aumenta levemente dependiendo de la corriente que tenga que suministrar al circuito. Sin embargo, como vamos a insertar un operacional a la salida de la referencia para invertir la tensión, la caída de tensión por este efecto no será una preocupación puesto que la corriente la aportará el operacional, y esta tensión solo actuará como referencia en la entrada inversora.

Aunque el uso de un operacional a la entrada elimina este error a la caída, este nos añade otros errores. El más significativo es el offset del operacional, debido a que entre las entradas hay una resistencia de muy alto valor, pero por ella circula una pequeña corriente que hace que haya una diferencia de tensión entre las dos entradas y esto se vea reflejado a la salida. Por ello se escoge el operacional OPA727 que tiene un offset máximo de $150 \mu\text{V}$.

Este operacional también es elegido por su tiempo de establecimiento que es inferior a $1 \mu\text{s}$ por tanto funcionará correctamente en nuestro diseño, ya que, es inferior al tiempo de muestreo y a cada lectura de señal, leerá el valor correcto y estabilizado.

Para mejorar el funcionamiento del componente se colocará un condensador de cerámico de $4,7 \mu\text{F}$. Se opta por el condensador GRM21BR71C475KA73L de Murata.

4.2.3. Salida del DAC

Aunque en el manual del DAC8801 aparezca como recomendación el uso de un operacional OPA277 se elige el operacional OPA727 y ya que vamos a usar dos por canal se escoge el OPA2727 que son dos operacionales OPA727, pero en un mismo encapsulado reduciendo así el tamaño del diseño y pudiendo disminuir la distancia entre los terminales de entrada no inversores para que la resistencia sea del valor más pequeño posible y así el ruido transmitido será mínimo.

Estos operacionales han sido elegidos por su pequeña tensión de offset que hace que en la señal lógica de salida se pierda un menor rango de valores y que así se puedan transferir más datos. También por su velocidad y tiempo de establecimiento, lo suficiente pequeño, ya que su velocidad de crecimiento (*slew rate*) en ganancia unitaria es de $30 \text{ V}/\mu\text{s}$. Esto significa que, ante un cambio brusco a la entrada, el operacional puede variar su tensión de salida a 30 V cada $1 \mu\text{s}$. Con lo cual podrá realizar un cambio de 3 V , que es la variación

máxima que puede haber a la entrada de este operacional pues la señal analógica de salida del DAC varía entre 0 y -3 V, en 0,1 μ s.

Para estabilizar la salida el fabricante recomienda el uso de un condensador de entre 4 y 20 pF por tanto y elegimos un valor medio, más estandarizado de 15 pF.

4.2.4. Alimentación del DAC V_{DD}

Para alimentar el DAC se necesita una tensión V_{DD} de 3,3V que no tengan ruido de otras señales porque, aunque se podrían utilizar la tensión que viene desde la FPGA, estos introducirían mucho ruido digital que está conmutando a una frecuencia elevada y que podría generar errores que pudieran verse reflejados en la salida analógica.

Por tanto, se decide alimentar con un sistema añadido. Para conseguir la referencia de tensión de 3,3 V se va a usar un divisor de tensión formado por dos resistencias en serie que hagan que en la conexión intermedia de ellas haya la tensión deseada que, aunque no será tan precisa como otros sistemas de referencia, es la manera más económica de realizarlo. Además, en este caso no se necesita que la tensión sea altamente precisa, sino que sea independiente y si ruido de componentes de alta frecuencia.

Y para evitar que pueda entrar ruido en la señal desde la fuente se coloca un operacional con ganancia unitaria y que no invierta la señal que sea rápido en el cambio de la señal, por ello se elige el operacional OPA356 de Texas Instruments que atenuará el ruido procedente de la fuente de alimentación, y para mejorar su respuesta se coloca a la entrada de la alimentación un condensador de 0,1 μ F como recomienda la ficha técnica. Se elige para ello el condensador cerámico C0805C104K5RACTU de Kemet.

Como será el operacional el que suministre la corriente necesaria al DAC, se podrán poner resistencias de una alta impedancia para conseguir la tensión de referencia pues la corriente que pase por ellas no va a ser necesariamente que sea muy alta.

Por ello se eligen dos resistencias comerciales que puedan cumplir esta función. Tras un primer cálculo aproximado, se hace una aproximación y se escogen:

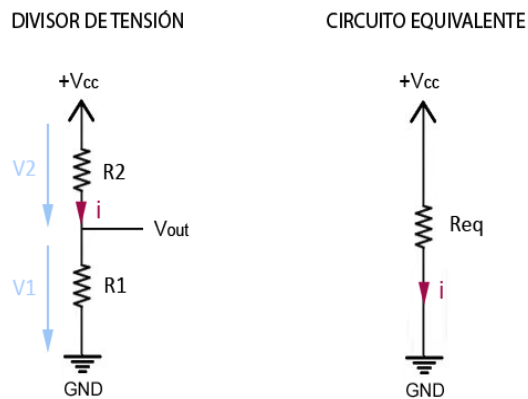


Ilustración 4-3 Divisor de tensión

R2: ERA6APB563V de Panasonic de 243 k Ω

R1: ERA6AEB2802V de Panasonic de 475 k Ω

Con ello conseguimos una tensión V_1 de:

(4.2)

$$V_1 = \frac{V_{cc}}{R_1 + R_2} \times R_1 = \frac{5 V}{475 k\Omega + 243 k\Omega} \times 475 k\Omega = 3,31 V$$

Esta tensión será lo suficientemente precisa para el requerimiento que queremos dar. Y para estabilizar esta tensión en ese punto para evitar posibles fluctuaciones, se sitúa un condensador cerámico de 4,7 μ F. Se opta por el condensador GRM21BR71C475KA73L de Murata.

4.2.5. Elección suministro de tensión positiva para los operacionales

Para suministrar esta tensión se elige un LDO (regulador de baja caída) para nuestro diseño de entre las muchas maneras de suministrar una tensión, pues podría realizarse con una referencia, pero de esta manera es económicamente mejor ya que no se requiere la precisión de una referencia, y la configuración de un divisor de tensión y un operacional no daría la corriente suficiente con la rapidez necesaria.

Ahora se ha de elegir la tensión que queremos que suministre a la salida del LDO para llegar a los 3 V que necesitamos a salida del operacional. Ha de ser

lo suficientemente elevada para que el operacional siempre llegue a los 3 V sin que entre en saturación, pero no la máxima permitida por el operacional pues podría ser muy alta para luego la configuración de la protección a la salida. Por ello, se elige el suministras una tensión de 3,6 V para superar la tensión que pueda caer en el operacional.

Se elige el regulador LDO TPS73201DBVR de Texas Instruments que puede ser regulado para obtener la tensión que se necesite. Para la elección de este elemento también hay que ver cuanta corriente va a necesitar suministrar en nuestro caso 250 mA es suficiente para alimentar aguas abajo. Para la regulación de tensión de este componente se ha de seguir lo indicado en el manual del fabricante para elegir las resistencias adecuadas.

Según las indicaciones de la ficha técnica del componente se ha de realizar la conexión según la Ilustración 4-4, y el cálculo de las resistencias con la fórmula indicada. Aparte, la suma de estas resistencias en paralelo se recomienda que sea de 19 kΩ para que, junto a la resistencia interna de 8 kΩ, minimice los errores que se puedan producir en el amplificador operacional interno del componente.

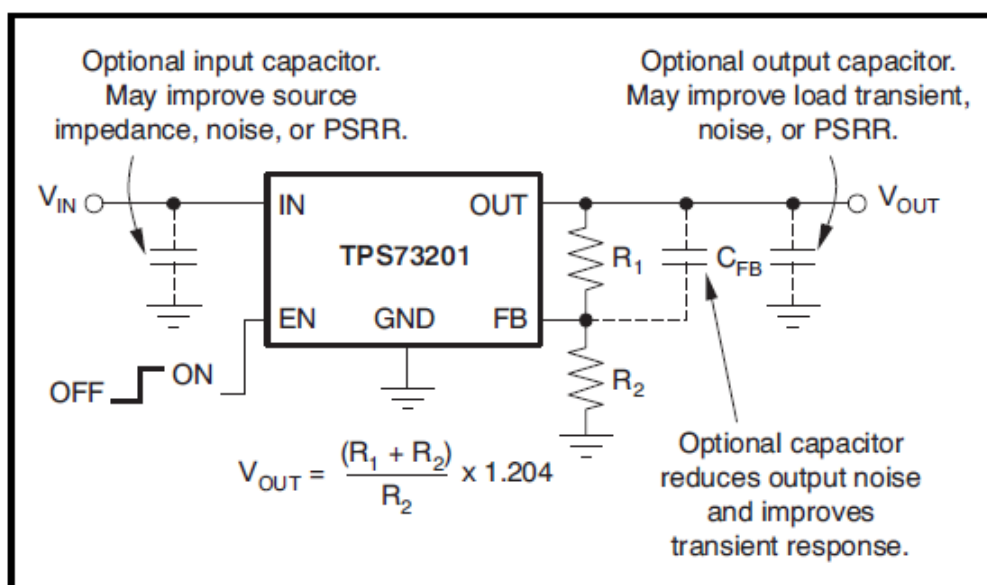


Ilustración 4-4 Regulación TPS732

Para la elección de las resistencias se hacen aproximaciones con valores de resistencias comerciales, iniciando la aproximación con un valor recomendado que da el fabricante para una tensión de salida de 3,3 V.

Las resistencias han de cumplir estas dos ecuaciones:

(4.3)

$$V_{out} = \frac{(R_1 + R_2)}{R_2} \times 1,204$$

(4.4)

$$R_T = \left(\frac{1}{R_1} + \frac{1}{R_2} \right)^{-1}$$

Donde V_{out} ha de ser 3,6 V y R_T 19 k Ω

Finalmente se elige:

R1: ERA6APB563V de Panasonic con un valor de 56 k Ω

R2: ERA6AEB2802V de Panasonic con un valor de 28 k Ω

Cumpliendo las fórmulas:

(4.5)

$$V_{out} = \frac{(R_1 + R_2)}{R_2} \times 1,204 = \frac{(56000 + 28000)}{28000} \times 1,204 = 3,612 \text{ V}$$

(4.6)

$$R_T = \left(\frac{1}{R_1} + \frac{1}{R_2} \right)^{-1} = \left(\frac{1}{56000} + \frac{1}{28000} \right)^{-1} = 18,67 \Omega$$

Estos valores serán suficientemente precisos.

Según se indica en la ficha técnica del componente, dos condensadores uno a la entrada y otro a la salida. Pero estos han sido elegidos después de haber seleccionado la fuente de alimentación, pues dependiendo de la frecuencia de conmutación de la fuente, escogeremos un valor de la capacidad de los condensadores u otro. Como posteriormente se ha seleccionado una fuente cuya conmutación es a 150 kHz, se eligen tanto un condensador a la entrada como a la salida de 0,1 μ F. Con este valor se escoge el condensador cerámico C0805C104K5RACTU con una tensión de 50 V.

Con esta capacidad, y la posterior que tenemos a la entrada de la alimentación del operacional, tenemos una PSRR (*Power supply rejection ratio*) de 40 dB.

Tras esta atenuación deberemos también contar con los 40 dB que tendrá el operacional, y como es ganancia unitaria se convertirá todo en atenuación.

4.2.6. Elección del suministro de tensión negativa a los operacionales.

Para suministrar esta tensión se elige el LDO TPS72301DBVT de Texas Instrument el cual tiene un rango de regulación de entre -10 y -1,2 V, que es apropiado para establecer una tensión en el borne negativo del operacional de -3,6 V que será suficiente para que se puedan alcanzar a la salida los -3 V correspondientes. Esta alimentación podría venir directamente de los -5 V de la fuente, pero insertando un LDO en el diseño conseguimos proteger la salida y además realizamos una limpieza de armónicos que pueden perturbar la señal analógica provenientes de la fuente de alimentación.

Este componente va a ser capaz de suministrar un máximo de 200 mA aunque en un funcionamiento normal de un canal no se espera que tenga más de un consumo de 40 mA para un solo canal.

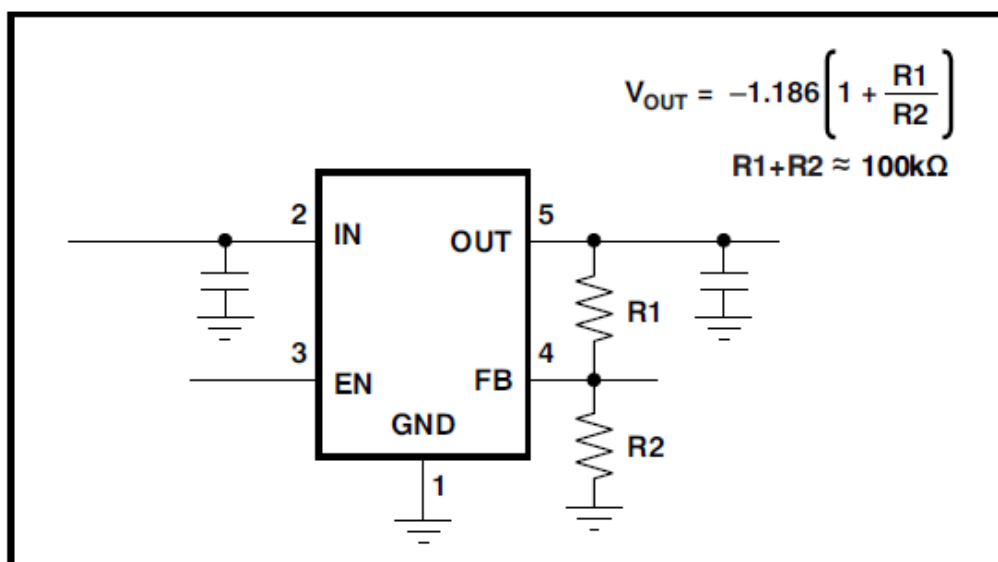


Ilustración 4-5 Regulación TPS723

Como se ve hemos de elegir dos resistencias para cumplir las ecuaciones:

(4.7)

$$V_{out} = -1,186 \left(1 + \frac{R_1}{R_2} \right)$$

(4.8)

$$R_T = R_1 + R_2 \approx 100 \text{ k}\Omega$$

Donde V_{out} será la tensión elegida de 3,6 V y R_T un valor aproximado de 100 k Ω

Las resistencias de valores comerciales elegidas son:

R1: ERA6AEB6652V de Panasonic con un valor de 66,5 k Ω

R2: ERA6AEB3322V de Panasonic con un valor de 33,2 k Ω

Con las que conseguimos unos valores de:

(4.9)

$$V_{out} = -1,186 \left(1 + \frac{R_1}{R_2} \right) = -1,186 \left(1 + \frac{66500}{33200} \right) = -3,56 V$$

(4.10)

$$R_T = R_1 + R_2 = 66500 + 33200 = 99,7 k\Omega$$

Ahora se han de elegir los condensadores de entrada y salida en función de la frecuencia que queramos filtrar. La frecuencia a filtrar como en el anterior caso es de 150 kHz que provienen de la frecuencia de conmutación de la fuente. Por ello y siguiendo las especificaciones de la ficha de parámetros del componente colocamos a la entrada un condensador de 10 μF el GRM21BR61E106KA73L de Murata, y a la salida el condensador C0805C225K4RACTU de Kemet con una capacidad de 2,2 μF que se sumará a la capacidad de los condensadores en la entrada negativa de alimentación del operacional. Con todo ello conseguiremos un PSRR de 30 dB.

Como en el anterior caso también deberemos contar con la atenuación que aplicará el operacional de 40 dB.

4.2.7. Protección de la salida

Como la tarjeta que estamos diseñando va a ser una tarjeta de salida hemos de protegerla de posibles fallos de conexión del usuario. Para ello se colocará una resistencia a la salida que limite la corriente que pueda producirse debido a la diferencia de tensión que pueda haber entre la salida física de la tarjeta y la salida del operacional. Este elemento permitirá que la tarjeta que se diseña no envíe una corriente muy alta a su salida. Esta corriente puede ser debida a un fallo interno como puede ser la destrucción de un operacional y que su salida quede cortocircuitada con una de las tensiones de alimentación, lo que

provocaría que hubiese una tensión a la salida del operacional mucho mayor que la habitual de operación.

Así mismo, también se colocarán dos diodos que protegerán a la tarjeta de posibles tensiones erróneas que pueda colocar el usuario a la salida. El fallo más normal en este tipo de casos es conectar al terminal de salida de la tarjeta otro terminal de salida de otro dispositivo. Este fallo pone en juego una tensión no esperada a la salida, pues lo que se espera es que se conecte la entrada de otro dispositivo a 0 V.

Por tanto, para proteger los distintos fallos que se pueden producir elegimos esta configuración:

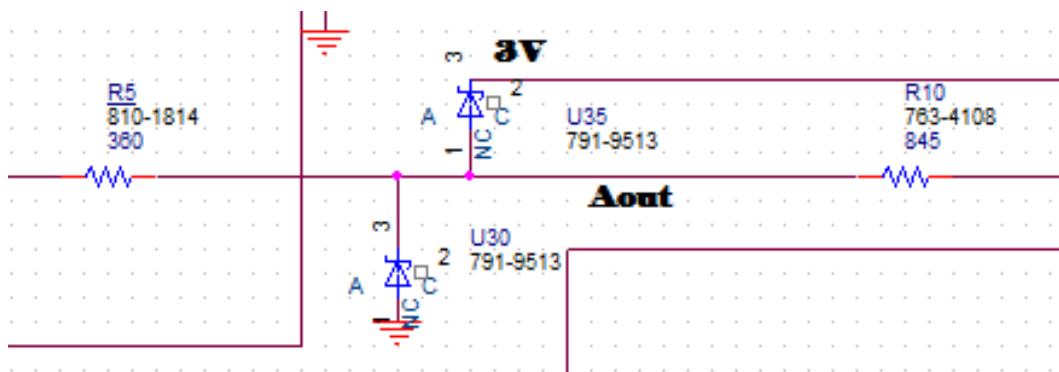


Ilustración 4-6 Protección de la salida

Y vamos a proteger cuando el usuario pueda poner a la salida ± 10 V que pueda poner a la salida, y una corriente de circulación máxima de 12 mA.

El circuito está diseñado para que esta corriente máxima circule por uno de los diodos de protección y que haya como máximo en el punto donde están conectados a la señal 3,3 V y -0,3 V, es decir, $\pm 0,3$ V del rango de tensión que hay en funcionamiento normal.

Para conseguir este efecto se eligen dos diodos Schottky SB05-05C-TB-E de On Semiconductor que tienen una tensión umbral de 0,3 V a una corriente de 12 mA y a una temperatura de 25°C.

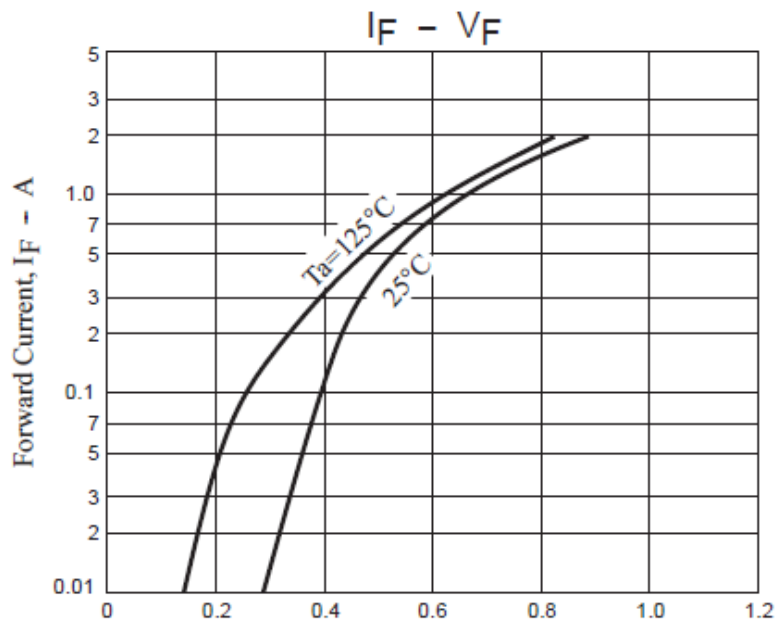


Ilustración 4-7 Gráfica tensión corriente directas

Pero el insertar estos diodos tiene un error asociado cuando el circuito funciona con normalidad, pues este tipo de diodos aunque tienen una tensión umbral menor a la de los diodos convencionales, su corriente de fuga inversa, soportando una tensión inversa de 3 V como máximo en funcionamiento normal a una temperatura de cómo máximo 50°C ya que no pasa corriente por ellos es de $2\ \mu\text{A}$.

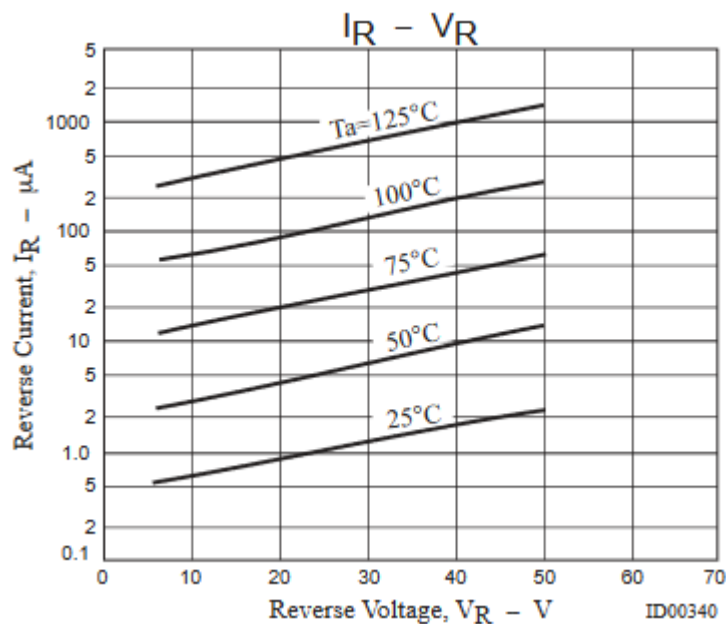


Ilustración 4-8 Gráfica tensión corriente inversas

En el peor de los casos esta corriente puede salir toda hacia el exterior provocando una caída de tensión de:

(4.11)

$$V = I \times R = 2 \mu A \times 845 = 1,69 mV$$

Con lo que nos supone un error ya esperado de:

(4.12)

$$N^{\circ} \text{ c\u00f3digos} = \frac{1,69 mV}{183 \mu V} = 10 \text{ c\u00f3digos}$$

Ante un fallo interno, el operacional previo puede quedar cortocircuitado con una de las tensiones de alimentaci\u00f3n, 3,6 V positiva y -3,6 V negativos. Se analiza el fallo para proteger ante \u00e9l.

(4.13)

$$R = \frac{\Delta V}{I} = \frac{3,6 - (-0,3)}{0,012} = 325 \Omega$$

Se escoge una resistencia de valor superior y que en el peor caso de tolerancia cumpla las especificaciones.

Tambi\u00e9n deber\u00e1 soportar la potencia que se disipe en ella cuando pase esta corriente.

Se escoge la resistencia ERJ6RBD3600V de Panasonic de un valor de 360 Ω con una tolerancia de $\pm 1\%$, cuyo posible valor m\u00ednimo puede ser 356,4 Ω . Y la potencia disipada en el peor caso.

(4.14)

$$P = R \times I^2 = 360 \times 0,012^2 = 0,052 W$$

La resistencia tiene un valor de potencia nominal de 0,1 W con lo cual soportar\u00e1 el paso de esta corriente de fallo.

En el peor caso de salida en el exterior suponemos que haya una tensión de ± 10 V. Si hay +10 V en el punto central donde se conectan los diodos estará a 3,3 voltios como máximo, y si aparte suponemos que el diodo está en fallo en cortocircuito como mínimo habrá 3 V. Sin embargo, si suponemos que en el terminal de salida hay -10 V, en el punto de conexión de los diodos habrá -0,3V debido a la tensión umbral del diodo y si este queda en cortocircuito debido a un fallo, habrá 0 V; lo que será la peor situación y ante la que debemos proteger.

(4.15)

$$R = \frac{\Delta V}{I} = \frac{0 - (-10)}{0,012} = 833,3 \Omega$$

Con lo que deberemos colocar una resistencia de un valor superior. Se elige la resistencia ERA6AEB8450V de Panasonic de 845 Ω y en tolerancia máxima tendrá un valor de 844,1 Ω .

Como en la situación anterior calculamos la potencia que disipa:

(4.16)

$$P = R \times I^2 = 845 \times 0,012^2 = 0,122 \text{ W}$$

Aunque esta resistencia tiene un valor de potencia disipada de 0,125 W muy próximos a este valor, este no es el valor de destrucción de la resistencia, y soportará perfectamente el paso de esta corriente.

4.2.8. Inversores disparadores de Schmitt

En cada canal de entrada digital se va a colocar un elemento inversor disparador de Schmitt o en inglés *trigger Schmitt*. El objetivo de insertar este componente en el diseño será el de evitar que se propaguen ruidos en la señal digital que podrían provocar falsos cambios de estado. También provoca que el cambio de estado sea más rápido y brusco, pues a partir de un valor de referencia a la entrada, cambiará bruscamente a la salida.

Para este diseño se ha elegido el componente SN74LVC2G14IDCKRQ1 de Texas Instruments. Este elemento tiene dos canales, dos inversores disparadores de Schmitt, por cada encapsulado.

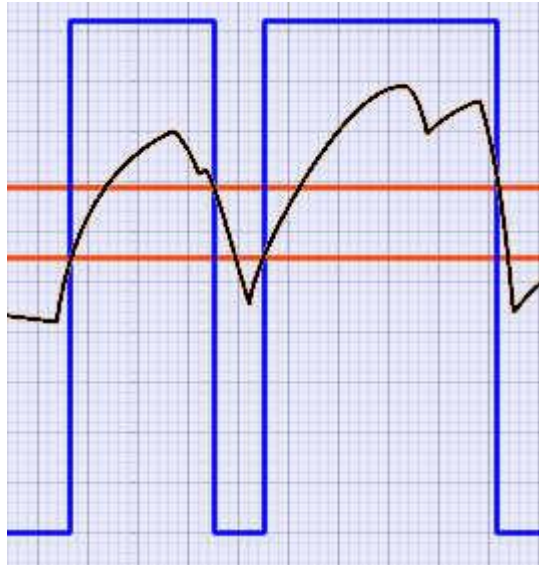


Ilustración 4-9 Efecto trigger Schmitt

Para alimentar a este componente usaremos una tensión de suministro de 3,3V que los sacaremos del terminal de conexiones, que a su vez está conectado a un terminal de la FPGA que suministra estos 3,3V y para desacoplar a la entrada se coloca un condensador cerámico de 0,1 μV por componente, como recomienda la ficha técnica.

Otro error o efecto que puede anular un inversor disparador de Schmitt es el retardo en el cambio de una señal digital de 0 a 1.

Se ha medido que el retardo de las señales digitales de la FPGA hasta nuestra entrada dentro del circuito, cuando ya ha pasado tanto las conexiones de salida de la tarjeta donde esté la FPGA y nuestra conexión de entrada es de aproximadamente 20 ms.

Si tenemos las señales digitales de entrada:

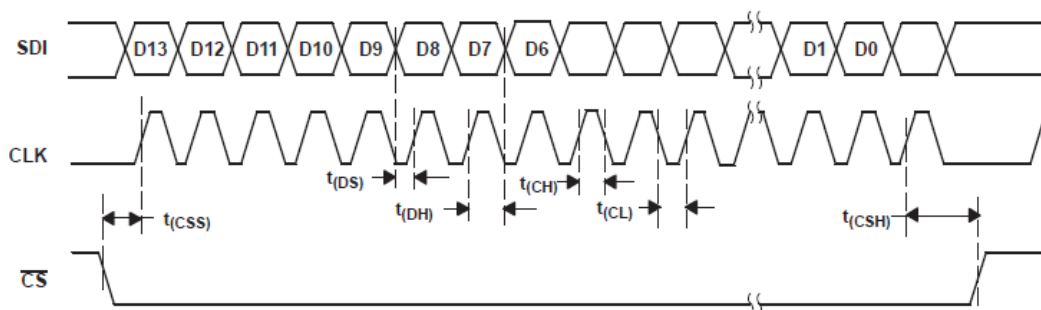


Ilustración 4-10 Señales digitales de entrada

Se denomina *jitter* a la variabilidad temporal de envío de señales digitales, y que se debe al ruido eléctrico entre estas. Puede provocar cambios indeseados en el valor de la señal digital.

Este efecto suele describir normalmente al cambio indeseado de la señal de reloj que hace que cambie el valor de la palabra y se genere un falso valor analógico a la salida del DAC.

Con la integración de un disparador de Schmitt en cada señal digital conseguimos disminuir este efecto, pues el rango de cambio de 0 a 1 está espaciado por una banda y no por un valor en concreto.

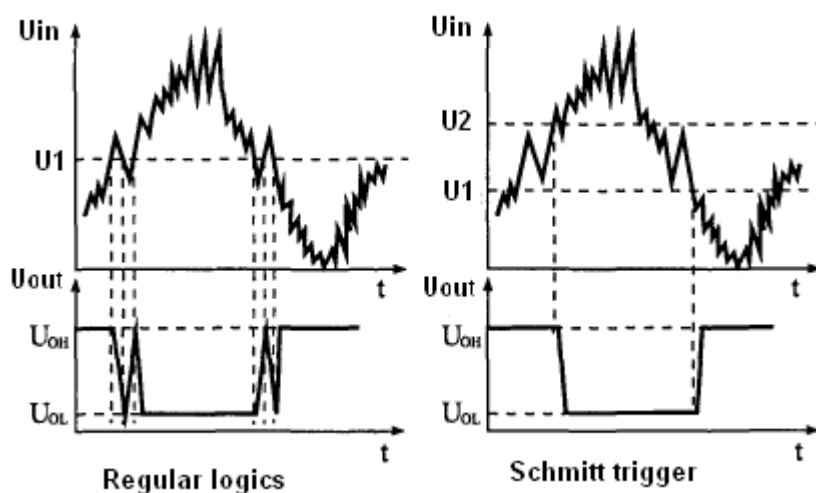


Ilustración 4-11 Jitter

Aunque ahora el cambio de valor digital se retrasará respecto a la anterior situación, este será un desplazamiento temporal determinado y controlado, que se tendrá en cuenta desde el elemento de control.

Para alimentar este componente se va a usar la tensión que puede suministrar la FPGA de 3,3 V. Esta tensión no es lo suficientemente limpia y sin ruido para alimentar un componente analógico, pero es suficiente para un componente digital. Además, como todo componente digital, la alimentación ha de ir desacoplada.

4.2.9. Conexiones de salida y entrada

En las conexiones de entrada y de salida se ha elegido una interfaz de conexión macho de 12 conexiones, en 2 hileras de 6 conexiones con una separación de 2,54 mm, para ello se ha elegido el conector TSW-106-07-L-D de Samtec. Y las señales se conectarán:

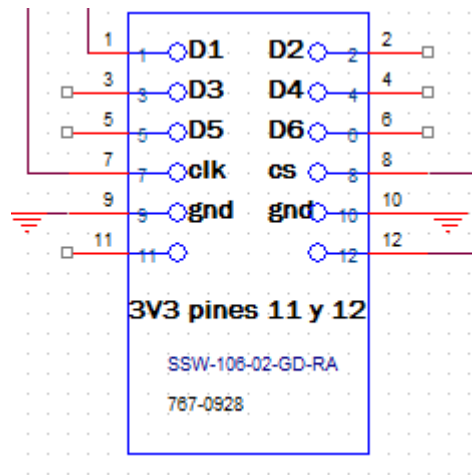


Ilustración 4-12 Distribución de conexiones digitales

Se ha elegido esta disposición por ser intuitivo y ordenado, también por ser un estándar comúnmente muy usado, aunque al ser un prototipo podría haber sido cualquier otro orden y otro conteo de pines.



Ilustración 4-13 Conector TSW-106-07-L-D de Samtec

Para la salida analógica se usará una interfaz de conexión hembra 90° de 12 conexiones, en 2 hileras de 6 conexiones con un paso de 2,54 mm, se ha escogido SSW-106-02-G-D-RA de Samtec, y las señales se conectarán:

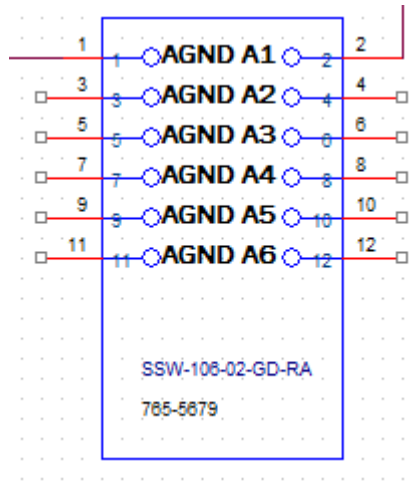


Ilustración 4-14 Distribución señales analógicas

Al igual que en para el otro conector se ha escogido esta disposición por ser intuitiva y ordenada.

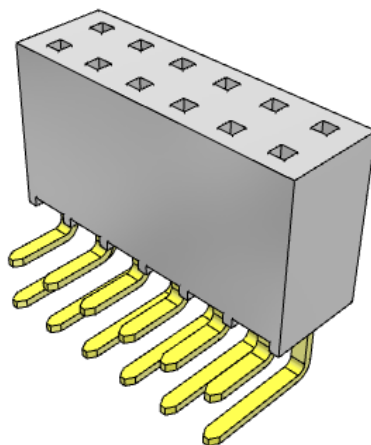


Ilustración 4-15 Conector SSW-106-02-G-D-RA de Samtec

4.2.10. Elección de la fuente de alimentación

La fuente de alimentación suministrara energía a los operacionales de toda la tarjeta. Para su cálculo hemos de prever cuanto será la potencia consumida por cada canal y que la corriente máxima que puede dar cada la fuente

Cada Dac 8801 permite un paso de corriente de 2 mA lo que hace que esta sea la corriente que pase por todo el circuito más la corriente que pasa por cada operacional OPA356 de 14 mA más la corriente por la referencia de 1 mA más la corriente por los operacionales OPA2727 de 6,5 mA, hace que la corriente total sea de 44 mA, y la del polo negativo -6,5 mA de la corriente que necesita el operacional OPA2727.

La corriente a los Schmitt viene suministrada por la alimentación de la FPGA.

Se elige la fuente de alimentación THM 3-0521wi. Esta fuente suministra 3 W pudiendo dar 300 mA por su polo positivo y -300mA por su polo negativo, para todos los componentes de la tarjeta y por el tipo de fuente los componentes armónicos están a 150 KHz con lo que se puede filtrar posteriormente con mayor facilidad ya que no tiene una componente armónica variable como otras fuentes.

Se ha elegido una fuente de una potencia mucho más elevada a la que consumiría un canal de la tarjeta, pero con vistas a que puedan ser más canales

Models				
Order code	Input voltage range	Output voltage	Output current max.	Efficiency typ.
THM 3-0510WI	4.5 – 9 VDC (5 VDC nominal)	3.3 VDC	1000 mA	81.0 %
THM 3-0511WI		5.0 VDC	600 mA	84.5 %
THM 3-0512WI		12 VDC	250 mA	85.0 %
THM 3-0513WI		15 VDC	200 mA	85.0 %
THM 3-0515WI		24 VDC	125 mA	85.5 %
THM 3-0521WI		±5.0 VDC	±300 mA	83.0 %
THM 3-0522WI		±12 VDC	±125 mA	86.0 %
THM 3-0523WI		±15 VDC	±100 mA	86.0 %
THM 3-2410WI	9 – 36 VDC (12 VDC nominal)	3.3 VDC	1000 mA	82.0 %
THM 3-2411WI		5.0 VDC	600 mA	84.5 %
THM 3-2412WI		12 VDC	250 mA	87.0 %
THM 3-2413WI		15 VDC	200 mA	87.0 %
THM 3-2415WI		24 VDC	125 mA	87.0 %
THM 3-2421WI		±5.0 VDC	±300 mA	83.0 %
THM 3-2422WI		±12 VDC	±125 mA	86.5 %
THM 3-2423WI		±15 VDC	±100 mA	86.0 %
THM 3-4810WI	18 – 75 VDC (48 VDC nominal)	3.3 VDC	1000 mA	81.0 %
THM 3-4811WI		5.0 VDC	600 mA	83.0 %
THM 3-4812WI		12 VDC	250 mA	86.5 %
THM 3-4813WI		15 VDC	200 mA	87.0 %
THM 3-4815WI		24 VDC	125 mA	86.0 %
THM 3-4821WI		±5.0 VDC	±300 mA	83.0 %
THM 3-4822WI		±12 VDC	±125 mA	86.0 %
THM 3-4823WI		±15 VDC	±100 mA	86.0 %

Ilustración 4-16 Tensiones de las fuentes

Y como el consumo durante la conversión puede ser muy variable se ha escogido una fuente que no tiene una carga mínima de salida.

4.2.11. Terminal de potencia

El terminal de potencia elegido es el 1725656 de Phoenix Contact. Tiene dos vías con un paso de 2,54 mm por el cuál podremos suministrar la potencia necesaria a la tarjeta, a través de la fuente de alimentación entre un rango de 4,5 y 9 V.

Este terminal tiene dos vías, es de rosca y permite cables de hasta una sección de 0,5 mm² y una corriente de 6 A, que son más que suficientes para alimentar a la tarjeta.

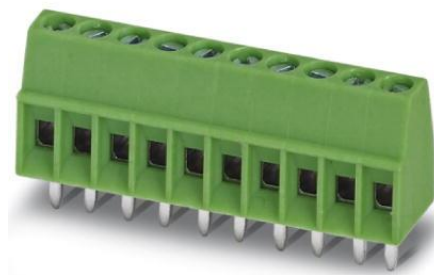
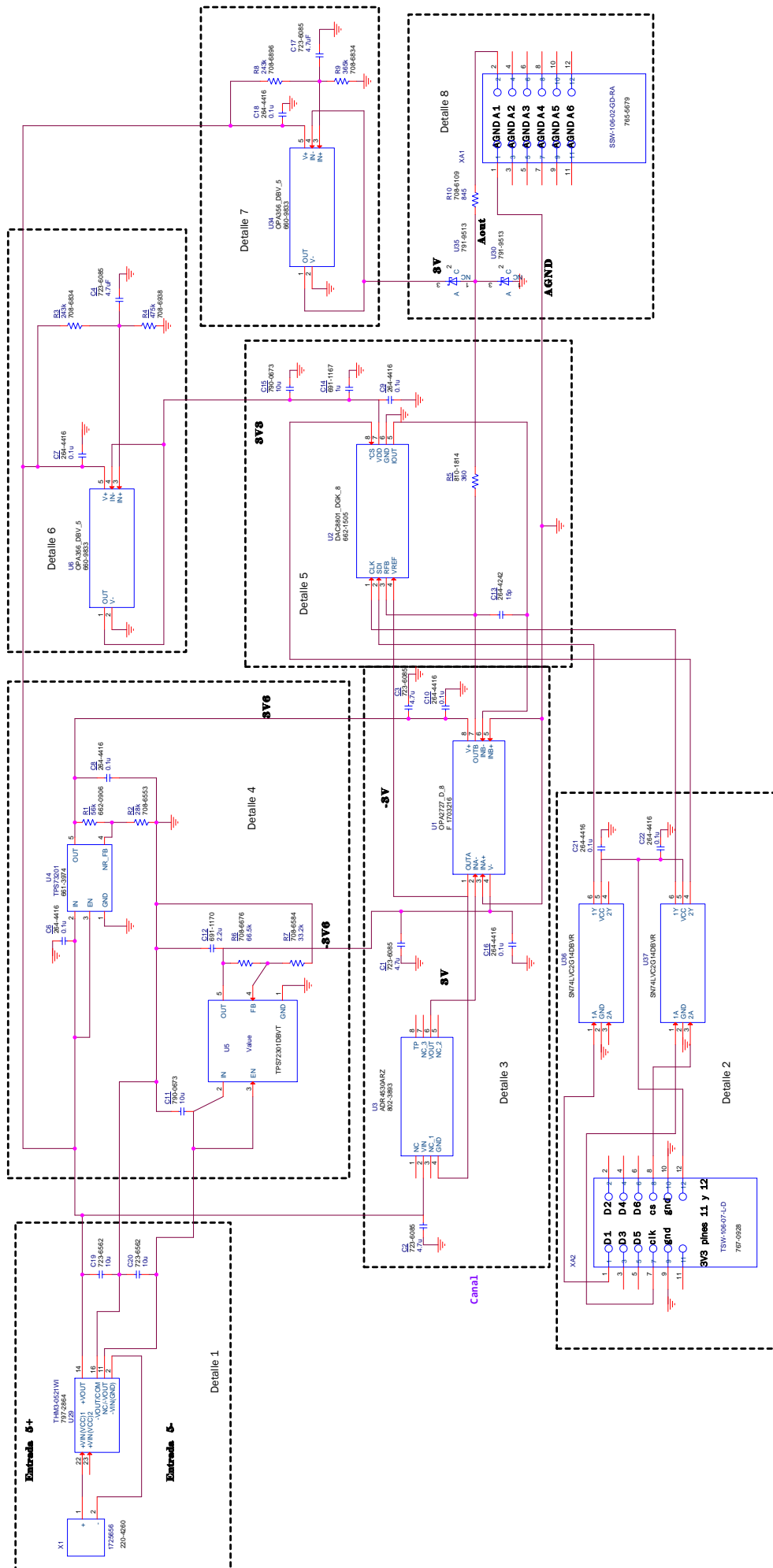


Ilustración 4-17 Terminal 1725656 de Phoenix Contact.

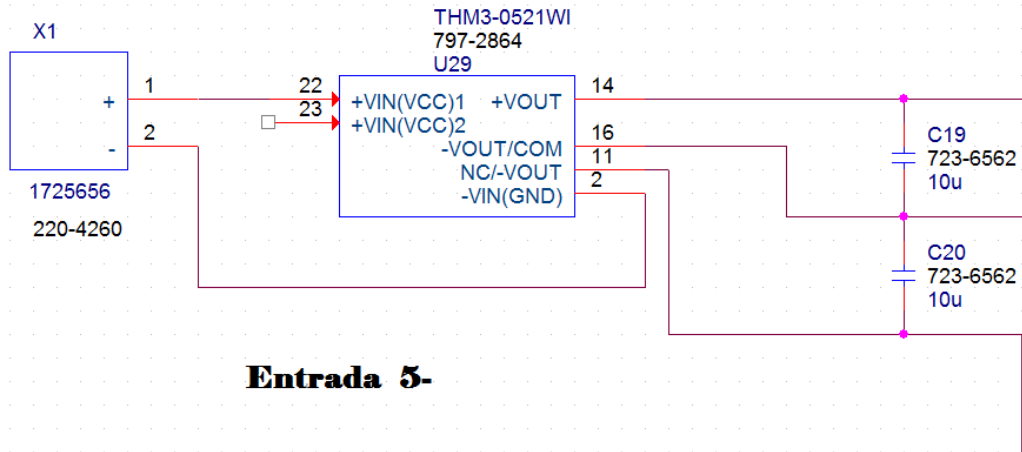
Aquí se representa el conector de las mismas propiedades, pero de 10 vías.

4.2.12. Esquemático del diseño DAC

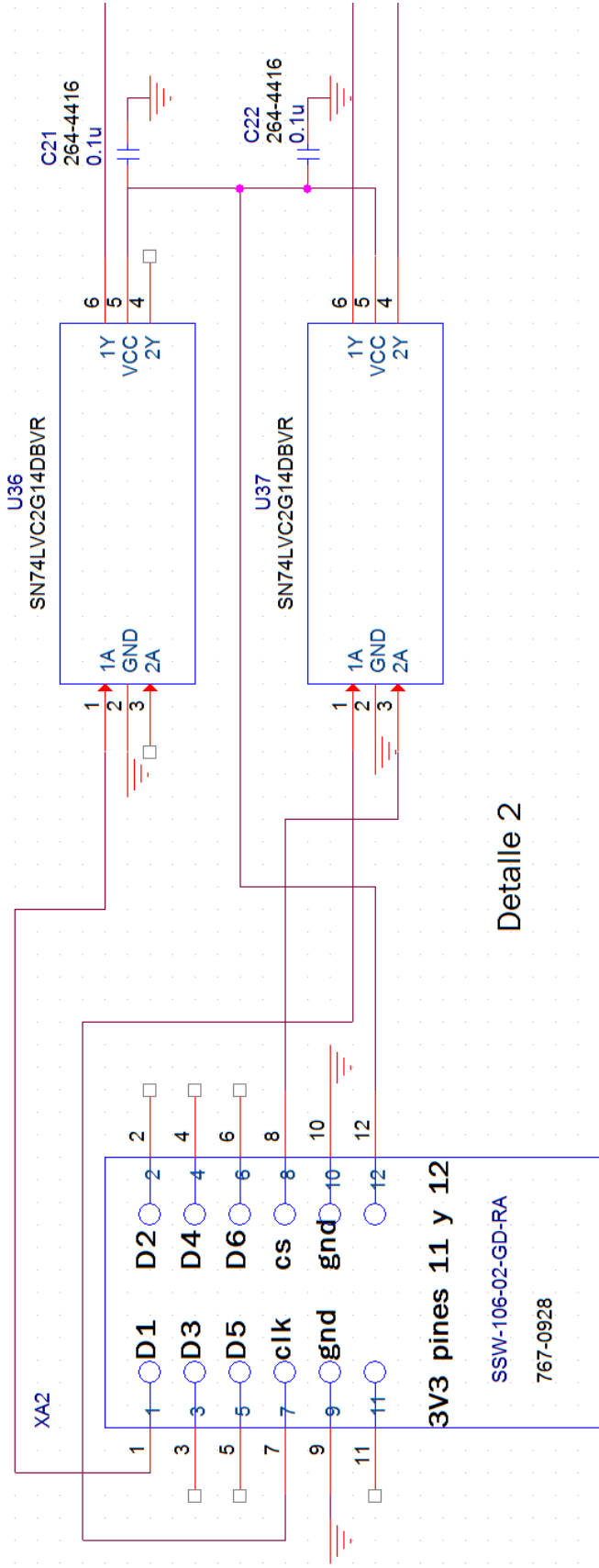


1000		Tarjeta DAC	
Sheet	1	Document Number	Antonio San Miguel Nieto
Rev	1	Author	Antonio San Miguel Nieto
Scale	1:1	Date	2023/07/20
		Sheet	01

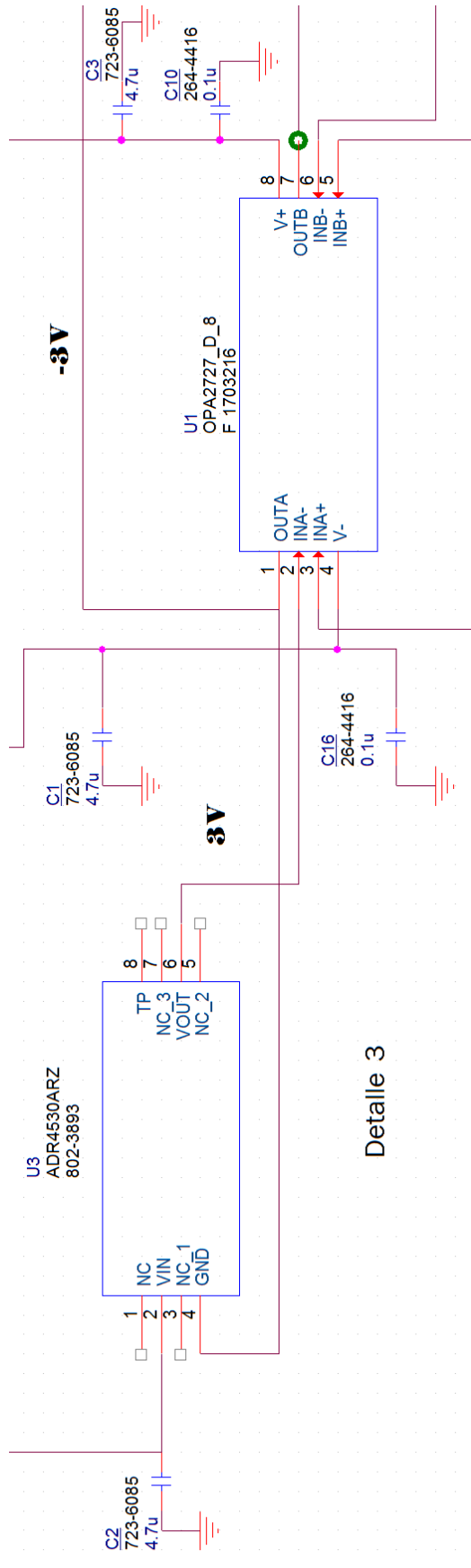
Entrada 5+

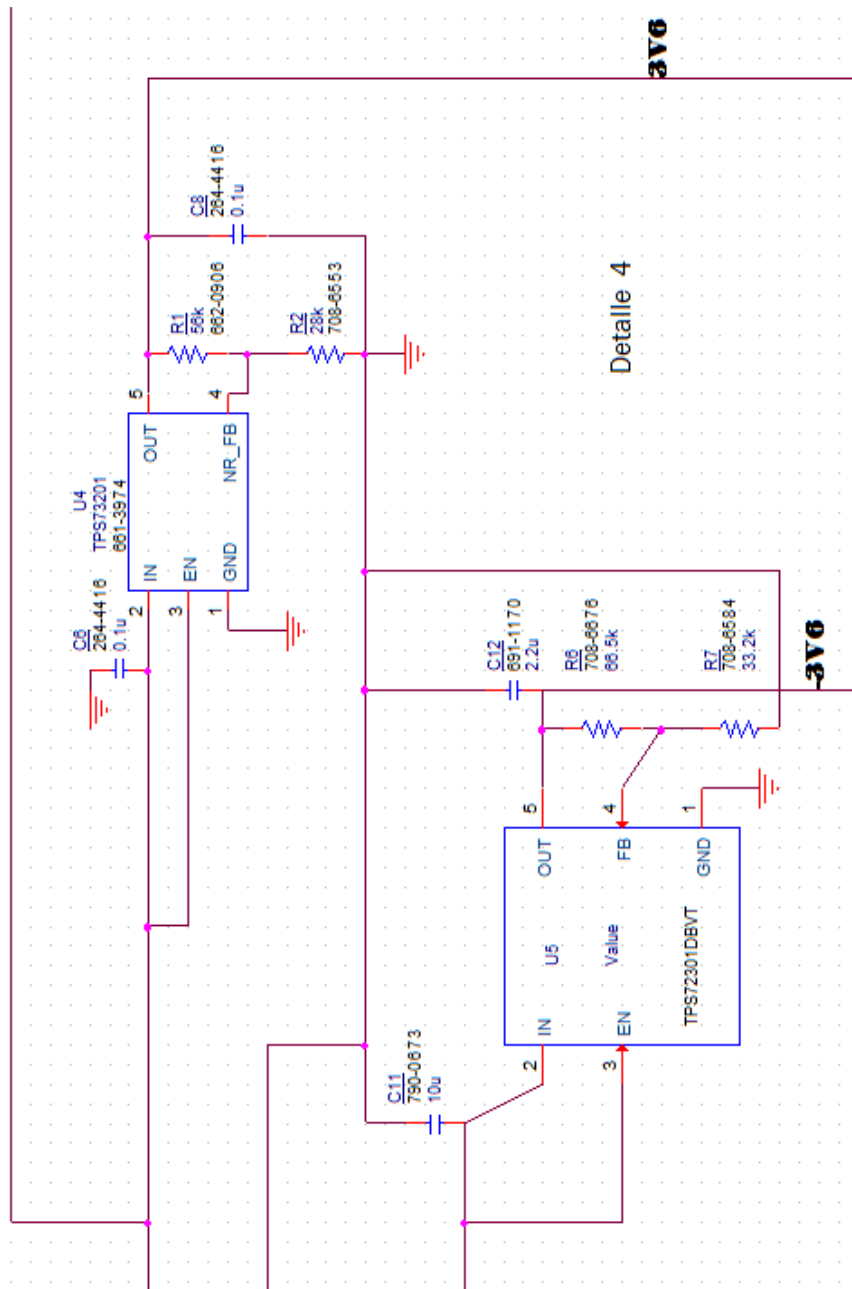


Detalle 1

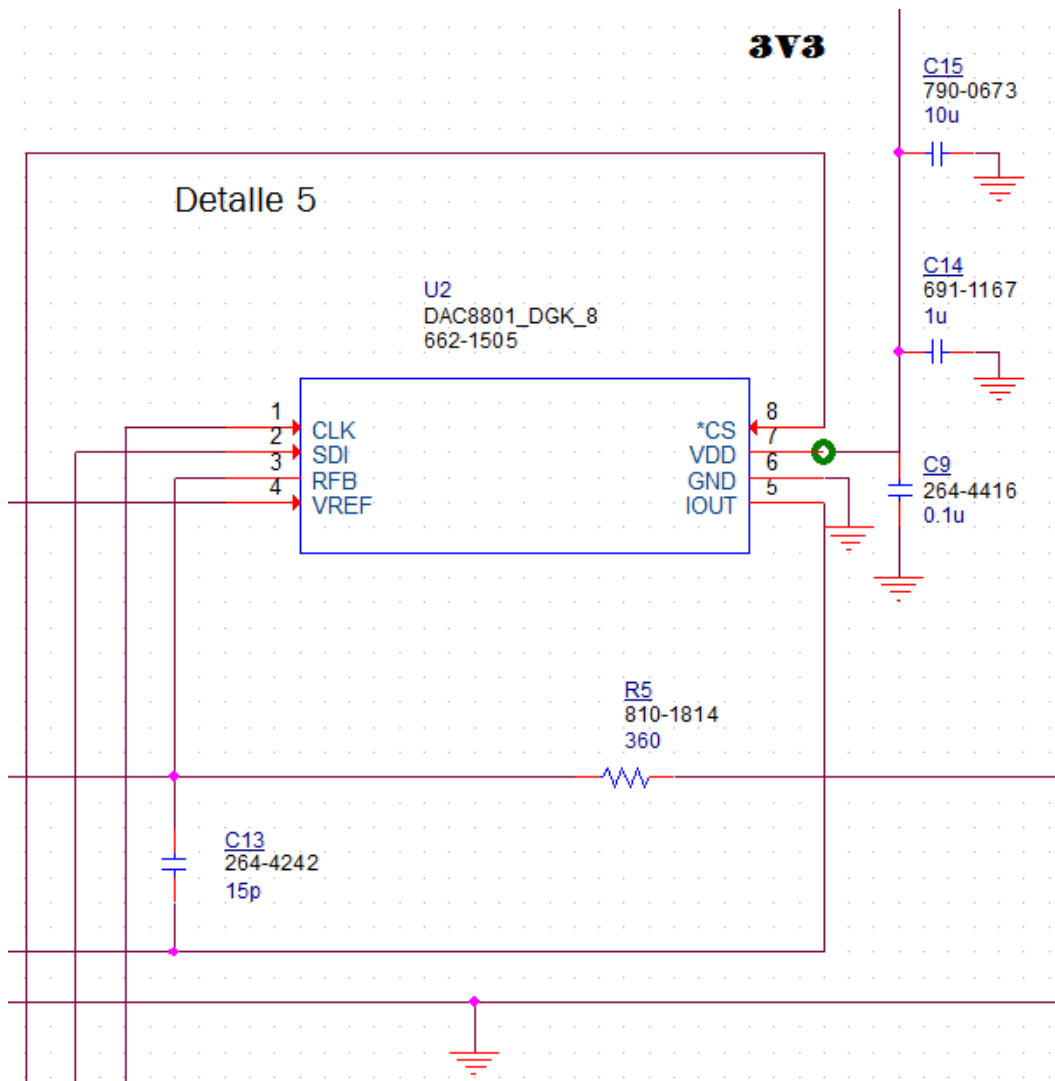


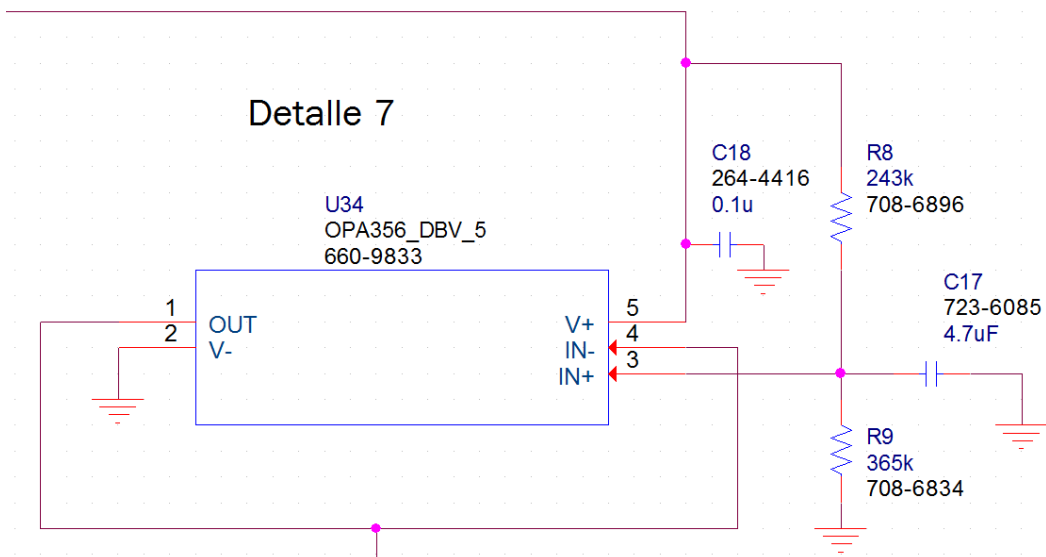
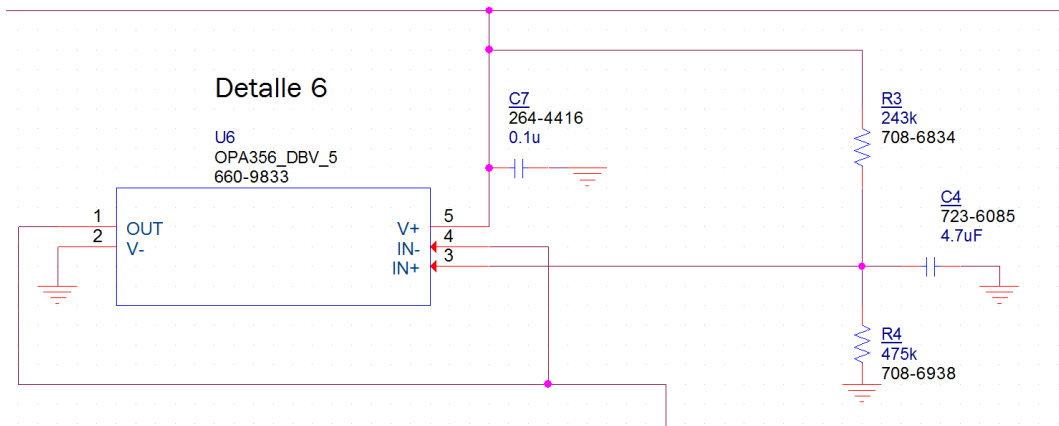
Detalle 2

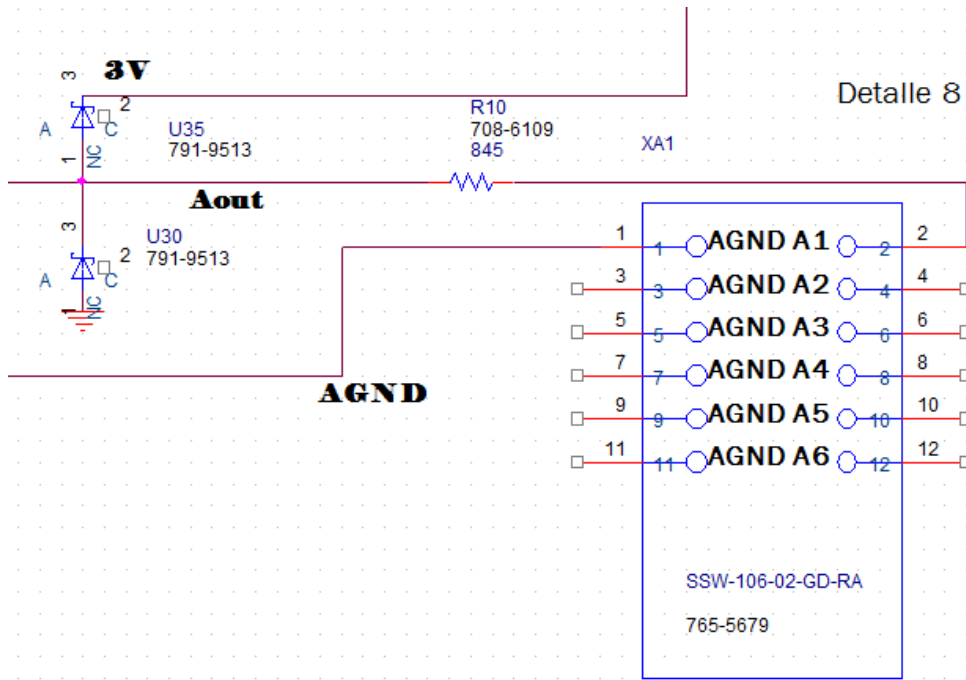




Detalle 4







4.3. Diseño y elección de los componentes para la PCB-ADC

4.3.1. AD7476

Para la tarjeta de conversión analógico a digital vamos a usar el ADC AD7476ARTZ-500RL7 de Analog Devices, un convertidor analógico digital de 12 bits, interfaz serie y de 1 MSPS cuando la señal de reloj es de 20 MHz.

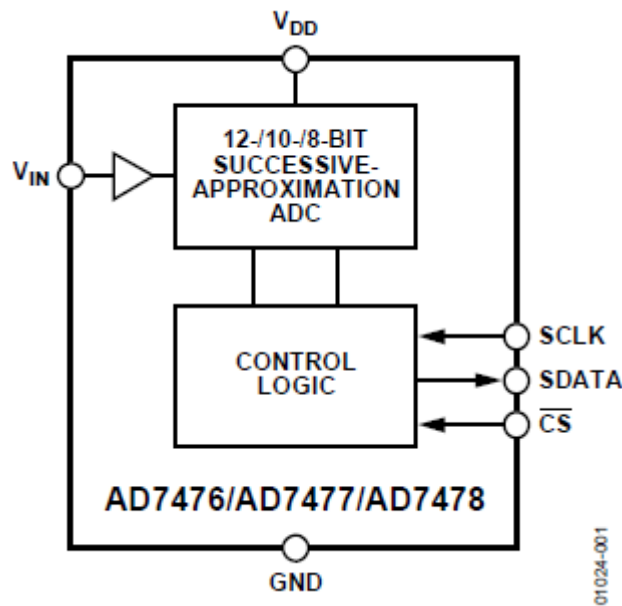


Ilustración 4-18 AD7476

Como tiene una interfaz serie será necesario conectarlo a tres señales de la FPGA. La señal de reloj y la señal Chip Select que serán de entrada para poder realizar la conversión y la señal de datos que será de salida.

La señal de entrada V_{IN} será la señal analógica que queremos convertir en una señal digital que será de un valor entre 0 y 3 V. También deberemos alimentar al componente con una tensión suficiente para poder convertir las señales además que será la conexión por dónde se suministre la potencia que absorberá el componente.

La resolución de este componente será de:

(4.17)

$$LSB = \frac{V_{REF}}{2^n} = \frac{3}{2^{12}} = 732 \mu V$$

Esta resolución será la causante de la precisión de la señal de la que queremos transmitir. A una mayor resolución mayor será el número de cifras que podamos transmitir.

4.3.2. Referencia de tensión

Como referencia de tensión para alimentar V_{DD} necesitamos 3 V lo más precisos posibles que será la escala que tendrá el conversor digital analógico interno del ADC. Cuanto más preciso sea esta tensión, más precisa será la conversión del ADC. Por ello, se elige una referencia de alta precisión ADR4530ARZ de Analog Devices, pero este componente no es capaz de suministrar la corriente de 3,5 mA que absorbe el ADC sin tener una caída de tensión notable y que no afecte a la precisión original. Por ello a la salida se colocará el operacional OPA356AIDBVT de Texas Instruments en configuración de ganancia unitaria. De esta manera conseguiremos suministrar la corriente necesaria al ADC manteniendo la precisión necesaria.

El operacional necesitará de dos condensadores uno de 0,1 μF (C0805C104K5RACTU de Kemet) y otro de 4,7 μF (GRM21BR71C475KA73L de Murata).

La referencia también necesitará un condensador a su entrada desde la fuente de alimentación, que ayudará a mantener una tensión más estable a la entrada y que esto no se vea reflejado a la salida de la referencia y perdamos precisión posteriormente durante la conversión.

4.3.3. Filtro de entrada analógica

Según el criterio de Nyquist para poder muestrear una señal periódica se ha de realizar el muestreo al doble de la frecuencia de la señal que se quiere muestrear. Si se intenta muestrear una señal de mayor frecuencia de la que establece este criterio se produce un efecto llamado aliasing. El aliasing es la suposición errónea de un muestreo tomándose por real una señal falsa debido a la alta frecuencia a la señal a muestrear. Debido a este efecto se van a filtrar las señales analógicas de alta frecuencia causadas por ruido, para que no distorsionen la señal leída.

Por ello se inserta un filtro pasa baja cuya frecuencia de corte este a 0,5 MHz que se colocará justo a la entrada de la señal a muestrear por el ADC.

Se buscan una resistencia y un condensador para insertarlos en el diseño.

Se ha de cumplir la fórmula:

(4.18)

$$f_c = \frac{1}{2 \cdot \pi \cdot R \cdot C}$$

Tras realizar unas aproximaciones se encuentra conveniente el usar los siguientes componentes:

Como resistencia ERJP6WF51R0V de Panasonic con un valor de 51 Ω

Como condensador GRM2195C1H682JA01D de Murata de 6,8 nF

Que en un circuito pasa-baja tienen una frecuencia de corte de

(4.19)

$$f_c = \frac{1}{2 \cdot \pi \cdot R \cdot C} = \frac{1}{2 \cdot \pi \cdot 51 \cdot 6,8 \cdot 10^{-9}} = 0,459 \text{ MHz}$$

Como los componentes tienen una tolerancia calculamos a que frecuencia pasaría con la situación del peor de los valores, que sería el valor más inferior de las tolerancias.

(4.20)

$$f_c = \frac{1}{2 \cdot \pi \cdot R \cdot C} = \frac{1}{2 \cdot \pi \cdot (51 \cdot 0,99) \cdot (6,8 \cdot 10^{-9} \cdot 0,95)} = 0,488 \text{ MHz}$$

Para la peor de las situaciones.

4.3.4. Acondicionamiento de la entrada

Para poder leer con precisión la entrada independientemente de la impedancia que está presente, se va a colocar un operacional que, además hará que la siguiente etapa que recorra la señal analógica, en este caso el filtro, se independiente de la entrada.

El operacional OPA356AIDBVT de Texas Instrumentes realizará esta tarea de una manera sencilla y económica, además de aumentar simplicidad al diseño.

Este operacional tiene un offset máximo muy pequeño 200 μV , y un alcance de la tensión de alimentación con tan solo una pérdida máxima de 20 mV, es decir, que se podrá conectar el terminal negativo de alimentación del operacional a masa pese a que a la salida aparecerá una tensión de entre 10 y 20 mV cuando a la entrada haya 0 V.

También tiene un tiempo de establecimiento de 0,3 μs que junto al tiempo de establecimiento del ADC de 0,6 μs podremos transmitir señales con la suficiente precisión con un tiempo de muestreo de 0,1 μs .

El operacional tendrá una configuración del circuito para que la ganancia sea unitaria y una resistencia en la realimentación de 10,5 k Ω , resistencia ERA6AEB1052V de Panasonic y una previa a la entrada no inversora que conecte a la protección de la entrada que se calcula en el apartado 4.3.6, de valor 8,45 k Ω .

Estos valores se eligen para eliminar pérdidas ya que, si el operacional ve la misma resistencia a la entrada que en su realimentación, la diferencia de tensión que se pueda producir entre los terminales de entrada del operacional a causa de la pequeña corriente de fuga que pasa por ellos, se ve anulada si a las dos entradas se conecta el mismo valor de resistencia.

Esto da que, si la suma de resistencia en serie que ve la entrada no inversora del operacional, contando con las resistencias que habrá en la salida de la tarjeta DAC, es de:

(4.21)

$$R_T = \sum R = 360 + 845 + 845 + 8450 = 10500 \Omega$$

Esto también permite que independientemente de la entrada que se conecte, si es otro tipo de entrada, aunque no presente impedancia alguna, el operacional vea como mínimo de la entrada de la tarjeta 9245 Ω frente a los 10500 Ω de la realimentación.

4.3.5. Alimentación de los operacionales

Para alimentar los operacionales se conectarán a masa y a una conexión de 3,3V ya que según la ficha técnica saturan, en el peor de los casos, a 20 mV de la tensión de alimentación.

Al conectar el terminal negativo a tierra sabremos que, debido a este efecto, la tensión de salida del operacional nunca podrá llegar a 0 V, con lo que tendremos una pérdida de datos de como mínimo:

(4.22)

$$\text{códigos} = \frac{\Delta V}{LSB} = \frac{0,01}{732 \cdot 10^{-6}} = 13,6 \text{ códigos}$$

Finalmente se perderán como término medio 14 códigos. Pero esta cantidad de códigos perdido al ser un error recurrente, se puede tener en cuenta desde la unidad de control para que influya lo menos posible en la medida real.

Para suministrar a la alimentación positiva del operacional los 3,3 V se va a usar un regulador de baja caída y como las especificaciones son similares se va a usar el mismo regulador que en la tarjeta DAC. El regulador TPS73201DBVR de Texas Instruments permite según el valor de resistencias que se ponga a la salida, ofrecer una tensión u otra.

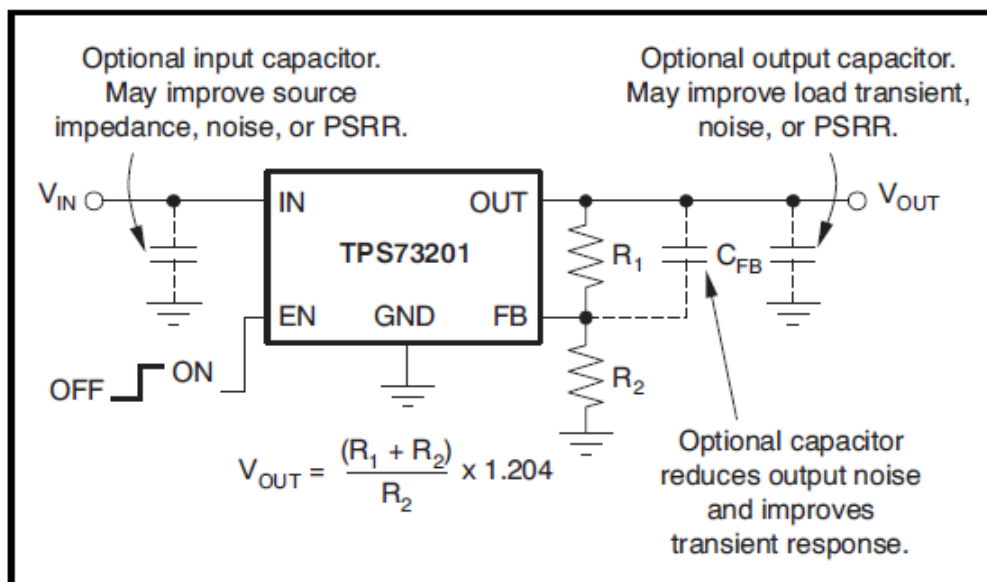


Ilustración 4-19 Regulación TPS73201

Para el caso de 3,3 V de salida la ficha técnica del componente ya nos ofrece dos valores comerciales capaces de suministrar esta tensión. Se va a comprobar según las fórmulas si estos valores son correctos.

Los valores sugeridos son:

$$R_1 = 52,3 \text{ k}\Omega \text{ y } R_2 = 30,1 \text{ k}\Omega$$

(4.24)

$$V_{out} = \frac{(R_1 + R_2)}{R_2} \times 1,204 = \frac{(52300 + 30100)}{30100} \times 1,204 = 3,296 \text{ V}$$

(4.25)

$$R_T = \left(\frac{1}{R_1} + \frac{1}{R_2} \right)^{-1} = \left(\frac{1}{52300} + \frac{1}{30100} \right)^{-1} = 19,1 \text{ k}\Omega$$

Que son resultados válidos para la función que queremos realizar, por ello se escogen las resistencias de estos valores.

R1: ERA6APB5232V de Panasonic de valor 53,2 k Ω

R2: ERA6ARB3012V de Panasonic de valor 30,1 k Ω

Para mejorar la respuesta temporal y poder filtrar con mayor atenuación las frecuencias que pueden venir de la fuente de alimentación, se elige colocar dos condensadores uno a la entrada y otro a la salida, de 0,1 μ F. También se tiene en cuenta las demás capacidades que hay a la salida del regulador que, aunque son para mejorar la respuesta transitoria del operacional que hay aguas abajo, también afecta a la salida del regulador.

4.3.6. Protección de la entrada

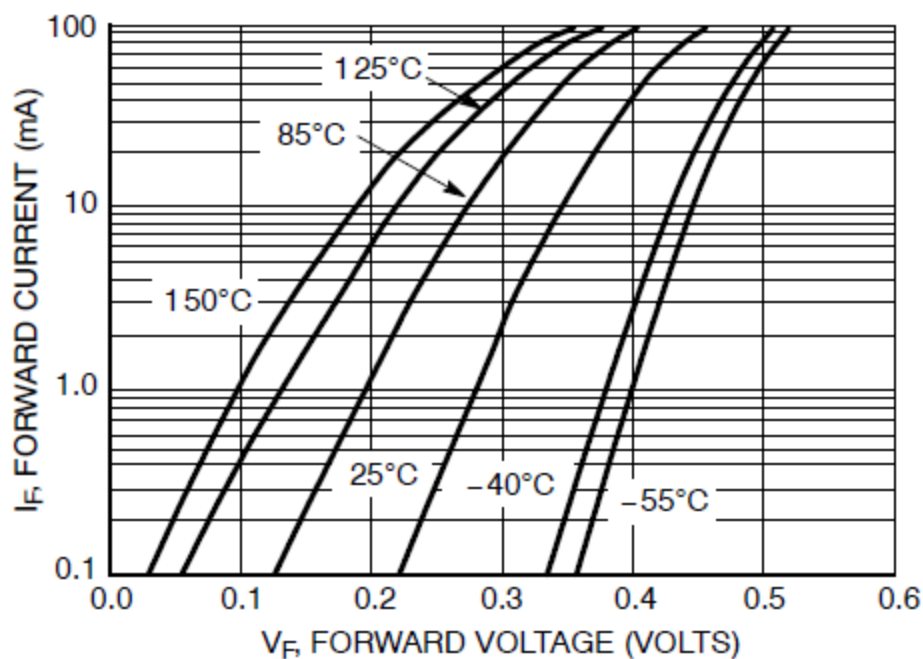
Para evitar la destrucción de algún componente interno de la tarjeta que se está diseñando se va a proteger la entrada mediante un sistema similar al explicado para la salida del DAC en el apartado 4.2.7.

Se ha de tener en cuenta que en este caso no es necesario proteger al usuario de ninguna corriente de salida, puesto que por nuestro diseño no es factible que salga ningún tipo de corriente que pueda dañar al usuario pese a que haya un fallo en el interior de la tarjeta.

Solo se deberá proteger la entrada frente a un fallo exterior a nuestra entrada, es decir, solo deberemos proteger los elementos de la tarjeta. Debido a esto la seguridad puede ser menos estrictas ya que no vamos a dañar ningún componente del cliente que esté usando el equipo.

Por tanto, podemos permitir que en nuestro punto de protección pueda aparecer una tensión mayor a la del caso del DAC. Se busca un encapsulado que contenga dos diodos con una tensión umbral próxima a 0,3 V cuando circulan 12 mA.

Se encuentra el componente SBAT54SLT1G de On Semiconductor. Que como se observa en la gráfica tiene una tensión umbral de 0,35 V cuando deja pasar una corriente de 12 mA a una temperatura de 25°C.



Y a su vez tiene una corriente inversa de fuga con un valor de 0,002 μ A cuando no está en polarización directa, para una tensión inversa de 3V:

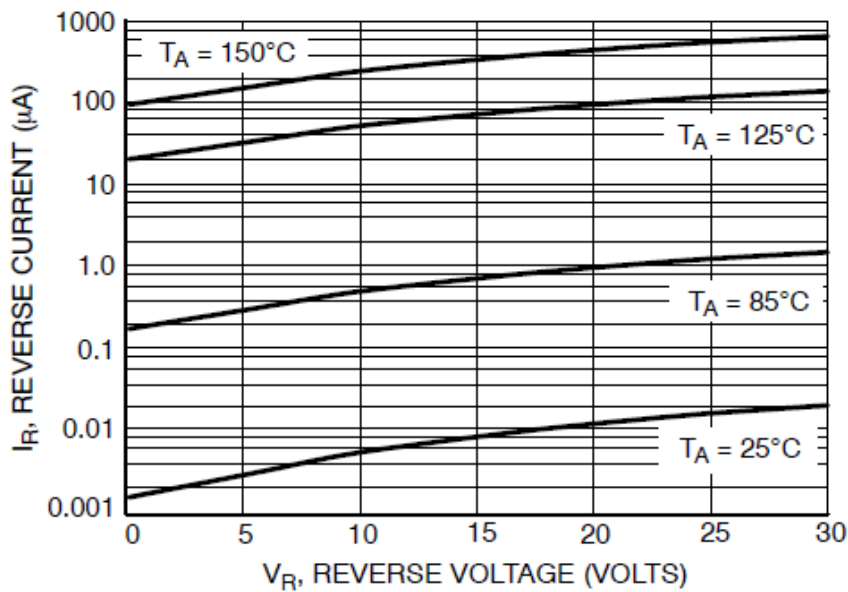


Ilustración 4-20 Tensión corriente inversa

Esta corriente es prácticamente ínfima y no produce ninguna distorsión en la señal de entrada que pretendemos proteger.

Como en el caso de la salida, hemos de proteger si el usuario nos conecta una tensión incorrecta a la entrada y suponemos que vamos a proteger la tarjeta frente a una entrada ± 10 V. Si se pretende que no circulen por el circuito más de 12 mA, el peor caso es cuando se conecten -10 V y por alguna razón o fallo el diodo presente una tensión umbral menor a la que hemos supuesto, hasta un mínimo de que quede en cortocircuito.

(4.26)

$$R = \frac{\Delta V}{I} = \frac{0 - (-10)}{0,012} = 833,3 \Omega$$

Escogemos la misma resistencia que en el caso anterior de protección la resistencia ERA6AEB8450V de Panasonic de 845 Ω .

4.3.7. Inversores Schmitt

Se van a colocar 2 disparadores de Schmitt SN74LVC2G14IDCKRQ1 que tiene dos canales. Cada señal digital llevará uno para evitar los efectos anteriormente descritos en el apartado 4.2.8. Al igual que los condensadores conectados para su desacoplo.

4.3.8. Conexiones de salida y, de entrada

Para poder comunicarse con el exterior la tarjeta ha de ir incorporada de conexiones de salida y entrada.

Como salida digital de la tarjeta se va a usar la misma conexión que la entrada de la tarjeta DAC puesto que estas dos conexiones comunican con la FPGA. Igualmente, la conexión ahora de entrada será la misma que la de salida de la Tarjeta DAC al igual que la configuración de los terminales de conexiones. (Apartado 4.2.9).

Los terminales son:

Para la entrada analógica: SSW-106-02-G-D-RA de Samtec. Terminal hembra a 90°, 12 conexiones distribuidas en dos filas con un paso de 2,54 mm.

Para la salida digital: TSW-106-07-L-D de Samtec. Terminal macho, 12 conexiones distribuidas en dos filas con un paso de 2,54 mm.

4.3.9. Fuente de alimentación

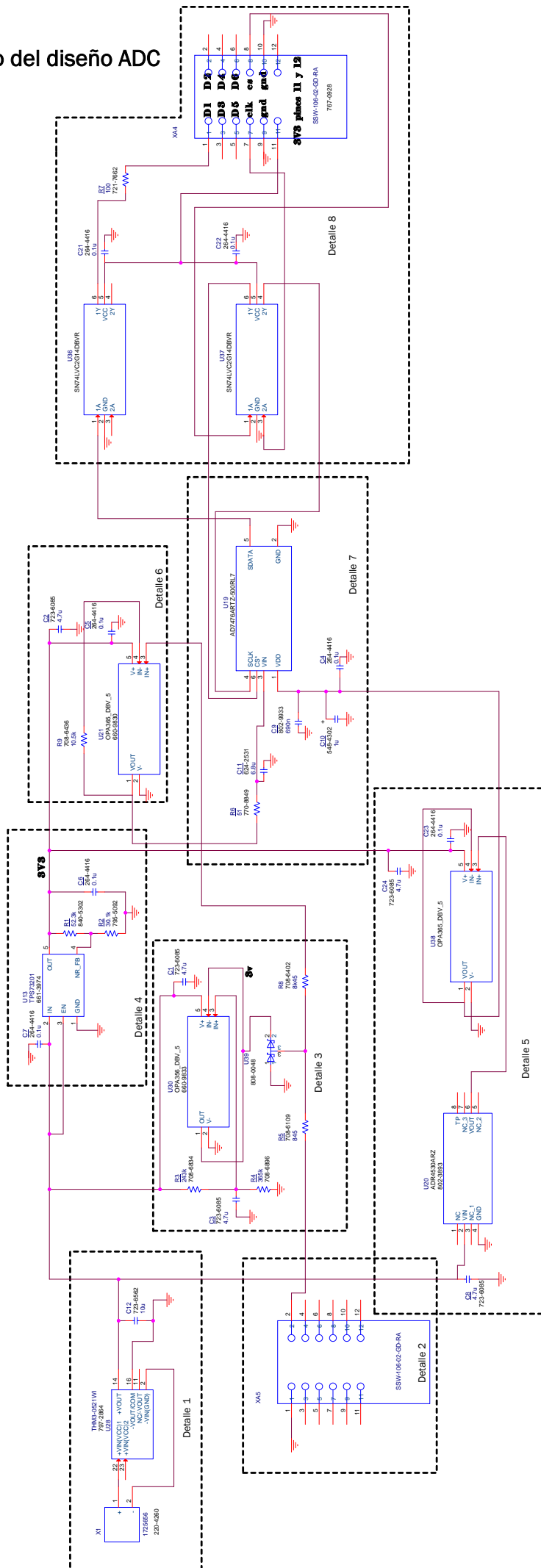
En este caso la corriente que pasará por conversor ADC máxima mientras está en funcionamiento será de 1,6 mA más la corriente de 1 mA de la referencia más 5 mA de cada operacional OPA365 y 14 mA del operacional OPA356, que suman 26,6 mA. Por tanto, la potencia disipada por todo el circuito será menor que la de la tarjeta DAC.

Se escoge por entonces la fuente THM 3-0521wi de Traco Power y se conectará en la configuración de salida de potencia solo por el terminal positivo como se indica en la ficha técnica.

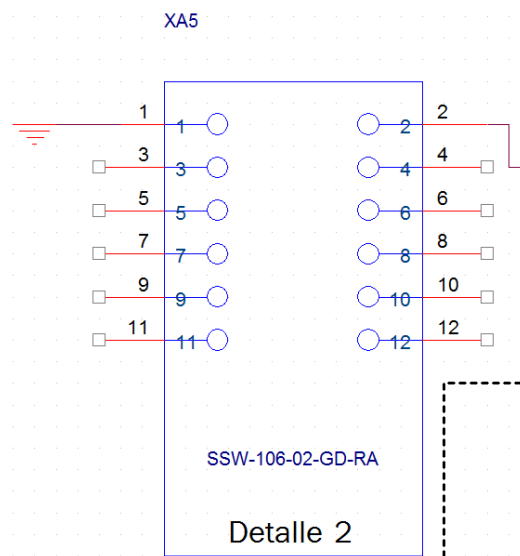
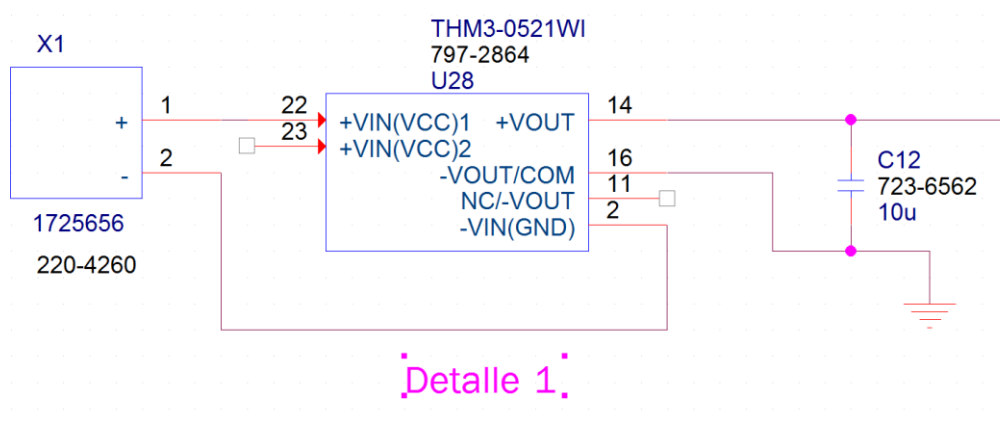
4.3.10. Terminal de potencia

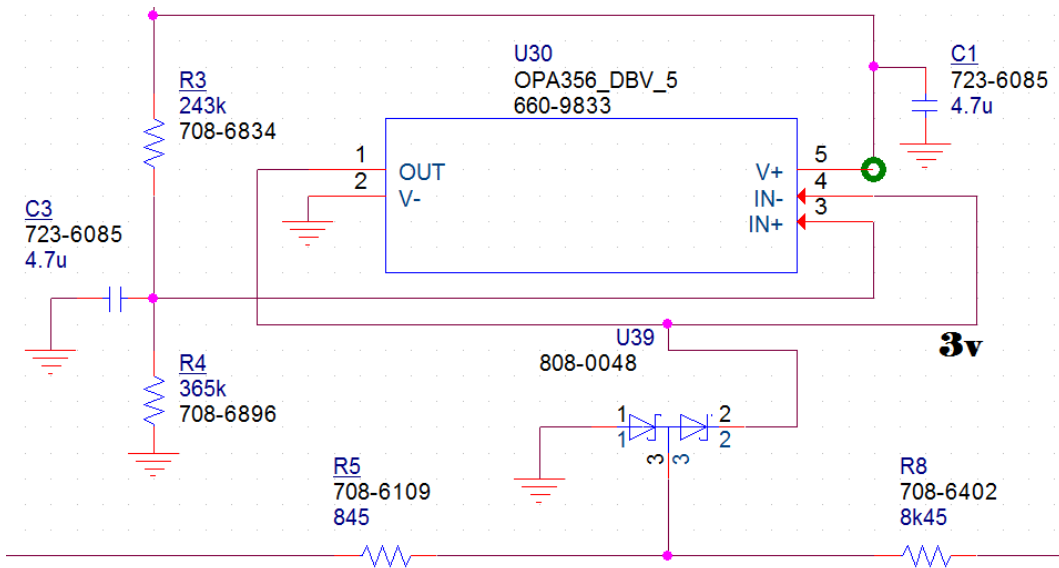
Como terminal de potencia elegimos el mismo que en la tarjeta DAC ya que tenemos la misma fuente (apartado 4.2.11). El terminal 1725656 de Phoenix Contact.

4.3.11. Esquemático del diseño ADC

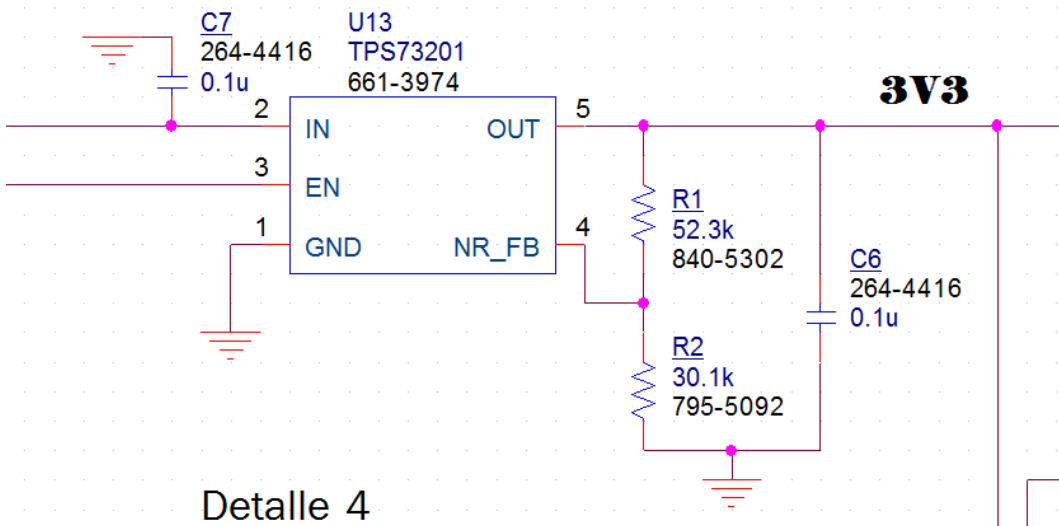


Proj	Tarjeta ADC
Rev	01
Author	Antonio San Miguel Nieto
DATE	2023/03/21

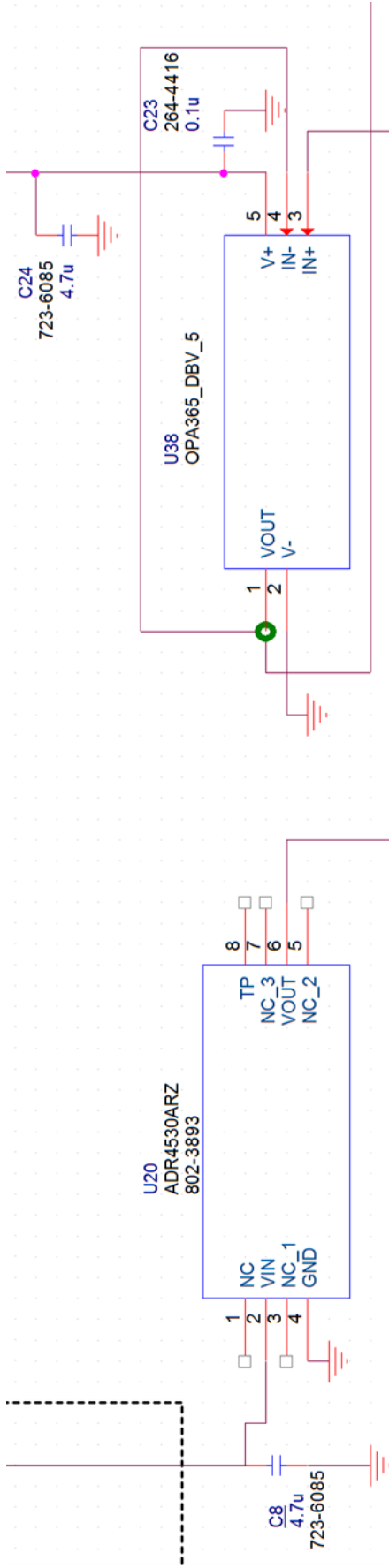




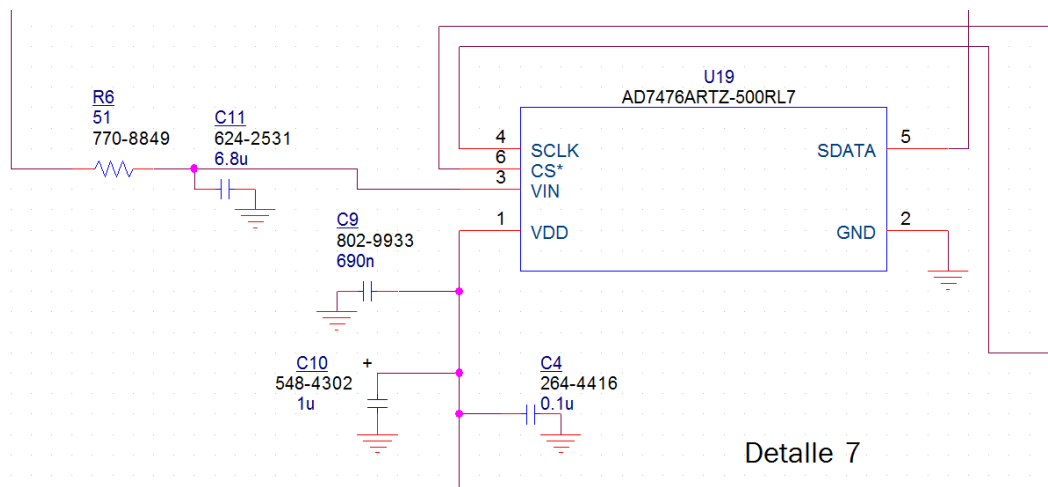
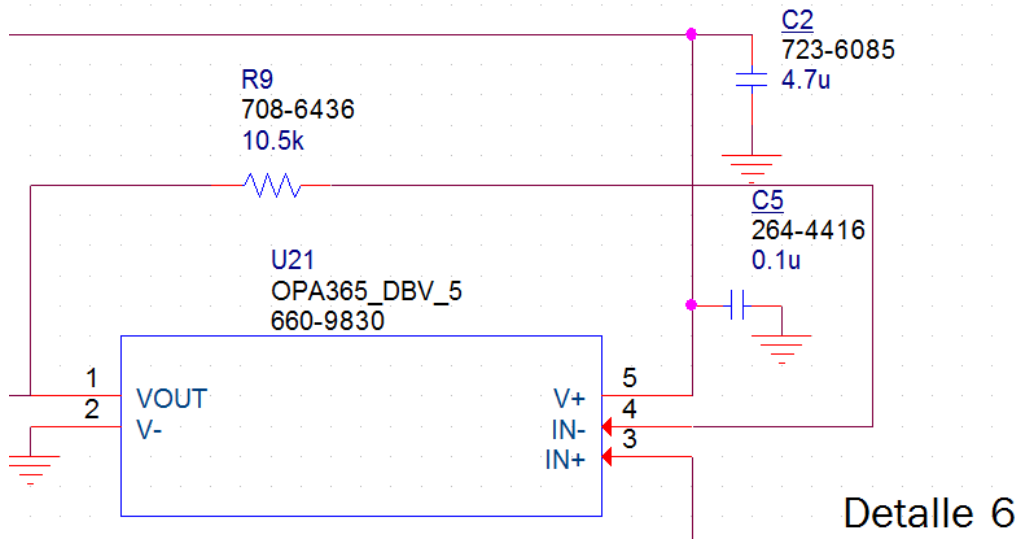
Detalle 3

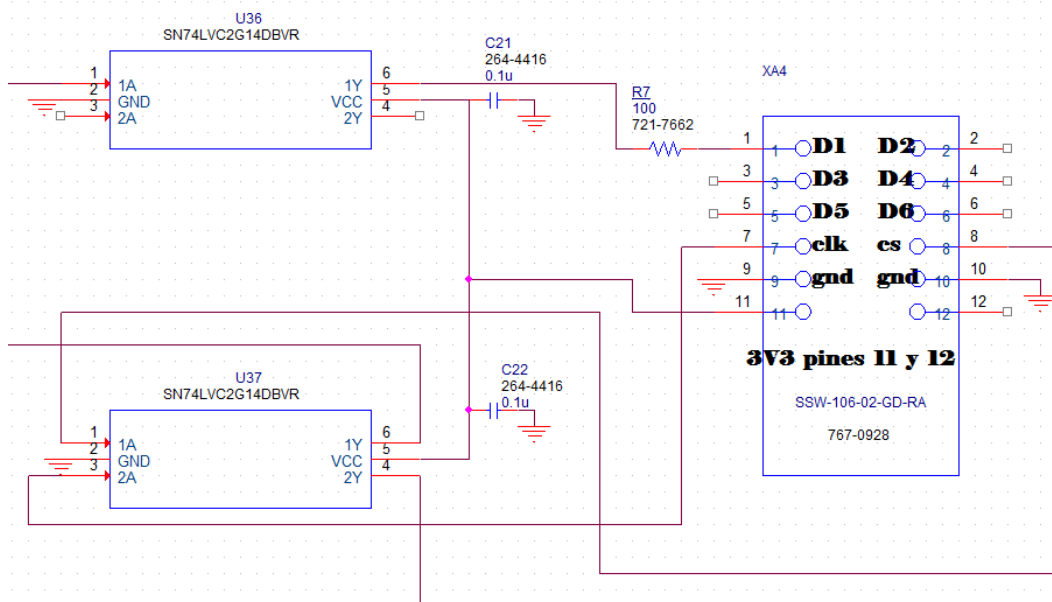


Detalle 4



Detalle 5





Detalle 8

4.4. Diseño y elección de componentes para la interfaz digital

La interfaz digital no necesita de un elemento convertidor para la entrada y salida de señales. Simplemente se diseñará una protección al igual que en la salida y entrada analógica, que evite la destrucción de componentes tanto del propio diseño como de aquellos que puedan ser conectados del exterior.

4.4.1. Protección de la salida digital

Para la salida digital se va a proteger cuando a la entrada aparezcan un máximo de ± 7 V dejando pasar un máximo de corriente de 12 mA. Las señales de salida de la FPGA van a estar preparadas para funcionar entre 3,3 V para poner un 1 y 0 V para un 0. Por ello se va a proteger si aparecen tensiones un 10% mayores de este valor, 3,6 V aproximadamente.

La configuración de protección será la misma que la que se ha diseñado en la salida analógica (4.2.7).

Para facilitar el diseño se usarán los 3,3 V de salida de alimentación que ofrece la FPGA para el suministro de tensión de protección y se usará el diodo SB05-05C-TB-E de On Semiconductor que para un paso de corriente de 12 mA tiene una caída de tensión de 0,3 V, que permitirán un máximo de 3,6 V.

Para proteger a la salida no circulen más de 12 mA se ha de poner una resistencia que limite esta corriente. El valor de esta resistencia viene determinado por la máxima tensión que puede aparecer, que en este caso son los 3,6 máximos permitidos más los 0,3 V de caída en el diodo entre la corriente máxima que se va a permitir:

(4.27)

$$R = \frac{\Delta V}{I} = \frac{3,6 + 0,3}{0,012} = 325 \Omega$$

Para este valor se escoge la resistencia ERJU06F3300V de Panasonic con un valor de 330 Ω y una tolerancia del 1%, que tendrá un valor mínimo posible de 326,7 Ω suficientes para realizar la función de protección.

Y su potencia disipada será de:

(4.28)

$$P = R \times I^2 = 330 \times 0,012^2 = 0,048 \text{ W}$$

La resistencia elegida soporta una potencia de 0,125 W que le permitirá que no sea destruida al realizar esta función.

Para la resistencia de la salida externa el peor caso es que se conecten -7 V y que tendríamos que colocar una resistencia de valor:

(4.29)

$$R = \frac{\Delta V}{I} = \frac{0 - (-7)}{0,012} = 583,3 \Omega$$

Para este valor se escoge la resistencia CRCW0805604RFKEA de Vishay con un valor de 604 Ω y una tolerancia del 1%, que tendrá un valor mínimo posible de 598 Ω suficientes para realizar la función de protección.

Y la potencia disipada por este componente será:

(4.28)

$$P = R \times I^2 = 604 \times 0,012^2 = 0,087 \text{ W}$$

La resistencia puede disipar una potencia de 0,125 W, así que sí podrá realizar esta función.

Finalmente así será la protección:

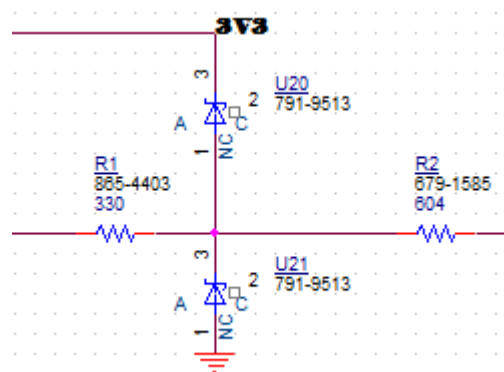


Ilustración 4-21 Protección salida digital

4.4.2. Protección de la entrada digital

Para la protección analógica hemos de tener en cuenta lo primero que estas tienen que estar siempre conectadas a un valor estable para evitar posibles interferencias, pero no hará falta insertar en este diseño pues puede ser realizado internamente por la FPGA.

Además, se ha de tener en cuenta que la entrada de la FPGA permite una variación de tensión de $\pm 0,5$ V de su rango de tensiones sin dañarse. Por ello en el punto de protección se va a permitir un máximo de $\pm 0,5$ V de las tensiones normales con las que está preparada la entrada de la FPGA.

Con este valor se puede elegir la caída máxima que se va a permitir a los diodos y por ello se elige el componente SBAT54SLT1G de On Semiconductor, que tendrá una caída de 0,5 V cuando pasen 0,12 mA en el peor de los casos.

Las resistencias limitadoras de corriente tendrán un valor de:

Para la resistencia más cercana a la FPGA como máximo en el punto de protección podrán aparecer 3,3 V de la tensión de protección más 0,5 V de la caída del diodo y como límite 12 mA

(4.27)

$$R = \frac{\Delta V}{I} = \frac{3,3 + 0,5 - 0}{0,012} = 316,7 \Omega$$

Se elige por simplicidad en el diseño la misma resistencia que en el caso anterior (4.4.1) de 330Ω y una tolerancia del 1%, ERJP06F3300V de Panasonic que cumplirá con todos los requerimientos.

Para la resistencia más cercana a la salida se elige la misma ya que pretendemos proteger ante la misma tensión conectada a la salida y en el caso de que el diodo pueda quedar en cortocircuito. Esta es la resistencia CRCW0805604RFKEA de Vishay.

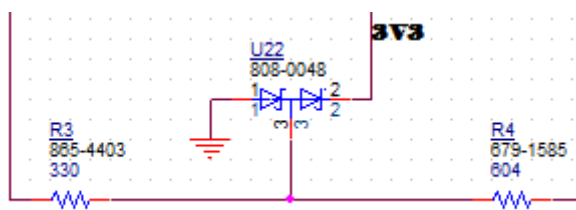


Ilustración 4-22 Protección entrada digital

4.4.3. Terminales de conexiones

Para la conexión de la FPGA se ha utilizado, como en el resto de casos similares, el conector TSW-106-07-L-D de Samtec. Recordar que es un conector macho recto vertical. Y se ha conectado según la siguiente configuración.

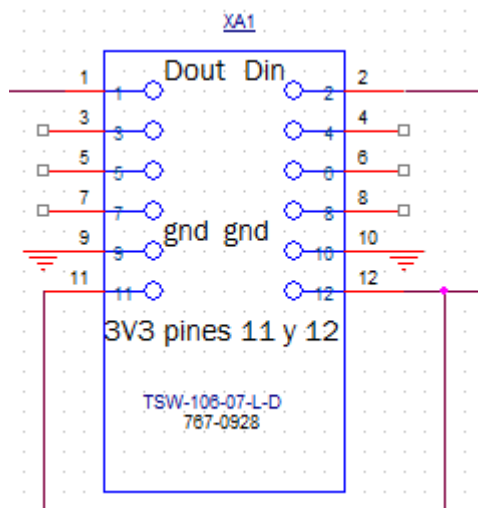


Ilustración 4-23 Conexión a la FPGA

Para la salida se ha usado un terminal SSW-106-02-G-D-RA de Samtec, hembra a 90° distribuido en la siguiente configuración:

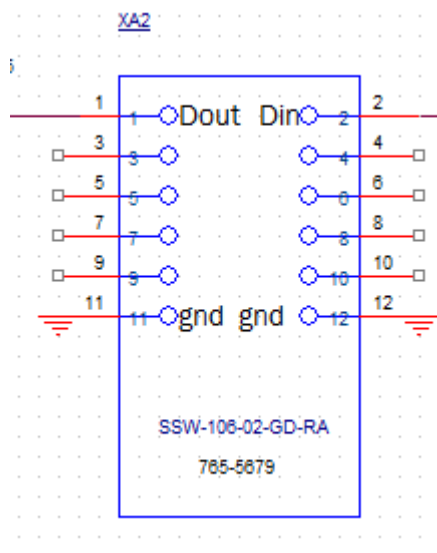
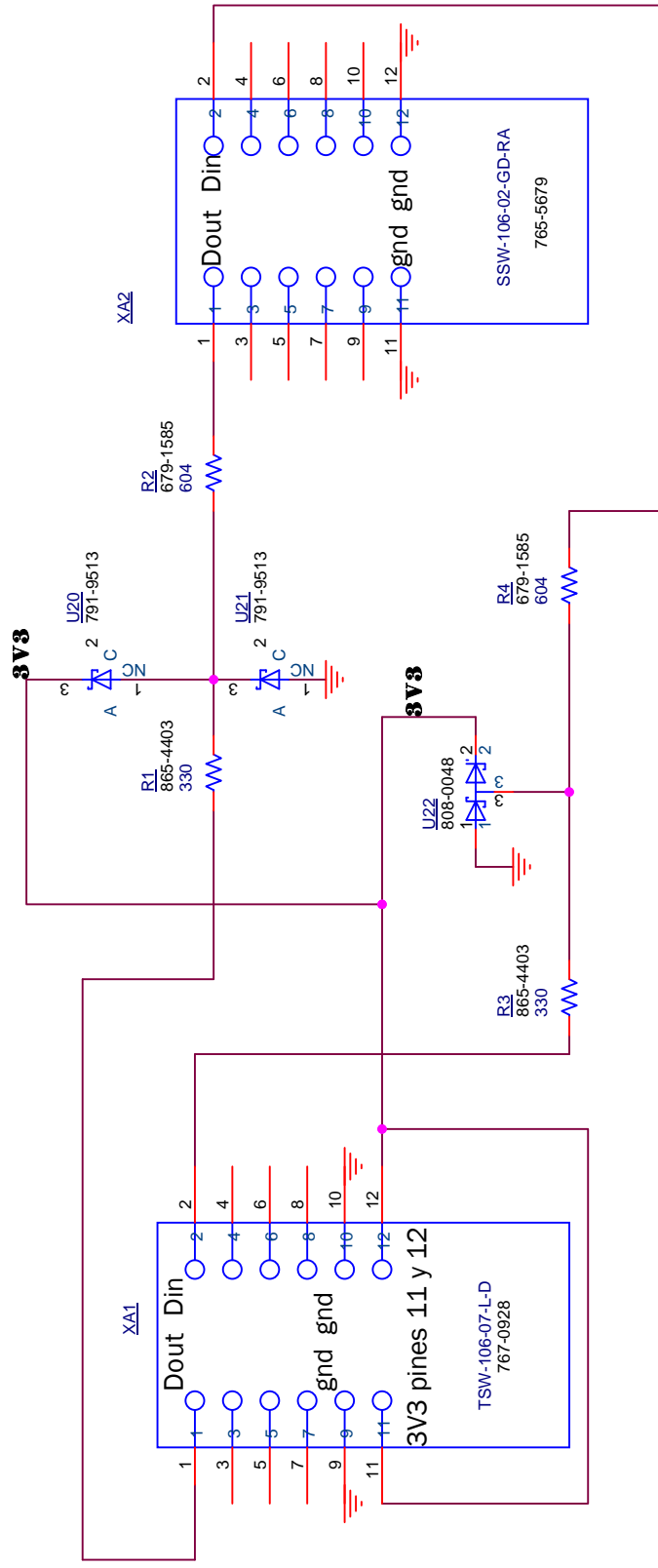


Ilustración 4-24 Conexión hacia el exterior

4.4.4. Esquemático del diseño de la interfaz digital



Title	
Interfaz Digital	
Size	Document Number
A4	Antonio San Miguel Nieto
Date:	Thursday, July 14, 2016
Sheet	1 of 1
Rev	1

4.5. Diseño de la tarjeta PCB

El diseño de la tarjeta se va a hacer en la herramienta de diseño de la marca Cadence. Primero hemos de realizar el esquema básico en Orcad Capture para luego pasar este diseño al programa Allegro PCB Editor, de diseño de PCBs. En un primer diseño necesitamos las librerías, y los archivos de los distintos encapsulados. Las librerías las descargamos de cada página web del fabricante al igual que los documentos de encapsulados.

Los documentos de los encapsulados tienen que ser convertidos a una extensión propia de nuestra herramienta de diseño. Para realizar esta conversión se usa la aplicación Ultralibrarian.

Primeros problemas después de convertir el footprint de cada programa no consigo asignarla al componente que he usado en el Orcad capture. Para hacerlo hay que elegir el nombre exacto dentro de la carpeta D:\Archivos de programa\Cadence\SPB_16.6\share\pcb\pcb_lib\symbols teniendo extensión .dra que es con la que trabaja Allegro pcb planner.

Para realizar el esquemático se usan los documentos que facilita el fabricante de cada componente, descargándolo de su página correspondiente. Se elige el modelo en pspice que nos da la librería spice para poder simularlo en el programa OrCad un archivo .dns u .obl que es un dibujo esquemático de cada componente.

Pero al realizar una primera prueba de paso del esquemático en OrCad al diseño de la pcb en Allegro pcb planner surge un problema con la distribución y numerado de los pines de cada componente.

Primero he de diseñar el esquema eléctrico antes de empezar con el diseño propio de la pcb. En las webs del fabricante aportan los archivos .bxl que me permiten junto al software Ultralibrarian transformarlos en archivos .dns para el esquemático y en archivos .dra para el diseño de la pcb. Pero no todos los fabricantes aportan en un archivo bxl los datos de su componente, por ello me ayudo de la página web www.snapeda.com la cual almacena los footprint del mercado que más se usan y una gran cantidad de esquemáticos con su encapsulado asociado.

Para pasar del diseño esquemático al diseño de PCB hay que realizar antes una comprobación eléctrica en el esquemático. Esta la realiza el mismo programa y te avisa si hay alguna conexión que este sin conectar o algún tipo del conflicto eléctrico.

Cuando el programa da el visto bueno a continuación hay que realizar una *netlist*, esta función del programa comprueba que todos los componentes

tienen una footprint asociada y que los terminales del esquemático están asociados a los terminales del encapsulado, es decir, que tengan el mismo número de pines y que estos se llamen igual. También esta función prepara una lista de nombres de las conexiones físicas que después se habrán de conectar durante el desarrollo de la placa.

Este proceso que a primera vista parece sencillo me llevó mucho tiempo de trabajo el aprender a como se han de asociar las footprint a cada componente y que la herramienta de trabajo tomase el valor correctamente.

4.5.1. Diseño de la zona DAC

Para el diseño de esta zona se requiere cumplir unos objetivos en orden a que minimizar el ruido eléctrico que se puede producir entre las zonas digital y analógica las cuáles producen interferencias en la señal analógica que pueden modificar los valores de ésta. Para cumplir este objetivo se ha diseñado el plano de tierra de tal manera que se puede decir están “separadas”, aunque en realidad están físicamente unidas por un punto para que estén al mismo potencial, pero que impide que haya corrientes en circulación con lo cual evitamos interferencias.

Para realizar este diseño opto por realizar la PCB con 4 capas, capa superior para colocar la mayoría de los componentes, plano de tierra, plano de tensión y capa inferior en la que irán las rutas que no puedan ir en la capa superior porque tengan que cortar físicamente a otras.

Para empezar el diseño se empieza a colocar los componentes más críticos y las conexiones más importantes, las que su diseño minimiza el ruido que se puede transferir entre los componentes. Estos son el componente DAC8801 y el encapsulado que contiene los dos operacionales OPA727, para que haya la mínima resistencia entre los terminales unidos a tierra de estos componentes diseño un plano que abarque la mayor área posible.

Este plano también estará unido también a la tierra analógica que sale por el conector.

A continuación, se insertan componentes alrededor de este núcleo con el mayor orden posible y ocupando un espacio razonable a la par de no colocar sus tierras encima del plano de tierras analógicas.

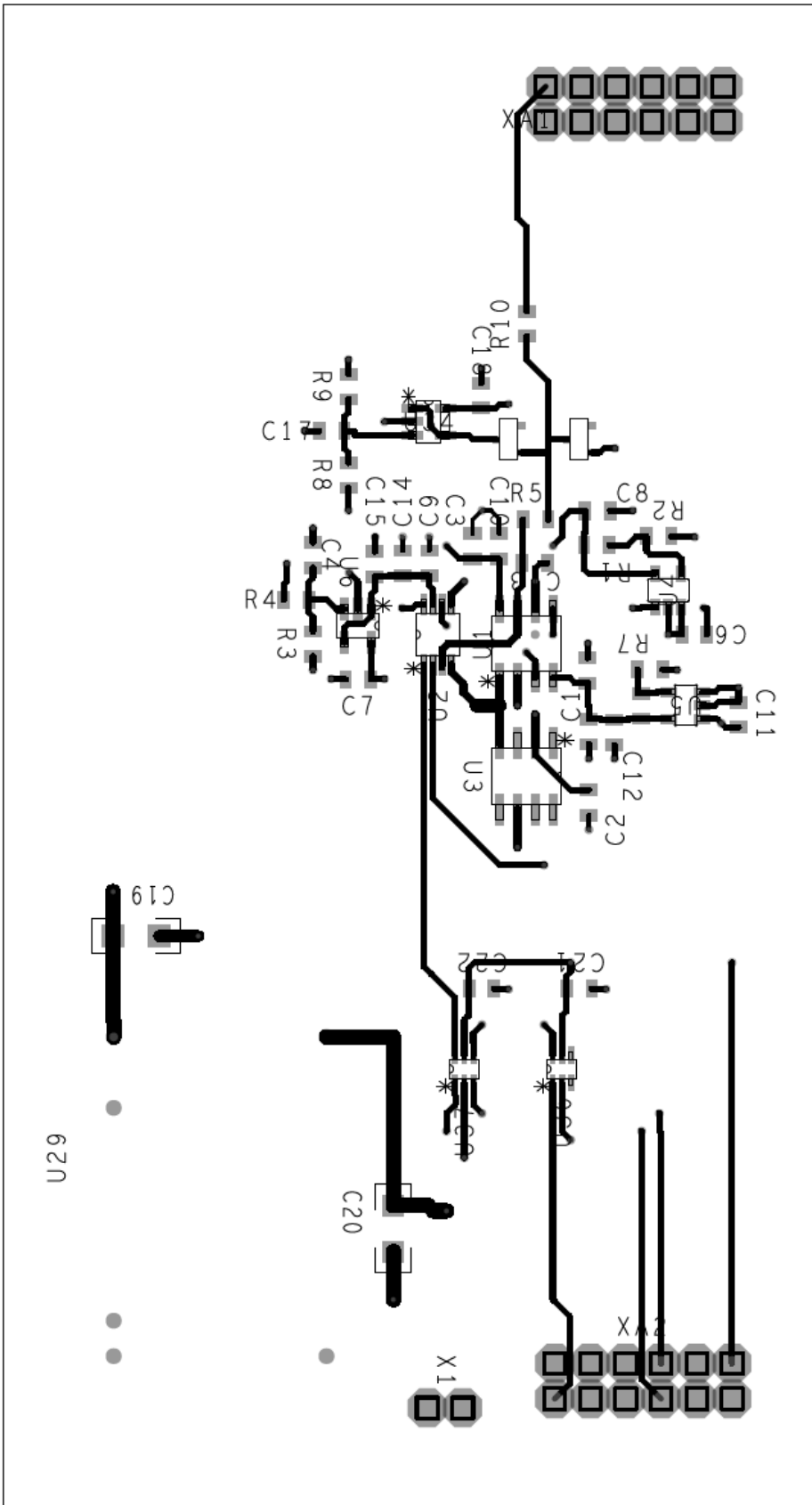


Ilustración 4-25 DAC capa superior

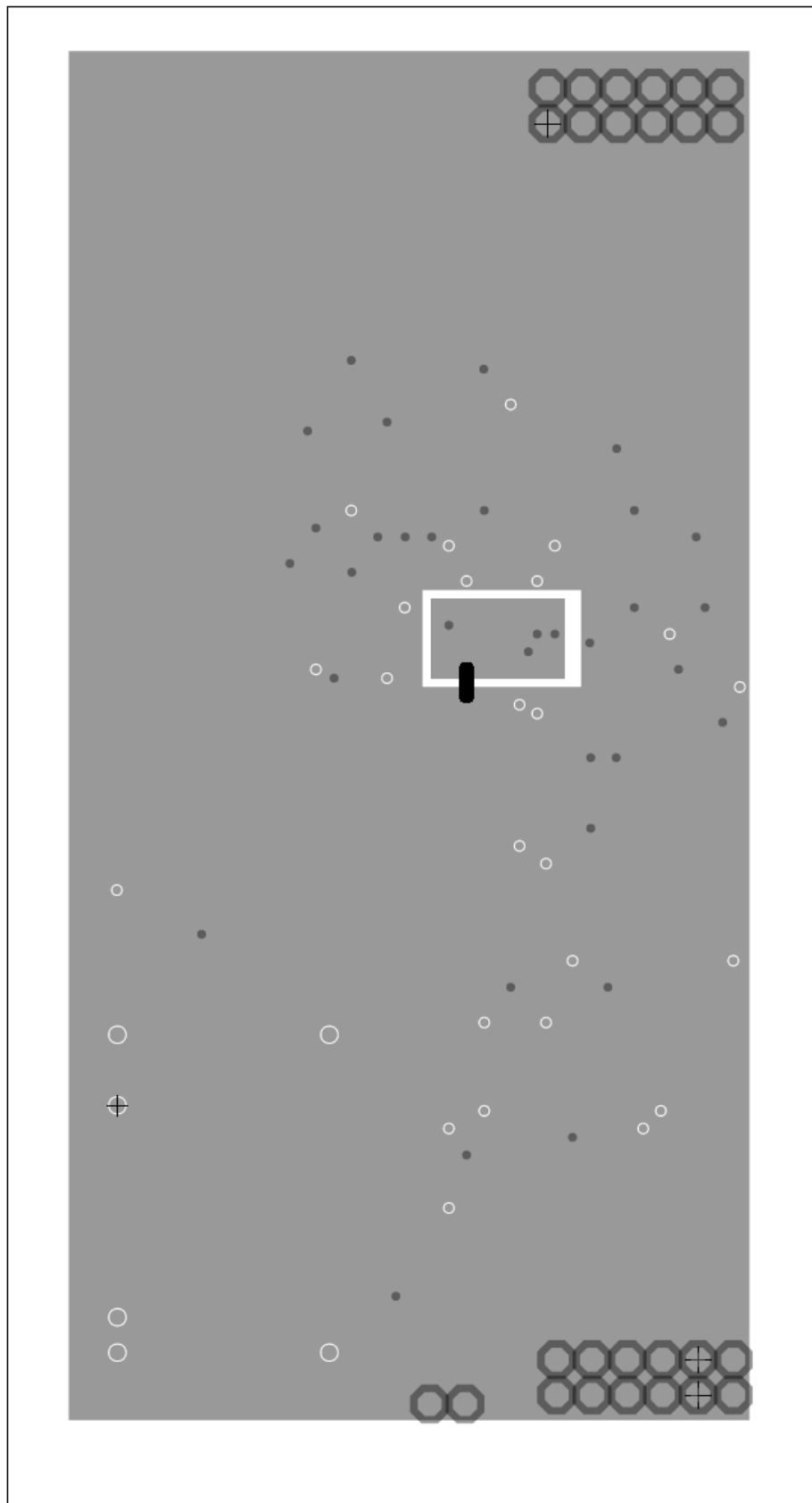


Ilustración 4-26 DAC Capa de tierra

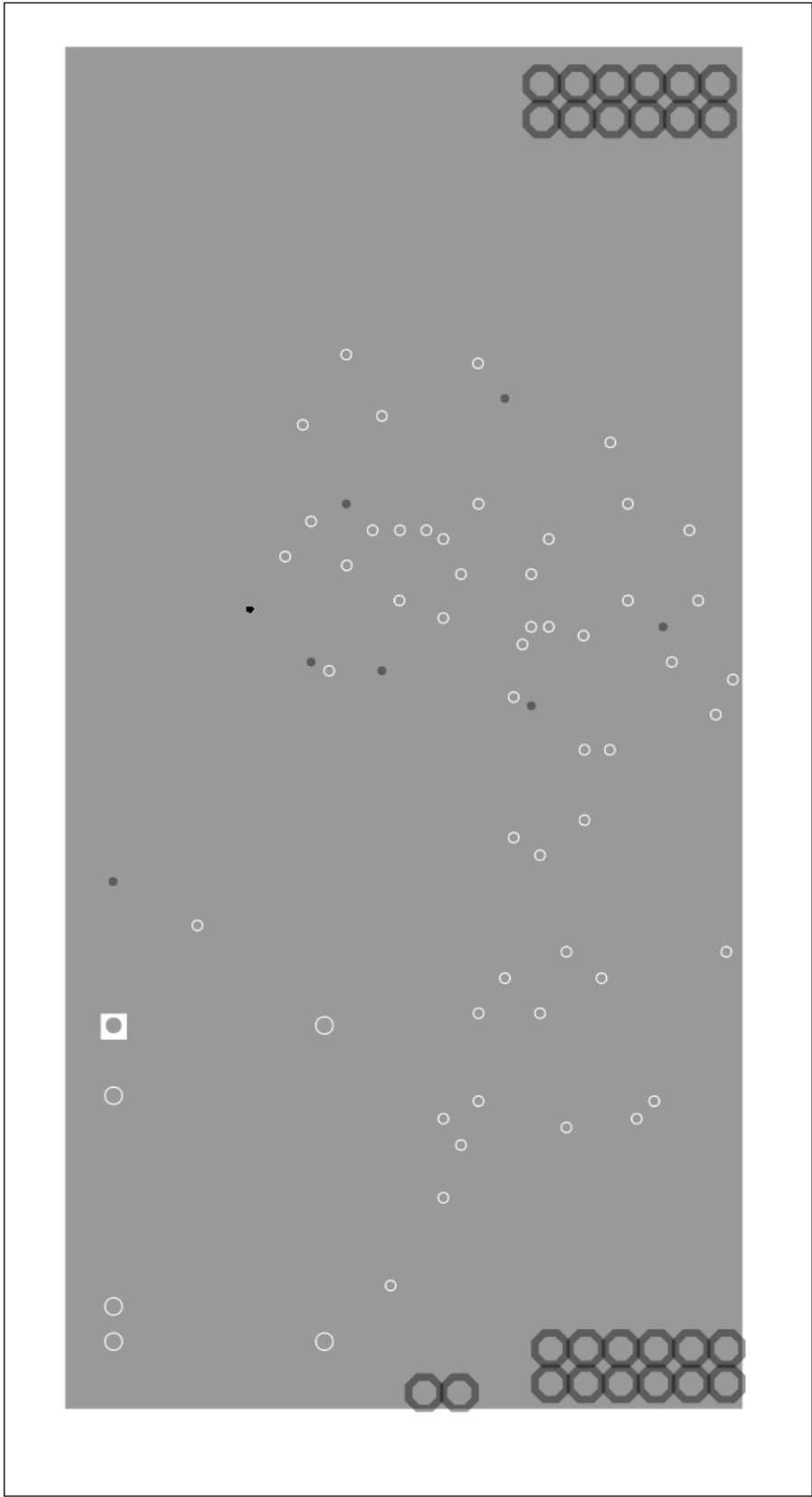


Ilustración 4-27 DAC capa de tensión

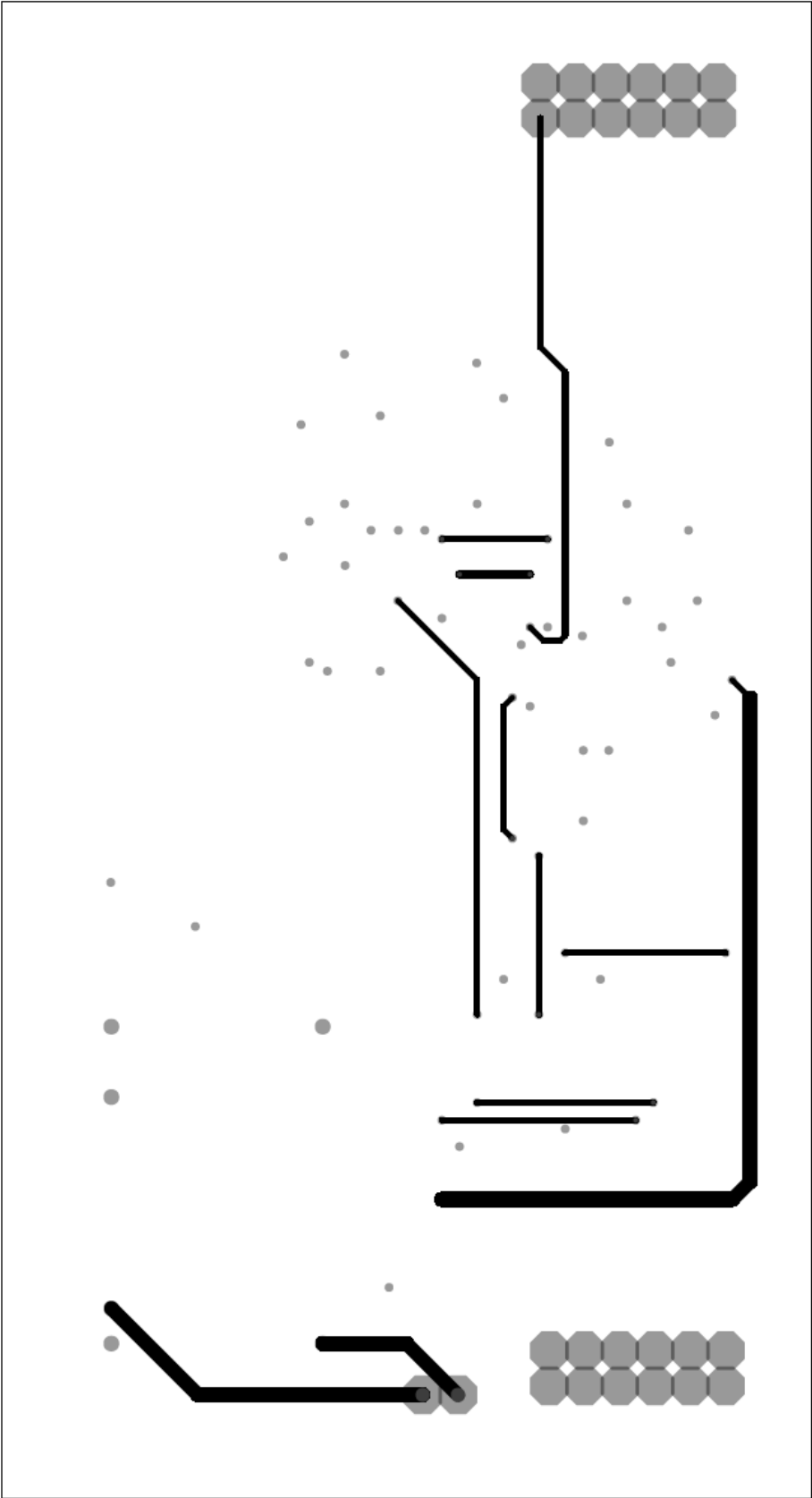


Ilustración 4-28 DAC capa inferior

4.5.2. Diseño de la zona ADC

Esta tarjeta tiene las mismas especificaciones que la tarjeta DAC.

En esta tarjeta el objetivo va a ser separar las interferencias que generan los elementos digitales debido a su conmutación. Por ello se va a separar en dos zonas los componentes digitales de los componentes analógicos. El convertidor ADC se conectará a la tierra analógica pese a que su parte digital, también estará conectada a esta misma.

Este diseño de prototipado permitirá posteriormente construir la tarjeta para ser ensayada, no es necesario que el diseño ocupe un mínimo de espacio así que se dejará espacio entre los componentes.

En esta tarjeta se va a dividir también el plano de tensión para suministrar los distintos voltajes de alimentación por la placa. Se han separado la tensión 3,3 V que alimenta a la parte analógica y los 3,3 V que vienen de la FPGA que alimentan la parte digital.

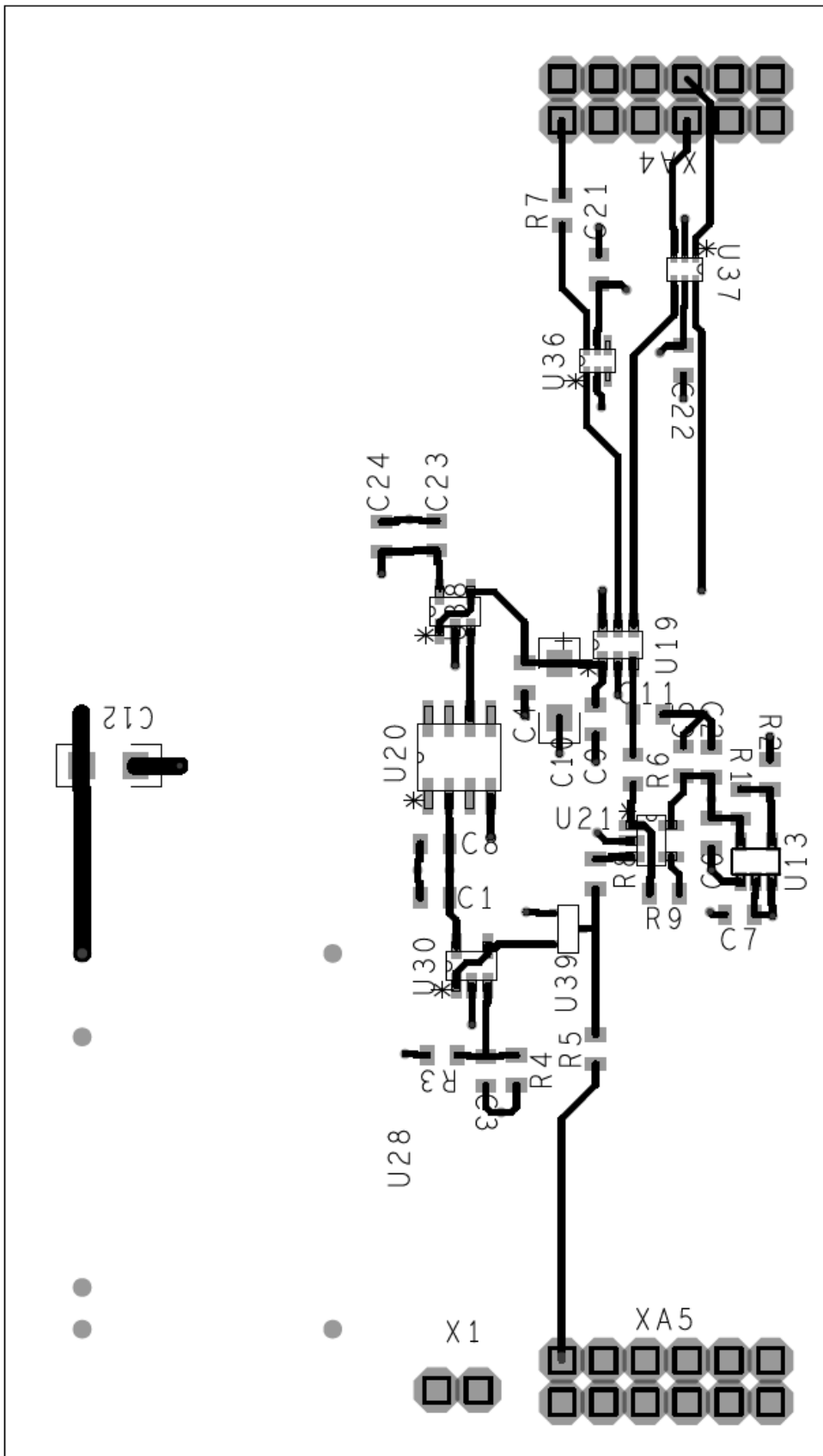


Ilustración 4-29 ADC capa superior

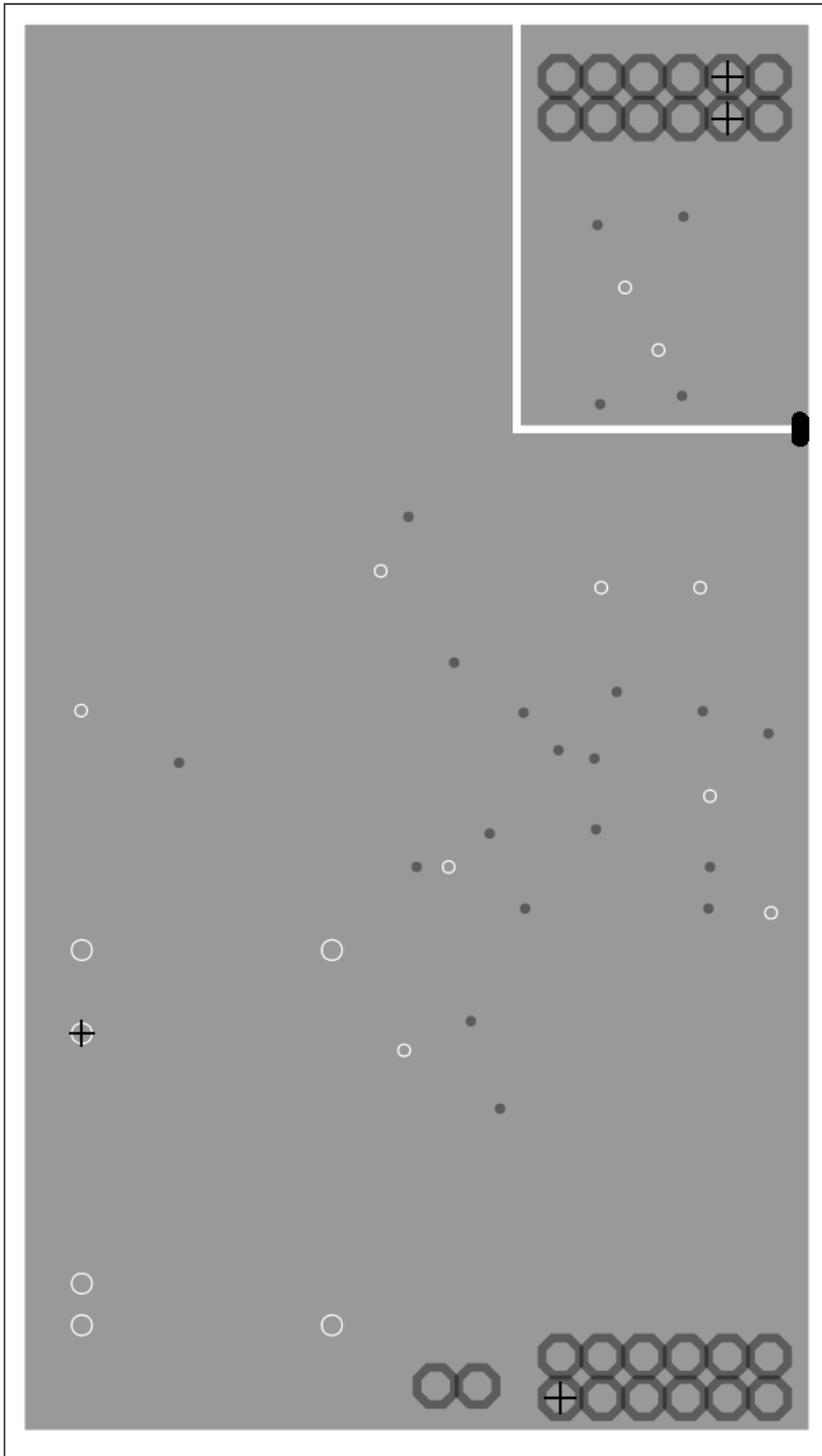


Ilustración 4-30 ADC capa de tierra

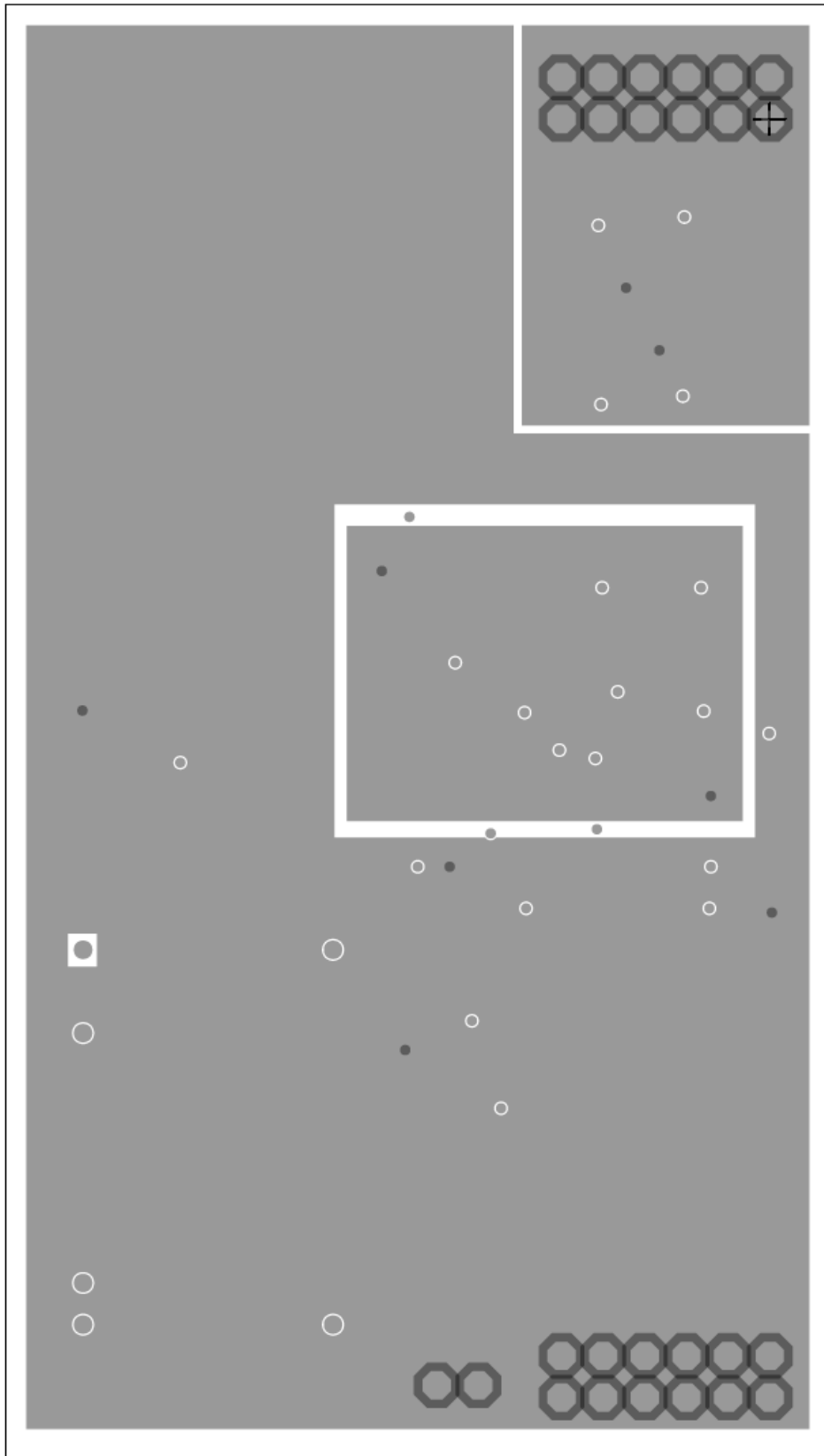


Ilustración 4-31 ACD capa de tensión

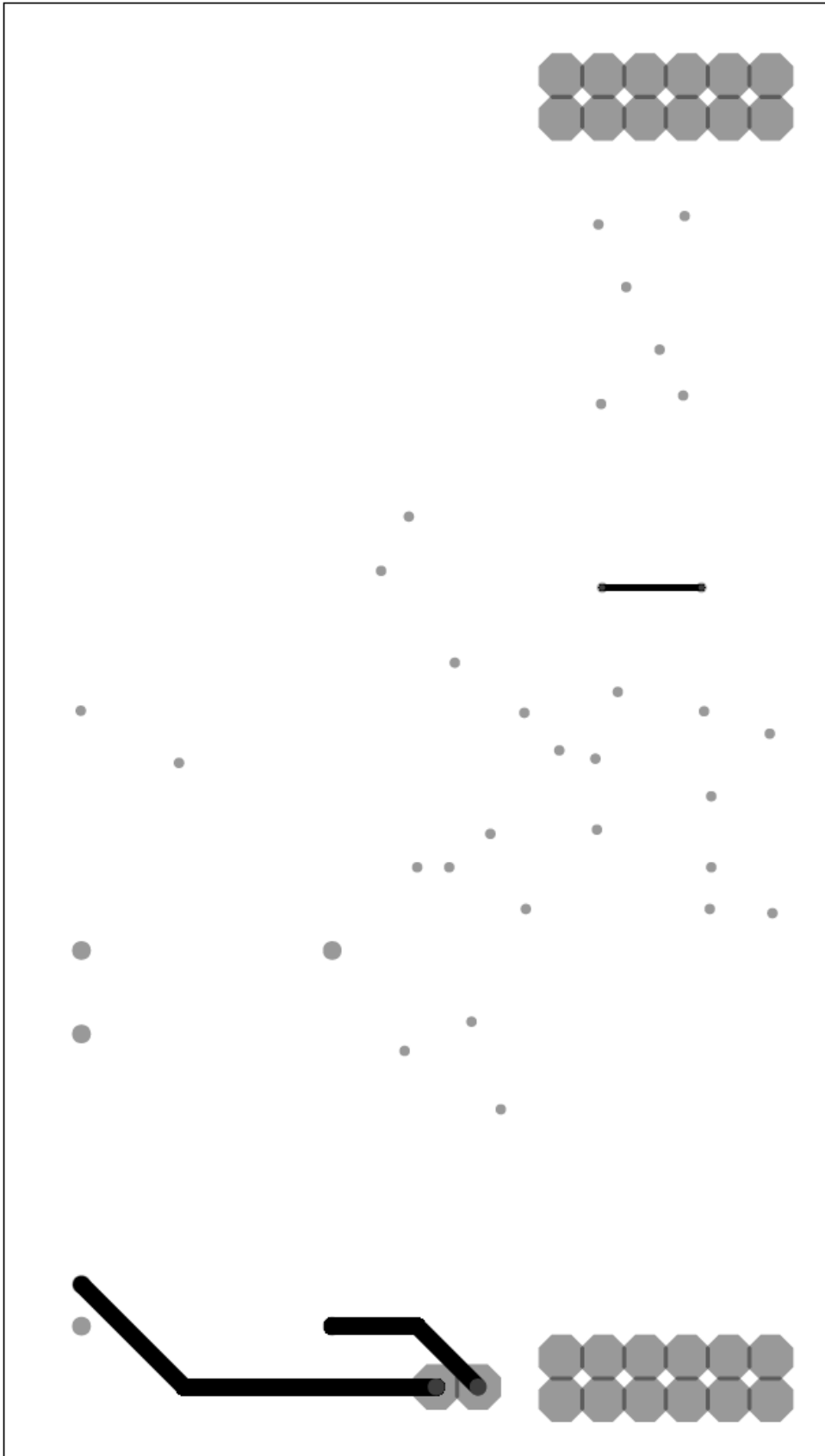


Ilustración 4-32 ADC capa inferior

4.5.3. Diseño de la interfaz digital

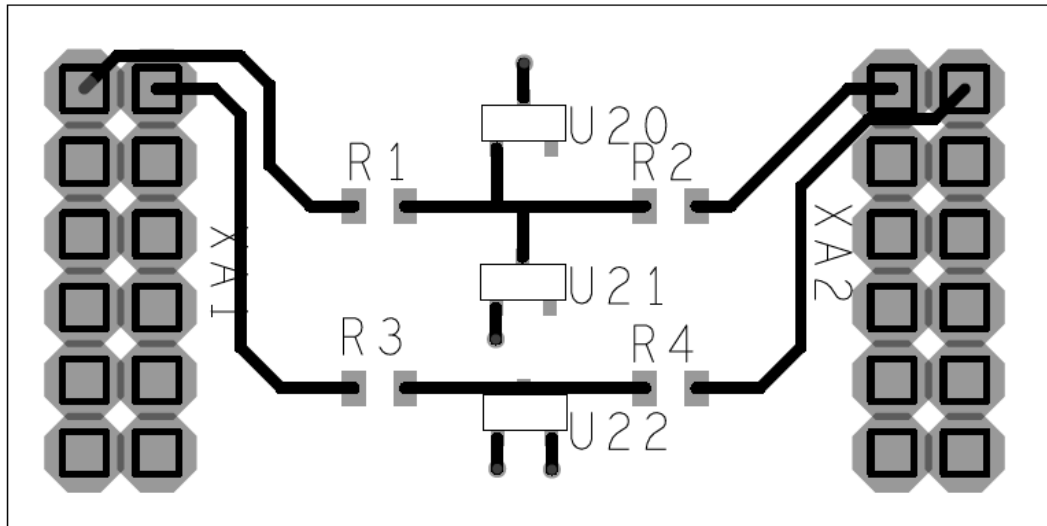


Ilustración 4-33 Digital capa superior

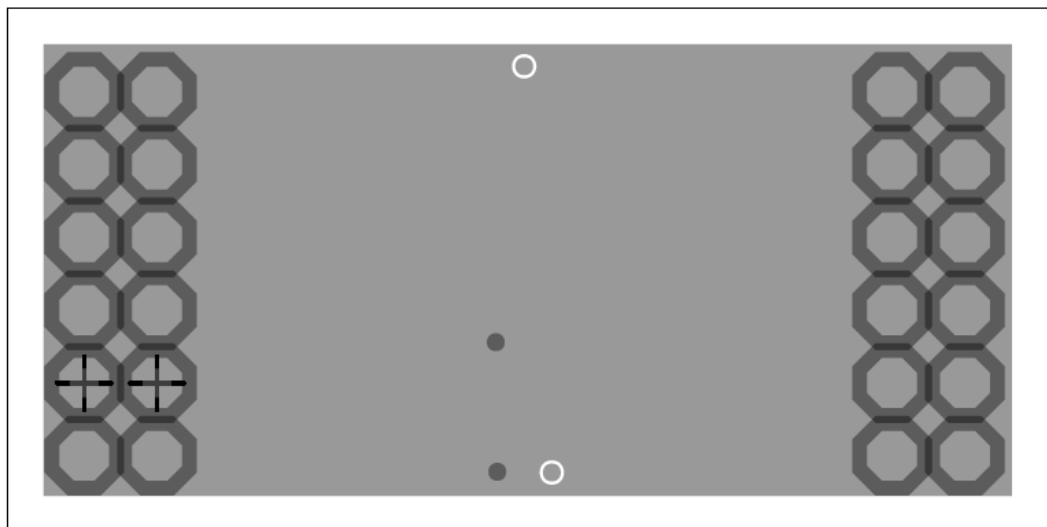


Ilustración 4-34 Digital Capa de tierra

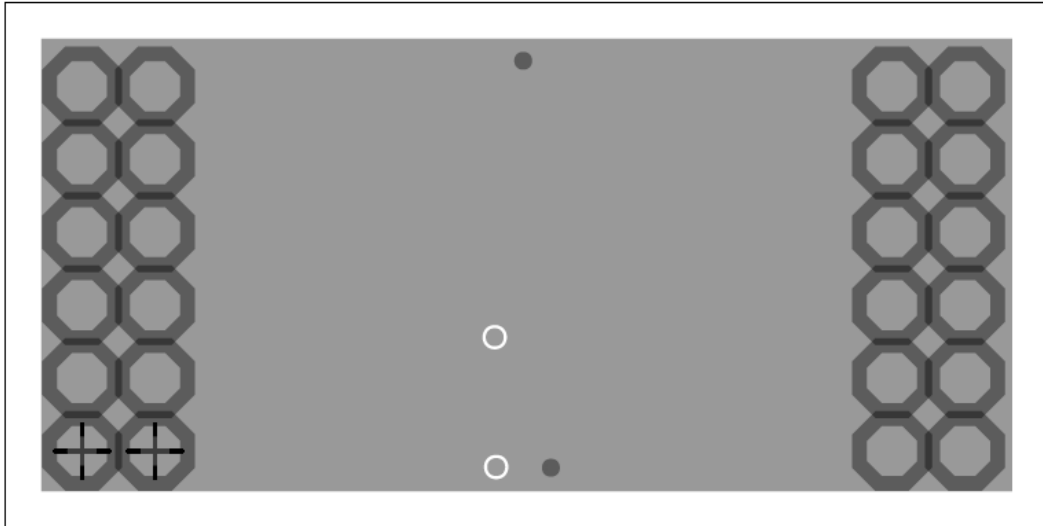


Ilustración 4-35 Digital Capa de tensión

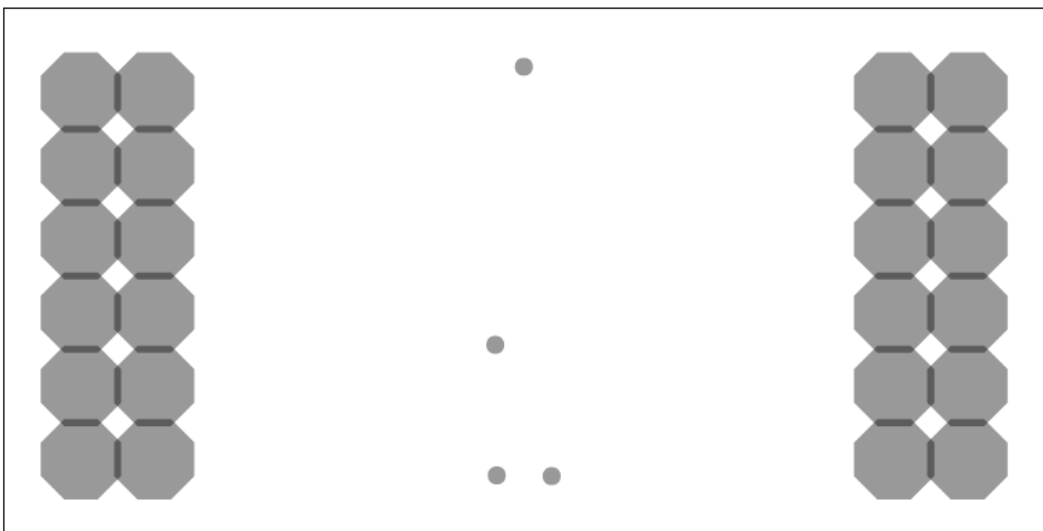


Ilustración 4-36 Digital Capa inferior

5. CONCLUSIONES Y LÍNEAS FUTURAS DE TRABAJO

5.1. Conclusiones

Se han diseñado tres tarjetas: Una tarjeta de conversión DAC que permitirá transformar señales de digitales a analógicas, otra tarjeta ADC que convertirá señales analógicas en digitales y otra de entradas y salidas digitales, estas están preparadas para la comunicación entre un elemento de procesamiento y control, en nuestro caso una FPGA, con elementos externos tanto analógicos como digitales.

Durante la conversión se perderá una mínima cantidad de datos e interfiriendo lo mínimo posible en la medida, lo que hará que la señal transmitida sea lo más precisa posible y se haga un procesamiento de los datos más fiable posteriormente en la FPGA.

El tiempo de conversión de la señal durante todo el paso por la tarjeta es menor en el peor de los casos, de pasar del menor valor al mayor o viceversa, de $1\mu\text{s}$ que es el periodo de muestreo del elemento de control.

Las entradas y las salidas están protegidas frente a tensiones y corrientes externas que puedan destruir algún componente en la tarjeta, así como de si se produce algún fallo en el interior de la tarjeta este no afectará a ningún componente que esté conectado en el exterior.

El diseño de la PCB es un prototipo que permitirá su fabricación y posterior ensayo. En este se ha colocado los componentes para que interfieran lo mínimo con perturbaciones entre ellos. También se han diseñado planos de tierra separados que hacen que las interferencias que puedan entrar por las tierras sean mínimas ya que al estar conectadas por un punto estarán al mismo potencial que la tierra principal, pero las corrientes que puedan circular entre estos dos planos son mínimas.

5.2. Líneas futuras de trabajo

Tras el diseño de las dos tarjetas, de la elección de los componentes y de la distribución dentro de una PCB, queda simular las dos tarjetas y comprobar que el primer diseño del prototipo es correcto.

La simulación puede ser usando esta misma herramienta (simulación pspice) o con otro tipo de herramientas de simulación con modelos matemáticos como puede ser Matlab. Esta simulación permitiría ver la calidad del diseño, así como posibles fallos durante el mismo.

Tras una primera simulación se podría fabricar las tarjetas usando los *artworks* generados en este proyecto y que permitirían ensayar el funcionamiento del canal, y solucionar los posibles errores y perturbaciones que puedan generar los efectos de segundo orden, optimizando así el funcionamiento de la tarjeta.

Tras una primera simulación, se podrían añadir más canales a cada tarjeta y ver el posible efecto de ruido entre todos los componentes. Cuando se haya comprobado que ya funciona correctamente la tarjeta, es el momento de optimizar los componentes de la tarjeta, ajustar los valores de resistencias y condensadores para mejorar la respuesta y evitar todas las posibles perturbaciones.

Aparte de sustituir componentes también se podrá resituarlos y probar distintas opciones de diseño, así como reducir la superficie de placa que ocupan. También para reducir esta superficie se podrá usar la capa inferior para colocar componentes.

Al final de todo este proceso, finalmente será factible la fabricación de un componente industrial que capaz de simular en el entorno Hardware in the loop, que permitirá a las empresas beneficiarse de esta tecnología novedosa y a un precio más asequible que el resto de fabricantes.

6. Bibliografía

Se distribuir la bibliografía por los apartados en los que ha sido separado este trabajo. Dentro de cada apartado está separado por orden alfabético. Las referencias a páginas web sin fecha están revisadas en julio de 2016.

Estado de la técnica

DAC8801EVE

[DAC8801/11EVM User's Guide \(Rev. A\)](#)

(25/06/2016)

PmodAD1

https://reference.digilentinc.com/_media/pmod:pmod:pmodAD1_rm.pdf

(25/06/2016)

Teoría

Circuitos electrónicos. Discretos e Integrados. Donald L.Schilling – Charles Belove. McGraw Hill Tercera Edición

Control Digital y No Lineal Introducción. Conceptos Fundamentales Profesor Responsable: Dr. Ing. Fernando Botterón Facultad de Ingeniería Universidad Nacional.

<http://slideplayer.es/slide/8854100/> 03/04/2016

<http://www.revistacec.com/didactica/3101-convertidor-digital-analogico-dac-3101.html>

Convertidor Digital Analógico (DAC) 13/05/2016

Principios de electrónica. Malvino. McGraw Hill Cuarta Edición

Simulación Mediante “Hardware In the Loop” de un Convertidor Buck
(01/06/2016)

<http://upcommons.upc.edu/bitstream/handle/2117/25122/P-IA-2.pdf>

Timing Errors and Jitter. 1998

<http://www.jitter.de/pdfextern/dcsjitter.pdf> 26/05/2016

Desarrollo

Fabricantes

<http://www.analog.com>

Fabricante Analog Devices

<http://www.kemet.com/>

Fabricante Kemet

<http://www.murata.com/products/capacitor>

Fabricante Murata

<http://www.onsemi.com/>

Fabricante On Semiconductor

<https://eu.industrial.panasonic.com/products/resistors-inductors>

Fabricante Panasonic

<https://www.phoenixcontact.com>

Fabricante Phoenix Contact

<http://www.ti.com/>

Fabricante Texas instrument

<http://www.tracopower.com/home/>

Fabricante TracoPower

<http://www.vishay.com/>

Fabricante Vishay

<http://es.rs-online.com/web/>

Susministro de componentes // Manuales

Manuales

ADR4530ARZ Ultra-Low-Noise, High-Accuracy 3.0V Voltage Reference

http://www.analog.com/media/en/technical-documentation/data-sheets/ADR4520_4525_4530_4533_4540_4550.pdf

DAC8801: 14-Bit, Serial Input Multiplying Digital-to-Analog Converter (Rev. B)

<http://www.ti.com/lit/gpn/dac8801>

OPA2727: e-trim™ 20MHz, High Precision CMOS Operational Amplifier (Rev. H)

<http://www.ti.com/lit/gpn/opa2727>

OPA365: 50MHz, Low-Distortion, High CMRR, RRI/O, Single-Supply Operational Amplifier (Rev. D)

<http://www.ti.com/lit/gpn/opa365>

OPA356, 2356: 200MHz, Video CMOS Operational Amplifier (Rev. A)

<http://www.ti.com/lit/gpn/opa356>

Schmitt-Trigger Inverter Dual (Rev. D)

<http://www.ti.com/lit/gpn/sn74lvc2g14-q1>

Schottky Barrier Diode, 50V, 0.5A, Low IR, Single CP Rev. 1

<http://www.onsemi.com/pub/Collateral/SB05-05C-D.PDF>

Schottky Barrier Diodes Dual Series Rev.16 SBAT54SLT1G

<http://www.onsemi.com/pub/Collateral/BAT54SLT1-D.PDF>

THM 3-0521wi

<http://assets.tracopower.com/20160705143510/THM3WI/documents/thm3wi-datasheet.pdf>

TPS732xx Capacitor-Free, NMOS, 250-mA Low-Dropout Regulator with Reverse Current Protection (Rev. P)

<http://www.ti.com/lit/gpn/tps732>

TPS723xx 200mA Low-Noise, High-PSRR Negative Output Low-Dropout Linear Regulators (Rev. C)

<http://www.ti.com/lit/gpn/tps723>

Desarrollo PCB

<http://www.convertronic.net/Diseno/2013-10-31-09-58-46.html>

Página con información sobre diseño pcb 04/04/2016

<http://www.futureworkss.com/index2.html>

Tutoriales sobre OrCad y diseño de pcb 20/10/2015

<https://www.snapeda.com/>

Footprints de los componentes 19/03/2016