



**Universidad de Valladolid**



**ESCUELA DE INGENIERÍAS  
INDUSTRIALES**

**UNIVERSIDAD DE VALLADOLID**

**ESCUELA DE INGENIERIAS INDUSTRIALES**

**Grado en Ingeniería Electrónica Industrial y Automática**

**Diseño sobre PCB de un interfaz analógico y  
digital para sistemas HIL y RCP**

**Autor:**

**Carrera González, Unai**

**Tutor:**

**Pablo Gómez, Santiago de  
Departamento de Tecnología  
Electrónica**

**Valladolid, julio de 2018.**



## **AGRADECIMIENTOS**

A mis padres, hermano y novia, por su constante apoyo durante esta carrera de fondo. Sin vosotros no hubiera sido posible.

A todos los compañeros que al final se han quedado conmigo y a cada profesor que me ha ayudado a entender y desarrollar los conocimientos necesarios para acabar la carrera y emprender la vida laboral.



## RESUMEN

En este trabajo se ha diseñado una tarjeta que permite manejar datos analógicos y digitales, la cual sirve como interfaz para un simulador numérico con capacidad de ejecución en tiempo real con el que se puede simular el comportamiento de una planta eléctrica de potencia o el comportamiento de los controladores típicos de esas plantas.

Por ello, debe haber canales que transformen las señales analógicas de entrada en digitales, canales que transformen las señales digitales de salida en analógicas y canales únicamente digitales.

Para el diseño de la tarjeta se ha realizado un estudio de las diferentes formas de realizar las conversiones, tanto analógica-digital, como digital-analógica, y de los distintos componentes a utilizar para elaborar la tarjeta.

Además, se ha estudiado la disposición de los diferentes componentes para cumplir con los requisitos de espacio y número de canales requeridos.

Por último, se han elaborado los distintos ficheros necesarios para la fabricación de la tarjeta.

### **PALABRAS CLAVE:**

Tarjeta de circuito impreso (PCB), simulación Hardware in the Loop (HIL), desarrollo rápido de prototipos de controladores (RCP), conversión digital-analógica (DAC), conversión analógica-digital (ADC).

## ABSTRACT

In this project a data transmission and connection system has been designed. It works as interface between a real time numeric simulator, which is able to simulate a controller or electric power plant, and other devices.

In order to develop this interface, a design of the PCB has been implemented. It is able to convert analogic signals to digital. It is also able to transform digital signals into analogic ones, been capable of working with digital only signals.

Furthermore, a study for the differents ways to do the signal conversions has been done. Additionally the different components that they are part of the design and their placement to avoid the interferences had been studied.

Finally, as a data file was needed for the PCB development, it has been generated.

## **KEYWORDS**

Printed Circuit Board (PCB), simulation Hardware in the Loop (HIL), Rapid Control Prototyping (RCP), digital-analogic conversion (DAC), analogic-digital conversion (ADC).

# Índice

AGRADECIMIENTOS .....	
RESUMEN.....	
ABSTRACT.....	
1. INTRODUCCIÓN .....	1
1.1. Antecedentes y justificación del proyecto .....	1
1.2. Objetivos del proyecto .....	2
1.2.1 Características a tener en cuenta en el diseño.....	3
2. ASPECTOS PREVIOS .....	5
2.1 Sistema de pruebas RCP y HIL .....	5
2.2 FPGA .....	6
2.3 Convertidor analógico – digital .....	7
2.3.1 Muestreo .....	7
2.3.2 Cuantificación .....	11
2.3.3 Codificación.....	12
2.3.4 Características conversión analógico – digital.....	12
2.3.5 Tipos de convertidores ADC .....	15
2.4 Convertidor digital - analógico.....	22
2.4.1 Características conversión digital – analógica.....	22
2.4.2 Tipos de convertidores DAC .....	25
3. DESARROLLO DEL TFG.....	29
3.1. Elección de la herramienta de trabajo .....	29
3.2. Diseño y elección de los componentes .....	29
3.2.1. Parte analógica.....	29
3.2.1.1 DAC.....	29
3.2.1.2 ADC.....	37
3.2.2 Parte digital.....	45
3.2.2.1 Entradas digitales .....	45
3.2.2.2 Salidas digitales .....	46
3.2.2.3 Inversores disparadores Schmitt .....	46
3.2.3 Elección de la fuente de alimentación.....	50
3.2.4 Cálculo de potencias .....	52
3.3. Esquemáticos de la tarjeta .....	56
3.3.1 Esquemático general.....	57
3.3.2 Canal de entrada analógica.....	59

3.3.3 Canal de salida analógica .....	61
3.3.4 Canal de entrada digital .....	63
3.3.5 Canal de salida digital .....	65
3.4 Diseño de la tarjeta PCB.....	67
3.4.1 Diseño de los canales analógicos de salida.....	68
3.4.2 Diseño de los canales analógicos de entrada.....	69
3.4.3 Diseño de los canales digitales .....	69
3.4.4 Posicionamiento de los conectores .....	70
3.4.5 Colocación fuentes de alimentación .....	71
3.4.6 Colocación final de todos los componentes.....	71
3.4.7 Generación de los ficheros de fabricación .....	72
3.5 Cara TOP.....	73
3.6 Cara BOTTOM.....	76
3.7 Creación de planos de tierra .....	79
3.6 Creación planos de alimentación .....	80
5. CONCLUSIONES.....	85
6. LÍNEAS FUTURAS.....	87
7. BIBLIOGRAFÍA .....	89
ANEXOS .....	93



## Índice de figuras

Fig. 1. Diagrama V Control embebido basado en modelo .....	2
Fig. 2. Diagrama de bloques de un sistema de pruebas HIL .....	6
Fig. 3. Etapas de la conversión analógico – digital .....	7
Fig. 4. Bloque con el que se representa el muestreador .....	7
Fig. 5. Ejemplo de muestreo ideal de una señal $f(t)$ .....	8
Fig. 6. Señales muestreadas a diferentes frecuencias .....	8
Fig. 7. Circuitos de muestreo y retención .....	9
Fig. 8. Formas de ondas de muestreo y retención de dos señales .....	9
Fig. 9. Circuito S/H y gráfica tiempo de adquisición ( $t_A$ ) .....	10
Fig. 10. Circuito S/H y gráfica error de retención .....	10
Fig. 11. Gráfica de un proceso de cuantificación uniforme .....	11
Fig. 12. Forma del error de cuantificación .....	12
Fig. 13. Errores de cero en convertidores unipolar y bipolar .....	14
Fig. 14. Errores de ganancia en convertidores unipolar y bipolar .....	14
Fig. 15. Error de no linealidad diferencial .....	14
Fig. 16. Error de no linealidad integral .....	15
Fig. 17. Cronograma interfaz SPI .....	15
Fig. 18. Esquema tipos de ADC según su arquitectura .....	16
Fig. 19. Arquitectura de aproximaciones sucesivas .....	17
Fig. 20. Arquitectura de doble rampa .....	19
Fig. 21. Conversión señal analógica – frecuencia en arquitectura Tensión – Frecuencia ....	21
Fig. 22. Arquitectura Tensión – Frecuencia .....	21
Fig. 23. Gráfica de cambio de un código a otro distinto .....	23
Fig. 24. Errores de las características de transferencia .....	24
Fig. 25. Error de monotonicidad .....	24
Fig. 26. Error de no linealidad diferencial .....	25
Fig. 27. Error de no linealidad integral .....	25
Fig. 28. Cronograma del interfaz SPI .....	26
Fig. 29. Convertidor DAC con red de resistencias ponderadas .....	26
Fig. 30. Convertidor DAC con red R – 2R en escalera .....	27
Fig. 31. Diagrama funcional y configuración de los pines del DAC8811 .....	30

Fig. 32. Descripción de las funciones de los pines del DAC8811 .....	30
Fig. 33. Configuración para la protección de la salida de la señal .....	35
Fig. 34. Gráfica tensión umbral – corriente del MBR0520LT3G .....	36
Fig. 35. Gráfica tensión inversa – corriente de fuga inversa de MBR0520LT3G .....	36
Fig. 36. Diagrama de bloques funcional y configuración de los pines del AD747X .....	37
Fig. 37. Filtro paso bajo configuración Sallen-Key .....	39
Fig. 38. Filtro paso bajo Sallen-Key con ajuste de ganancia .....	39
Fig. 39. Respuesta ante una entrada escalón unitaria .....	40
Fig. 40. Gráfica de la tensión umbral de los diodos .....	42
Fig. 41. Gráfica tensión – corriente inversa .....	43
Fig. 42. Configuración de las conexiones en los conectores analógicos .....	44
Fig. 43. Conector SSW-106-02-G-D-RA de Samtec .....	45
Fig. 44. Circuito de un comparador con histéresis .....	46
Fig. 45. Ciclo de histéresis .....	47
Fig. 46. Efecto del disparador Schmitt .....	47
Fig. 47. Configuración de los conectores digitales .....	50
Fig. 48. Distribución de los planos de tierra en la PCB .....	70
Fig. 49. Distribución de los planos de alimentación .....	71

## Índice de tablas

Tabla 1. Funcionamiento del registro de desplazamiento de un RAS de 8 bits .....	18
Tabla 2. Componentes de todo el diseño .....	72
Tabla 3. Componentes y presupuesto de la protección de los canales analógicos .....	73
Tabla 4. Componentes y presupuesto de los canales analógicos de entrada .....	73
Tabla 5. Componentes y presupuesto de los canales analógicos de salida .....	74
Tabla 6. Componentes y presupuesto de los canales digitales de entrada .....	74
Tabla 7. Componentes y presupuesto de los canales digitales de salida .....	75
Tabla 8. Componentes y presupuesto de la alimentación de la placa .....	75
Tabla 9. Cantidad y coste adicional por la compra por lotes .....	76



# 1. INTRODUCCIÓN

## 1.1. Antecedentes y justificación del proyecto

Las empresas dedicadas a la electrónica de potencia están constantemente inventando y sacando nuevos productos al mercado, para que esto no sea excesivamente caro y lento, para diseñar y probar los nuevos dispositivos se simula su entorno en tiempo real de tal forma que el dispositivo actúe de la misma manera que lo hará una vez lanzado al mercado, esto agiliza la introducción de los productos en el mercado.

Años atrás, para realizar ensayos de sistemas de una potencia específica elevada se usaban dos técnicas: realizar una simulación por software o bien, realizar un experimento de hardware real. Actualmente, se utiliza una técnica llamada *Hardware in the Loop* (HIL), es una mezcla de las dos técnicas mencionadas anteriormente. Consiste en la interconexión en tiempo real de un hardware externo, por ejemplo, un sistema embebido, con un equipo informático, que simula el circuito o sistema a ensayar. A través de esta técnica, se obtiene una plataforma simulada (HIL), siendo el equivalente del sistema físico a ensayar. En dicha plataforma, se introduce el sistema físico equivalente mediante modelos matemáticos.

Además, también es necesario simular el controlador, RCP (*Rapid Control Prototyping*), que va a ensayar la planta simulada, siendo dos parámetros muy importantes: la precisión de las señales muestreadas y el tipo de interpolación que se use para la simulación. Otro parámetro importante es el tiempo de muestreo, que estará asociado con la capacidad de procesamiento de la interpolación. La relación entre estos dos últimos parámetros (tiempo de muestreo y tipo de interpolación) es muy importante para el resultado final de la simulación. Dicha importancia se debe a que, si el tiempo que tarda en hacerse la interpolación es mucho mayor al tiempo de muestreo, el controlador realizará los cálculos con datos ya obsoletos y no con los que se están muestreando en ese instante, por lo que ya no estaría controlándose en tiempo real. Por tanto, si se puede muestrear a un tiempo menor, obteniendo un mayor número de datos, pese a que se realice una interpolación de menor grado y de menor precisión, pero justo en el instante que se obtienen los datos, obtendremos un resultado final más preciso y fiel al comportamiento real, puesto que cada cálculo será válido por un menor período de tiempo.

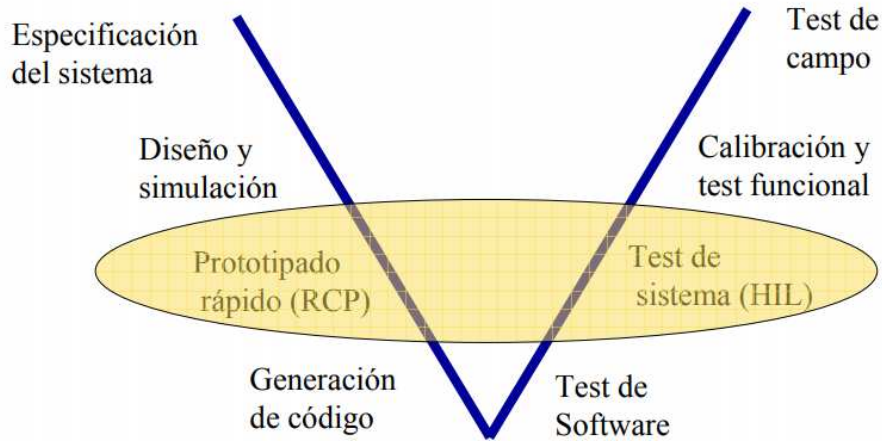


Fig. 1. Diagrama V Control embebido basado en modelo

La Fig. 1 es el diagrama en V que representa las distintas acciones que hay que llevar a cabo para la fabricación y puesta a punto de un equipo. En este caso la tarjeta que se diseñará puede actuar de interfaz entre el RCP y otras acciones como pueden ser: simulación HIL, calibración y test funcional, test de software, test de campo y, generación de código.

También puede actuar como interfaz entre el sistema de simulación HIL y: el RCP, test de software, generación de código, calibración y test funcional y, test de campo.

## 1.2. Objetivos del proyecto

El objetivo final del presente trabajo es la realización del prototipado de una tarjeta de circuito impreso que transforme señales digitales a analógicas, analógicas a digitales y que pueda recibir y transmitir señales digitales para que un elemento de control, monitorización y simulación en tiempo real pueda transmitir datos de salida, recibir datos de entrada y comunicarse con un hardware exterior como puede ser un sistema embebido, creando una plataforma simulada (HIL).

La FPGA (*Field Programmable Gate Array*) solo puede trabajar con datos digitales, por lo que hay que transformar las señales analógicas de las magnitudes que se midan, en una señal digital que entienda y con la que pueda trabajar nuestro elemento de control.

Para esta conversión se necesitarán componentes DAC, convertidor digital – analógico, y ADC, convertidor analógico – digital.

Por último, la FPGA realizará simulaciones en tiempo real dentro del entorno *Hardware in the Loop*.

### 1.2.1 Características a tener en cuenta en el diseño

- Conversión digital-analógica se realiza a través de DAC. Conversión analógica-digital a través de ADC.
- Constará de 16 entradas digitales (DI), 16 salidas digitales (DO), 8 entradas analógicas (AI) y 8 salidas analógicas (AO).
- El prototipo estará protegido ante fallos externos, y de los posibles fallos dentro de la tarjeta que pudieran dañar componentes que estén conectados en el exterior.





## 2. ASPECTOS PREVIOS

### 2.1 Sistema de pruebas RCP y HIL

El Desarrollo Rápido de Prototipos de Controladores o RCP consiste en desarrollar y validar nuevos algoritmos de control de modelos en ambientes simulados usando software de modelado matemático. Una vez diseñado y con un resultado aceptable de simulación, se transforma en un prototipo de control en tiempo real a través de los distintos lenguajes de alto nivel que existen y este prototipo de control en tiempo real se usa para validar el algoritmo en la planta bajo condiciones reales de operación.

La simulación HIL es un método de pruebas que se usa para probar de manera eficiente el funcionamiento de diferentes productos o sistemas, por ejemplo, sistemas de control embebidos. Al probar el funcionamiento de dichos sistemas los ensayos de seguridad, la disponibilidad, costo, etc., pueden hacer poco práctico el realizar todos los ensayos usando el sistema completo. Sin embargo, con una simulación HIL se puede mantener la fiabilidad y los requerimientos de salir al mercado de una forma rentable, aún si los sistemas se vuelven más complejos.

Un sistema de pruebas HIL está formado principalmente por tres componentes: un procesador en tiempo real, interfaces de E/S y un entorno de desarrollo.

Un procesador en tiempo real proporciona ejecución determinística de la mayoría de los componentes del sistema de pruebas HIL como: comunicación de E/S de hardware, generación de estímulos y ejecución de modelos.

Que sea en tiempo real es necesario para proporcionar una simulación en la que todo lo que ocurra sea en los instantes de tiempo correctos y definidos.

La interfaz E/S gestionará diversas señales analógicas y digitales que permiten interactuar al sistema de cálculo con las unidades de prueba exteriores. Se usan para producir señales de estímulos, adquirir datos para registro y análisis, y proporcionar las interacciones de sensor/actuador entre la unidad de control electrónico que se prueba (ECU) y el entorno virtual simulado por el modelo.

El entorno de desarrollo se comunica con el procesador de tiempo real para proporcionar comandos de pruebas y visualización. También, permite la administración de la configuración, automatización de la prueba, análisis y tareas de informes.



Fig. 2. Diagrama de bloques de un sistema de pruebas HIL

En resumen, los RCP se utilizan para simular controladores y los sistemas HIL simulan la planta.

## 2.2 FPGA

Es un dispositivo programable que contiene bloques de lógica cuya interconexión y funcionalidad puede ser configurada en el momento mediante un lenguaje de descripción especializado. La lógica programable puede reproducir desde funciones tan sencillas como las llevadas a cabo por una puerta lógica o un sistema combinatorial hasta complejos sistemas en un chip.

Los FPGAs son más lentos que un ASIC (*Application-Specific Integrated Circuit*), que son procesadores específicos para desarrollar una determinada tarea. Sin embargo, tienen las ventajas de ser reprogramables, lo que añade una enorme flexibilidad al flujo del diseño, son capaces de trabajar con muchos procesos en paralelo, sus costes de desarrollo y adquisición para pequeñas cantidades de dispositivos y su tiempo de desarrollo son menores a los ASIC.

Además, los FPGAs actuales tienen la ventaja de que cuentan con una periferia que permite una vez llegado la señal a dicha periferia, enviar a cualquier pin de la FPGA las señales generadas de forma muy rápida, aumentando así la velocidad de transmisión.

## 2.3 Convertidor analógico – digital

Para procesar señales analógicas (intensidad, tensión, ...), mediante medios digitales (FPGA), es necesario convertirlas a formato digital, es decir, transformarlas en una secuencia de números de precisión finita.

Las etapas del proceso son las mostradas en la siguiente figura:

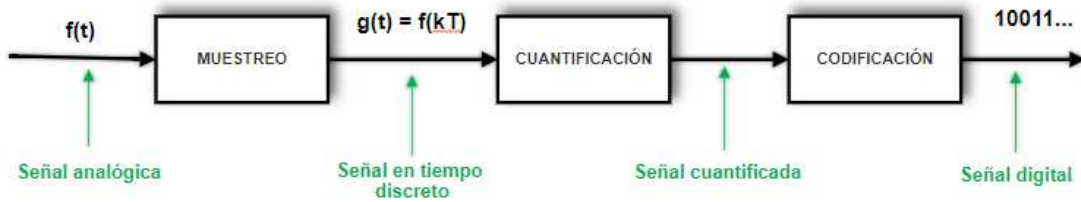


Fig. 3. Etapas de la conversión analógico – digital

### 2.3.1 Muestreo

El muestreo es un procedimiento por el cual, a partir de una señal analógica continua en el tiempo  $f(t)$ , se obtiene una sucesión de valores en instantes discretos que constituyen la señal muestreada  $g(t)$ . Esto se puede realizar de diferentes maneras, pero la más habitual es que la señal muestreada esté formada por los valores de la señal original en instantes de tiempo equiespaciados, siendo un muestreo uniforme.

El elemento que realiza esta función se denomina muestreador y se representa usualmente como se muestra a continuación:



Fig. 4. Bloque con el que se representa el muestreador

Donde el funcionamiento ideal hace que cada  $T$  segundos,  $g(t) = f(t)$  y el resto de tiempo sea  $g(t) = 0$ , obteniendo el siguiente resultado:

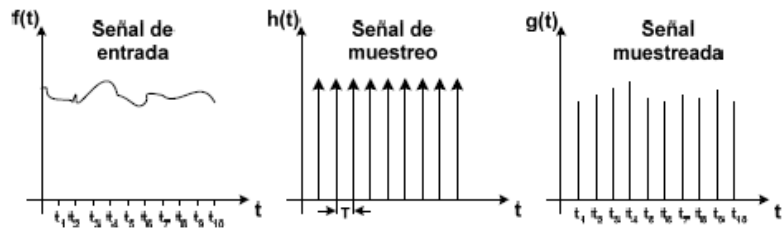


Fig. 5. Ejemplo de muestreo ideal de una señal  $f(t)$

Una cuestión a tener en cuenta es conocer a que frecuencia debemos muestrear una señal para no perder la información necesaria, y así a partir de la señal muestreada poder reconstruir la señal analógica.

Existe para ello el **teorema de Nyquist del muestreo**, indica que si una señal  $f(t)$ , es una señal con un ancho de banda finito, puede ser reconstruida a partir de sus valores muestreados  $f(kT)$  si el muestreo se ha efectuado a una frecuencia ( $f_s$ ) que, al menos, sea el doble de la máxima frecuencia del espectro de la señal.

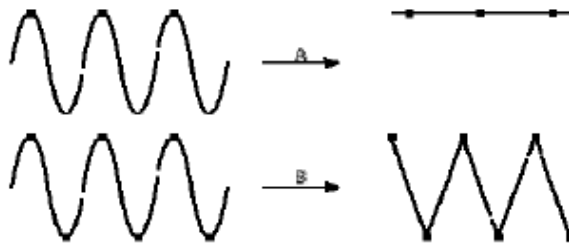


Fig. 6. Señales muestreadas a diferentes frecuencias

A  $\rightarrow$  Señal muestreada a  $f_s = f$ .

B  $\rightarrow$  Señal muestreada a  $f_s = 2f$ .

Con el fin de obtener una representación adecuada a la forma y la amplitud de la señal, la frecuencia de muestreo debe ser incluso mayor a 5 - 10 veces la frecuencia máxima presente en la señal. Es decir  $f_s \geq 5 \cdot f$ .

Entrando en el apartado de electrónica, este muestreo se consigue a través de un circuito básico, denominado circuito de muestreo y retención.

Este circuito es necesario, debido a que la mayoría de convertidores A/D precisan que la señal a convertir permanezca constante durante un tiempo determinado, minimizando las imprecisiones debidas a los cambios en la señal durante la conversión, y esa es precisamente la función de dicho circuito.

Está formado por una entrada analógica, otra de control digital S/H y una salida analógica. El circuito es el mostrado en la Fig. 7.

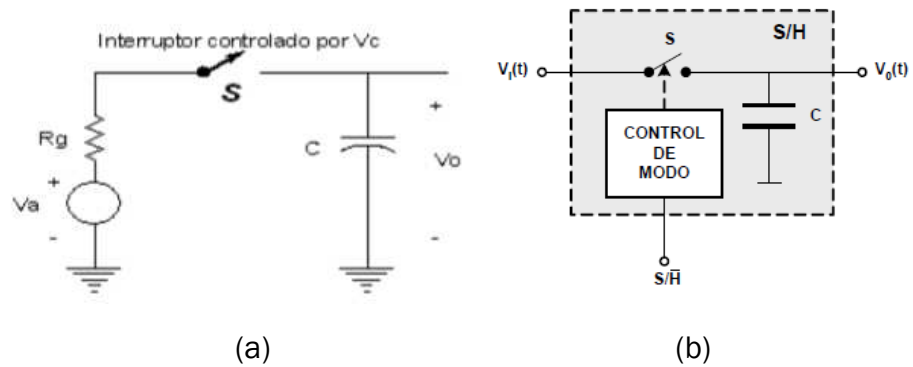


Fig. 7. Circuitos de muestreo y retención

El condensador es el encargado de mantener la tensión de muestra. El interruptor controlado digitalmente, es el medio para cargar rápidamente el condensador hasta la tensión de muestra y luego suprimir la entrada de manera que el condensador pueda retener la tensión deseada. La tensión  $V_a$  de la Fig. 7. (a), es la fuente analógica y  $R_g$  es su impedancia interna. Las formas de onda están representadas en la Fig. 8.

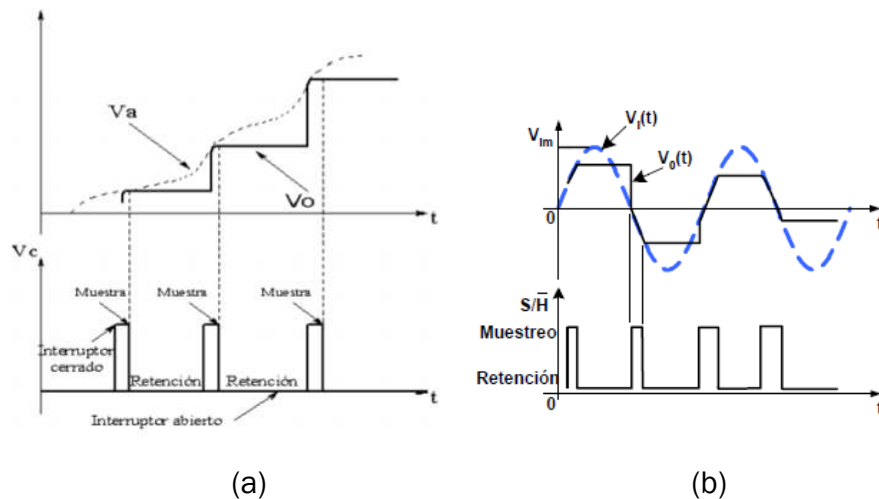


Fig. 8. Formas de ondas de muestreo y retención de dos señales

El interruptor está cerrado mientras la forma de onda lógica de control  $V_c$  de la Fig. 8 (a) está a nivel alto, fija la tensión a la que se carga el condensador, realizando así la acción de muestreo, mientras en el instante en que el circuito lógico de control esté a nivel bajo, abriendo el interruptor, el condensador mantiene el ultimo valor de la entrada, realizando la acción de mantener la

tensión. Idealmente la salida se mantiene constante en ese valor durante todo el intervalo de retención.

En la práctica hay unos retardos y diferencias entre los valores ideales y los reales. Dos retardos importantes en los convertidores reales son:

- **Tiempo de adquisición**, intervalo más corto transcurrido desde que se da la orden de muestra hasta que se puede dar la orden de retención y se obtenga como resultado una tensión de salida que sea aproximadamente la tensión de entrada con la precisión necesaria.

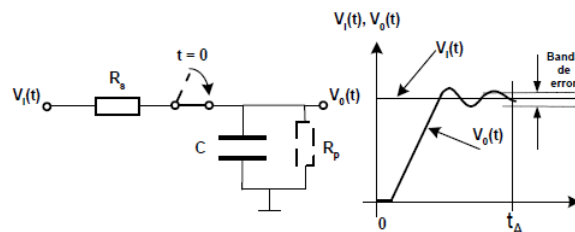


Fig. 9. Circuito S/H y gráfica tiempo de adquisición ( $t_A$ )

- **Tiempo de apertura**, máximo retardo entre el instante en que la lógica de control ordena al interruptor que se abra y el instante en que realmente ocurre la apertura. Este tiempo depende del interruptor que coloquemos, pues depende del tiempo de conmutación del mismo. Se ha de seleccionar un interruptor cuya frecuencia de conmutación sea mucho mayor que la frecuencia de muestreo.
- **Error durante modo retención**, la resistencia de la carga hace que no se mantenga esa tensión ideal durante todo el intervalo de retención como se puede observar en la Fig. 10.

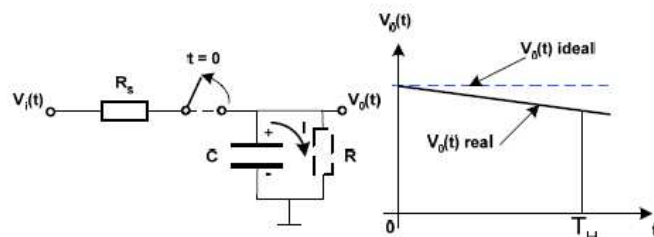


Fig. 10. Circuito S/H y gráfica error de retención

### 2.3.2 Cuantificación

Este proceso es el que va a continuación del muestreo, y consiste en representar los valores en forma de una serie finita de  $N$  niveles o estados diferentes.

Esto también lo realiza el convertidor D/A (DAC), y la señal de partida es la señal muestreada. En la siguiente figura se puede observar un proceso de cuantificación uniforme.

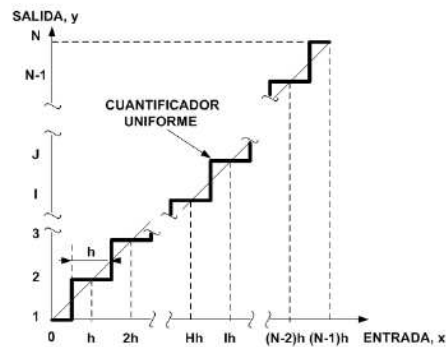


Fig. 11. Gráfica de un proceso de cuantificación uniforme

- El valor de  $h$  es el intervalo de cuantificación y se corresponde con la diferencia entre el mayor y el menor valor de la entrada a los que se asigna el mismo estado o nivel de salida.
- Margen de entrada,  $M$ , a la diferencia entre el mayor y el menor valor aceptados a la entrada.
  - Número de estados de salida es  $N = 2^n$ , donde  $n$  es el nº de bits.

En cuantificación uniforme,  $h = \frac{M}{2^n}$  y es equivalente a la resolución.

Al igual que en la etapa de muestreo, en la cuantificación también se introduce un error inevitable. Este error se produce si se intenta reconstruir la entrada a partir de la salida del cuantificador, ya que no se obtiene el conjunto continuo de valores de la entrada. El error máximo cometido es de  $\pm \frac{h}{2}$  y su evolución en función de la entrada tiene forma de diente de sierra, como se puede observar en la Fig. 12.

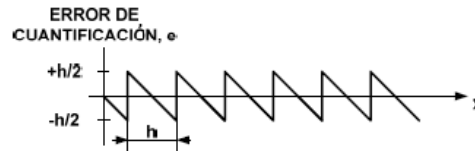


Fig. 12. Forma del error de cuantificación

### 2.3.3 Codificación

A continuación de la cuantificación, se realiza la codificación, el último procesado de la señal analógica para convertirla en digital. Consiste en representar biunívocamente mediante varios dígitos los diferentes estados o niveles de un cuantificador. Las señales digitales son códigos binarios en los que las cifras son dos, ceros y unos.

Los procesadores digitales pueden interpretar diferentes tipos de código binario, unipolares y bipolares, dentro de los unipolares pueden ser binario natural, decimal codificado en binario, código Gray, ... y bipolares pueden ser: binario con signo, binario en complemento a uno, binario con offset, etc.

### 2.3.4 Características conversión analógico – digital

#### Características estáticas

- *Fondo de escala (full scale)*: máximo valor analógico de salida posible, cuando se aplica a la entrada el máximo valor.

- *Resolución (resolution)*: variación mínima en la tensión de entrada para provocar un cambio entre códigos adyacentes de la salida.

$$\text{Resolución} = \frac{FS}{2^n}$$

Donde FS es el fondo de escala y n es el número de bits.

- *Margen de entrada (input range)*: conjunto de valores de entrada aplicables al convertidor.



- *Ganancia (gain)*: pendiente de la recta que une los puntos medios de los niveles primero y último de la característica de transferencia estática. En un convertidor ideal la ganancia es unitaria.

- *Exactitud absoluta (absolute accuracy)*: diferencia entre el código que se obtiene en la salida para una determinada tensión de entrada y el código esperado. Incluye todos los errores estáticos del convertidor. Se expresa en LSB (*less significant bit* / bit menos significativo) y un convertidor debe de tener una exactitud mayor de  $\pm 0,5$  LSB.

- *Exactitud relativa (relative accuracy)*: diferencia entre el código que se obtiene en la salida para una determinada tensión de entrada y el código esperado después de eliminar los errores de cero y de ganancia.

### **Características dinámicas**

- *Tiempo de conversión (conversion time)*: tiempo necesario para que el convertidor realice la conversión. Es el tiempo que transcurre entre el inicio y el final de la conversión.

- *Frecuencia de conversión (throughput rate)*: frecuencia máxima a la que el convertidor puede obtener resultados estables entre conversiones consecutivas. Se expresa en hertzios (Hz), o en *samples per second* (S/s).

### **Errores**

- *Error de cero (offset error)*: la variación constante del valor de la señal analógica de salida respecto a la ideal. Se suele tomar como referencia cuando todos los bits de entrada están a cero y la tensión que aparece a la salida será la tensión de offset. Esto provoca una variación de tensión del mismo valor para todas las salidas analógicas respecto a sus códigos de entrada. Se suele expresar en LSB.

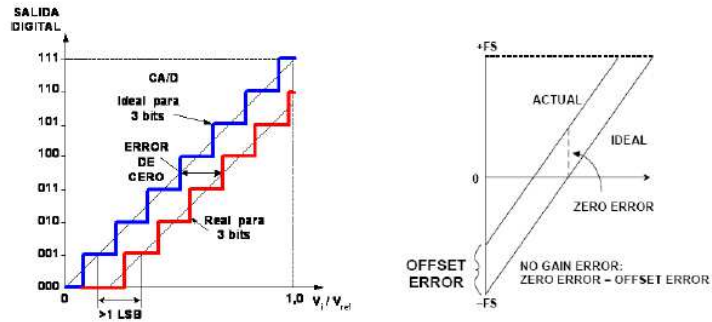


Fig. 13. Errores de cero en convertidores unipolar y bipolar

- *Error de ganancia (gain error)*: diferencia entre los puntos de ganancia nominal y real después de haber ajustado el cero. Se expresa en LSB.

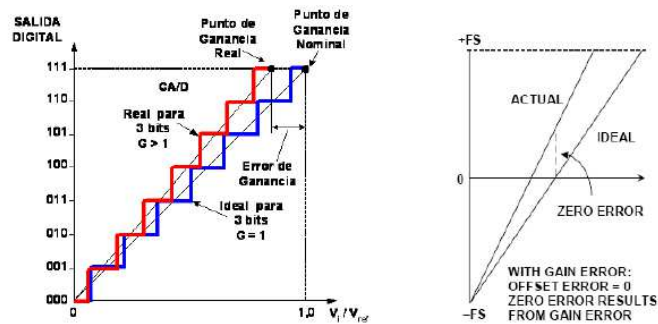


Fig. 14. Errores de ganancia en convertidores unipolar y bipolar

- *Error de no linealidad diferencial (DNLE)*: diferencia entre el ancho del peldaño de la característica real y su ancho ideal de 1 LSB. Se expresa LSB o en tanto por ciento del margen de entrada.

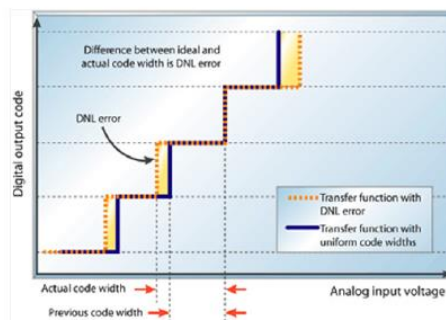


Fig. 15. Error de no linealidad diferencial

- *Error de no linealidad integral (INLE)*: máxima desviación de la característica estática del convertidor de la línea recta que une los puntos de cero y de

ganancia después de eliminar los errores de cero y de ganancia. Suele expresarse en términos de LSB o en tanto por ciento del margen de entrada.

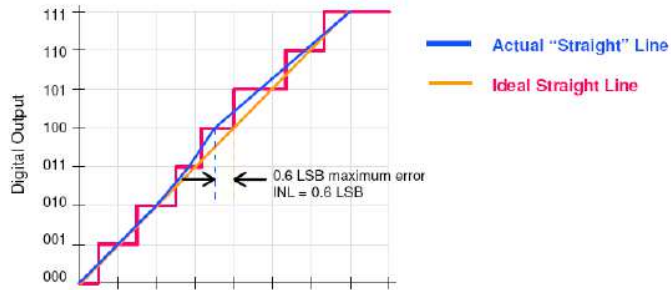


Fig. 16. Error de no linealidad integral

### 2.3.5 Tipos de convertidores ADC

Según la interfaz de datos digital:

- **Serie (SPI):** funciona con tres señales. La señal de datos (SDATA), en el caso de un convertidor ADC, es una señal de salida donde sale bit a bit transformada la señal analógica de entrada, la señal de reloj (SCLK), indica cada cuanto se genera un bit a partir de la señal analógica, y la señal chip select (CS), sirve para separar las diferentes palabras de datos. La velocidad de transmisión de datos es del orden de 1MSPS.

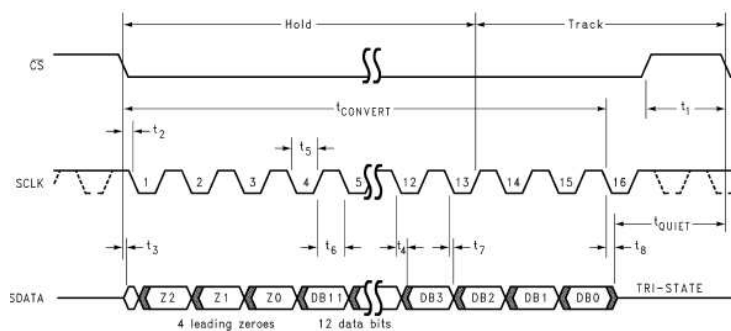


Fig. 17. Cronograma interfaz SPI

- **Paralelo:** esta interfaz necesita una salida por cada bit que tenga el convertidor, además de las señales chip select y de escritura. Es mucho más compleja que la interfaz SPI y es mucho más rápida, al

poder volcar todos los bits de la conversión directamente y no secuencialmente, del orden de 100MSPS.

- **I<sup>2</sup>C**: es un tipo de interfaz serie al igual que el SPI, pero es bidireccional. Durante el envío de datos o la lectura, el elemento de control se asegura que los datos han sido correctamente entregados. Esto es una de las razones por la que la transmisión de datos es más lenta que el interfaz serie SPI, siendo del orden de KSPS.

### Según su arquitectura



Fig. 18. Esquema tipos de ADC según su arquitectura

Esto son los más conocidos, aunque existen más arquitecturas. En este trabajo se explicarán a continuación los de mayor utilización.

- **Aproximaciones sucesivas**: está formado por tres elementos principales que son: un convertidor DAC, un amplificador operacional que funciona como comparador y un registro de aproximaciones sucesivas (RAS), que es un contador programable que se incrementa o decrementa de acuerdo a la influencia del bit de mayor peso (MSB).

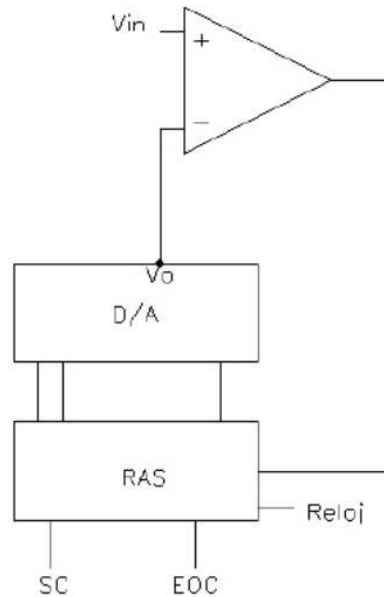


Fig. 19. Arquitectura de aproximaciones sucesivas

Vamos a identificar los elementos básicos en un ADC. Tiene una entrada analógica,  $V_{in}$ , la salida digital se toma a la salida del contador, la señal de control, SC, y, por último, la señal EOC, que da un flanco descendente cuando termina la conversión.

El objetivo de esta estructura es llegar al valor final, sin tener que recorrer todos los valores anteriores, a diferencia de otras arquitecturas. Por ello, se va conociendo en cada ciclo de reloj el valor de un bit, empezando por el valor del bit más significativo,  $D_{n-1}$ , después  $D_{n-2}$  y así sucesivamente, siendo  $n$  el número de bits con el funciona dicho convertidor.

El funcionamiento es el siguiente, en primer lugar, se inicia el RAS con el valor **LHH...H**, poniendo el bit más significativo a nivel bajo y el resto a nivel alto. Si la tensión de entrada del terminal no inversor del comparador,  $V_{in}$ , es mayor a la tensión de salida del convertidor D/A,  $V_o$ , el comparador entrará en saturación positiva y dará un 1 a la salida. Por lo que, para llegar al valor deseado tendré que incrementar el bit de mayor peso, dándole el valor H (*high*), 1 lógico. Si, por lo contrario, el comparador hubiera dado un 0, L (*low*), a la salida, significaría que la tensión  $V_{in}$  es menor a la tensión de salida del D/A,  $V_o$ , y eso quiere decir, que el valor del bit sería el correcto.

Una vez, conocido el valor del bit más significativo,  $D_{n-1}$ , introducimos el siguiente dato digital:  **$D_{n-1}$ (bit de mayor peso, ya obtenido) L** (bit que queremos obtener) **HH...H**, es decir, para obtener los diferentes bits, siempre va a hacer falta conocer todos los bits de mayor peso anteriores al bit que queremos conocer. El dato digital que se introduce en el RAS va a estar formado: por el valor ya conocido de los bits de mayor peso, el bit que queremos conocer inicializado a nivel bajo y el resto de los bits de menor peso a nivel alto. Introducido el dato digital de esta manera, se opera de la forma

anteriormente comentada hasta obtener el valor buscado en la totalidad de los bits.

Una de las principales ventajas de esta arquitectura es que solo necesita  $n$  ciclos de reloj para obtener el valor buscado, siendo  $n$  el número de bits. El RAS, está diseñado a partir de un registro de desplazamiento cuyo funcionamiento es el mostrado a continuación.

$t_i$	$D_{n-i}$	$Q_7$	$Q_6$	$Q_5$	$Q_4$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
1	$D_7$	0	1	1	1	1	1	1	1
2	$D_6$	$D_7$	0	1	1	1	1	1	1
3	$D_5$	$D_7$	$D_6$	0	1	1	1	1	1
4	$D_4$	$D_7$	$D_6$	$D_5$	0	1	1	1	1
5	$D_3$	$D_7$	$D_6$	$D_5$	$D_4$	0	1	1	1
6	$D_2$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	0	1	1
7	$D_1$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	0	1
8	$D_0$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	0
9	X	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$

Tabla 1. Funcionamiento del registro de desplazamiento de un RAS de 8 bits

$t_i$  representa el ciclo de reloj. Se observa como el dato está disponible en el ciclo de reloj  $i+1$ , uno más que el número de bits del dato de salida.

Los tiempos de conversión son del orden de  $\mu s$  o de centenares de ns, ya que solo se necesitan, para  $n$  bits,  $n + 1$  ciclos de reloj y se puede utilizar altas frecuencias, de hasta MHz. Pero estos convertidores pueden tener problemas de deriva, de offset, de  $V_{ref}$ , etc., que hacen que a partir de 14 bits no sean adecuados, debido a que el propio convertidor y a los problemas ya comentados, posee errores superiores a la resolución que buscamos al aumentar el número de bits. Aun así, es el tipo más utilizado comúnmente debido a su combinación de alta resolución (hasta 16 bits en la salida) y velocidad (conversiones de 1000 - 2000 por segundo), sin embargo, para realizar pocas conversiones por segundo, 5 - 10 - 30, no es el más adecuado. Los de 12 y 8 bits son los más comunes y ofrecen una elevada velocidad a un precio ajustado.

- **Doble rampa:** los de tipo rampa destacan por la precisión, y a la vez, solo se pueden utilizar con señales cuyo nivel oscile de forma muy lenta (10 muestras por segundo). Este circuito está formado por un integrador basado en un amplificador operacional, un comparador, un interruptor que se encarga de que una de las dos señales, la señal que se va a digitalizar ( $V_A$ ) o una señal de referencia de valor constante ( $V_{REF}$ ), este conectada en todo momento al integrador y otro interruptor en paralelo con el condensador que permite la intervención de este o no. La actuación

coordinada de ambos interruptores permite obtener una señal de doble rampa a la salida.

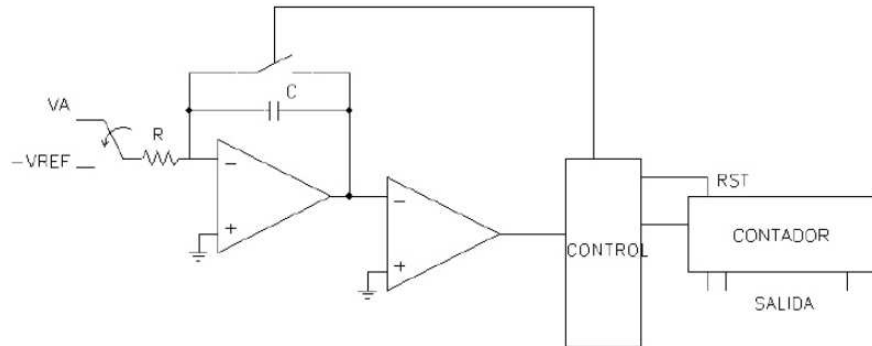


Fig. 20. Arquitectura de doble rampa

El funcionamiento se divide en dos partes en el tiempo, proporcionando dos rampas distintas.

- 1- Rampa de subida, la entrada es la señal analógica  $V_A$  que se desea digitalizar. Dura un tiempo fijo  $t_s$ .
- 2- Rampa de bajada, tiene como entrada  $-V_{REF}$  y el tiempo es variable. Se supone  $V_A > 0$ .

El cálculo de la señal digitalizada se fundamenta en la relación entre el tiempo de subida o de muestreo ( $t_s$ ) y el tiempo de bajada o de medida ( $t_m$ ), de acuerdo a la siguiente ecuación:

$$\frac{t_s}{t_m} = \frac{V_{REF}}{V_A}$$

Los tiempos de muestreo y de medida dependen de la resistencia, del condensador y de la tensión de entrada.

Durante el primer período de tiempo la salida será:  $V_I = -\frac{V_A}{R \cdot C} \cdot t$  ya que el condensador está descargado al comenzar la conversión mediante el interruptor que tiene en paralelo.

En el segundo tramo, al conmutar la entrada, esta se hace negativa, lo que implica una pendiente positiva. Sin tener en cuenta las condiciones iniciales, la salida sería:

$$V_{II} = -\frac{(-V_{REF})}{R \cdot C} \cdot t = \frac{V_{REF}}{R \cdot C} \cdot t$$

Y teniendo en cuenta las condiciones iniciales:

$$V_{II} = -\frac{V_A}{R \cdot C} \cdot t_s - \frac{V_{REF}}{R \cdot C} \cdot t$$

Una condición que debe cumplir el sistema es que el reloj debe tener una frecuencia constante durante el tiempo de conversión.

Es útil porque permite conseguir una alta resolución, de hasta 18 o 20 bits, además de tener una dependencia baja entre la salida y la entrada. Aunque también puede presentar problemas de deriva o de offset debido a la alta resolución, estos problemas se pueden resolver a través de una tercera rama.

Una ventaja más de esta arquitectura es el bajo consumo por estar fabricado en tecnología CMOS, ya que son bastante inmunes al ruido sobre todo al de alta frecuencia.

Con un convertidor de integración la conversión no es instantánea (del orden de 30 c/s), por ello al integrar en el tiempo está promediando el valor de la señal. Si el período de conversión es un múltiplo de la señal de ruido, conseguiremos que el valor obtenido coincida con el valor de la señal constante y por tanto sin ruido, ya que la contribución de los semiperiodos positivos del ruido es la misma que la de los semiperiodos negativos. Por esta inmunidad al ruido y por su exactitud se suelen utilizar, por ejemplo, en los voltímetros digitales.

- **Tensión – Frecuencia:** se realiza una conversión de la señal analógica de entrada a frecuencia, midiéndose después el valor de la misma. Esta arquitectura tendrá dos partes bien distintas: la primera convierte la señal a frecuencia y la segunda mide esa frecuencia.

La conversión a frecuencia se realiza mediante el siguiente circuito:



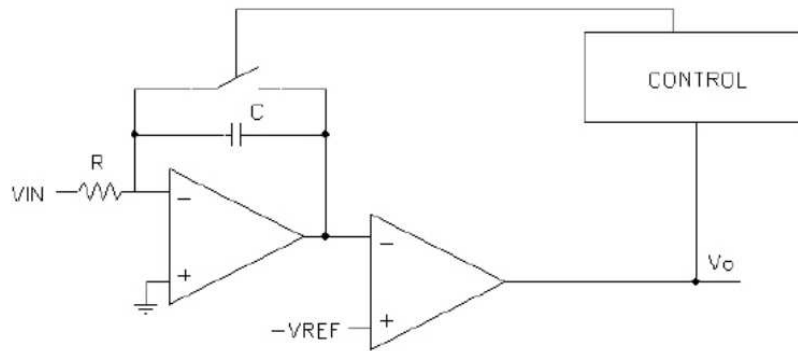


Fig. 21. Conversión señal analógica – frecuencia en arquitectura Tensión – Frecuencia

Está formada por un integrador y un comparador. El control detecta cuando  $V_I$ , tensión a la salida del integrador, es igual a  $V_{REF}$  y en ese instante cortocircuita momentáneamente el condensador, comenzando así otro período de integración. El valor de  $V_I$  viene dado por la siguiente expresión:  $V_I = -\frac{V_{IN}}{R \cdot C} \cdot t$ , en la que para  $t = T$  (tiempo de integración)  $\rightarrow V_I = -V_{REF}$ , sustituyendo en la expresión anterior:  $V_{REF} = \frac{V_{IN}}{R \cdot C} \cdot T$ .

Una de las principales ventajas de esta arquitectura es que posee una alta capacidad de aislamiento, debido a que la salida es digital, y con un optoacoplador se consigue un aislamiento completo y total. Debido a ello, si colocamos a la salida de nuestro convertor tensión – frecuencia un optoacoplador obtendremos un convertidor ADC con aislamiento y con mucha exactitud.

La segunda parte de esta arquitectura será un frecuencímetro, esto consiste en contar el número de pulsos que llegan a partir de un patrón de tiempo. El esquema del convertidor completo será el mostrado a continuación, donde el bloque V/F representa el primer circuito, el de conversión tensión – frecuencia y la salida del convertidor será la salida del contador.

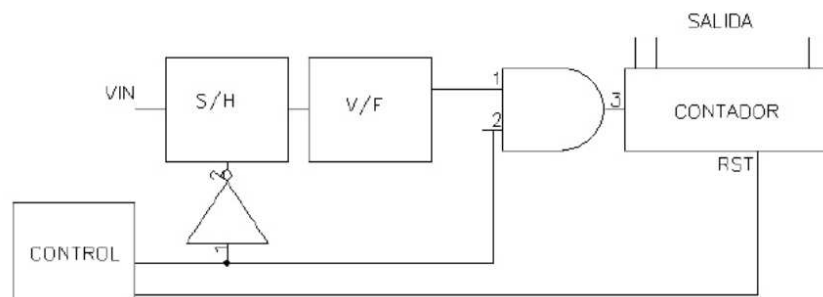


Fig. 22. Arquitectura Tensión – Frecuencia

Se trata de un circuito de bajo coste muy interesante para el caso de aislamiento. También es interesante para el caso de transmisión de información a larga distancia dado que la salida se encuentra ya digitalizada

y, por ejemplo, se puede multiplexar varias de ellas a través de un multiplexor digital.

Por todo ello, es utilizado en ambientes ruidosos y con unas frecuencias entre 10KHz y 1MHz.

## 2.4 Convertidor digital - analógico

La conversión digital – analógica es el proceso mediante el cual un código se transforma en una señal analógica unipolar o bipolar mediante una correspondencia entre las  $2^n$  combinaciones binarias posibles de entrada y las  $2^n$  tensiones (o corrientes) discretas de salida obtenidas a partir de una referencia de tensión o corriente.

### 2.4.1 Características conversión digital – analógica

#### Características estáticas

- *Resolución (resolution)*: es la diferencia entre dos códigos adyacentes de entrada, se diferencia en 1 LSB. Se suele expresar en términos del peso porcentual respecto al fondo de escala, de 1 LSB.

$$\text{Resolución} = \frac{FS}{2^n} \cdot 100$$

- *Ganancia (gain)*: ganancia o sensibilidad es la pendiente de su característica de transferencia estática.

- *Exactitud (accuracy)*: diferencia entre el valor que se obtiene a la salida para un determinado código de entrada y el valor esperado. Se expresa en LSB.

- *Exactitud relativa (relative accuracy)*: diferencia entre el valor que se obtiene a la salida para un determinado código de entrada y el valor esperado después de ajusta la característica ideal en los puntos de cero y plena escala. Se expresa en LSB o en tanto por ciento.

## Características dinámicas

La salida del convertidor al producirse un cambio en el código de entrada desde uno a otro, en el caso ideal sería un cambio instantáneo, sin embargo, en el caso real pasa por un transitorio como se muestra en la Fig. 23.

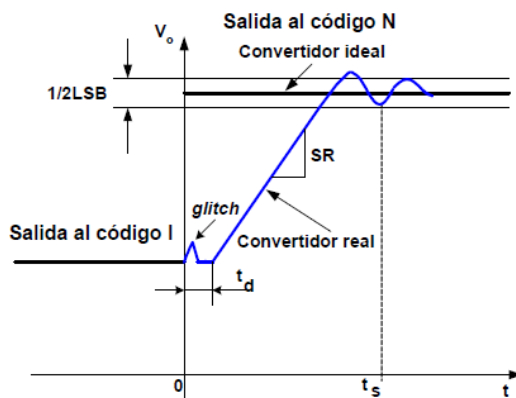


Fig. 23. Gráfica de cambio de un código a otro distinto

- *Tiempo de establecimiento (settling time):*  $t_s$  en la Fig.23, tiempo que pasa desde que se produce el cambio de código, hasta que la salida se encuentra dentro de una determinada banda de error. Representa la duración del transitorio.
- *Rapidez de cambio de salida (slew rate):* cociente entre la tensión o corriente a plena escala y el tiempo de establecimiento requerido para alcanzar el valor de plena escala partiendo del valor de cero. Se expresa en V/seg.
- *Frecuencia de conversión (conversion rate):* frecuencia máxima a la que se puede cambiar el código de entrada obteniendo la salida correspondiente. Se expresa en hertzios (Hz) o en muestras por segundo (S/s).
- *Glitch:* es una respuesta transitoria que puede aparecer en la señal de salida durante la transición de un código a otro. Su valor se expresa como el producto de la intensidad o tensión de salida, por unidad de tiempo (V·ns o mA·ns).

## Errores

- *Error de cero (offset):* representa la diferencia entre la salida ideal y real que corresponde al código del cero.

- *Error de fondo de escala*: representa la diferencia entre la salida ideal y la real que corresponde al código de plena escala. Suele expresarse en términos de LSB.

- *Error de ganancia*: es la suma de los errores de cero y de fondo de escala.

En la siguiente figura se pueden observar los errores.

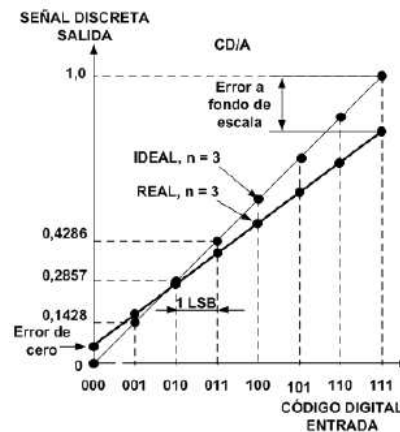


Fig. 24. Errores de las características de transferencia

- *Error de monotonicidad*: un convertidor es monótonico cuando a un incremento de tensión en la entrada le corresponde un incremento en la salida, así como para una disminución en la entrada, el correspondiente descenso en la salida. Si un convertidor no es monótonico, el resultado es la pérdida del código. Si para una determinada combinación de bits, no hay un aumento en función de n incremento de la entrada, sino un descenso, se identificará el valor analógico con el código que viene a continuación lo que provoca la no monotonicidad.

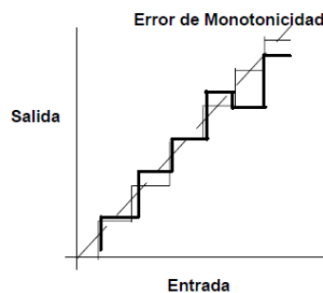


Fig. 25. Error de monotonicidad

- *Error de no linealidad diferencial (DNLE)*: es el módulo de la diferencia entre los valores de salida correspondientes a dos códigos adyacentes menos 1

LSB. Se expresa en términos de LSB, es decir, la diferencia entre la altura del escalón actual y la ideal correspondiente a 1 LSB.

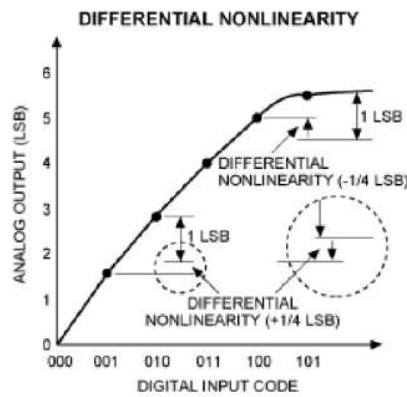


Fig. 26. Error de no linealidad diferencial

- *Error de no linealidad integral (INLE)*: desviación entre la característica y una línea recta. Se mide en cada escalón. Representa la suma de los errores de no linealidad.

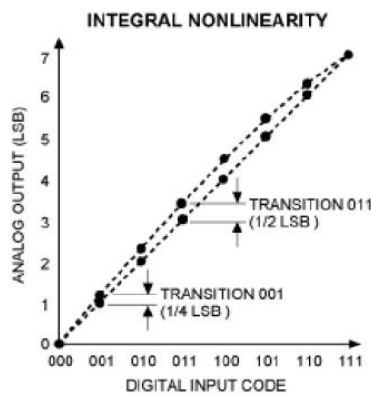


Fig. 27. Error de no linealidad integral

## 2.4.2 Tipos de convertidores DAC

Según la interfaz de datos digital

- **Serie (SPI)**: para cargar los datos en un DAC con esta interfaz, se necesitan tres señales. SDI, señal de datos que introducen el valor de cada bit de la

señal que queremos transmitir. CLK, la señal de reloj, indica cada cuanto se lee un bit. Y, por último, CS, se utiliza para separar las palabras de datos.

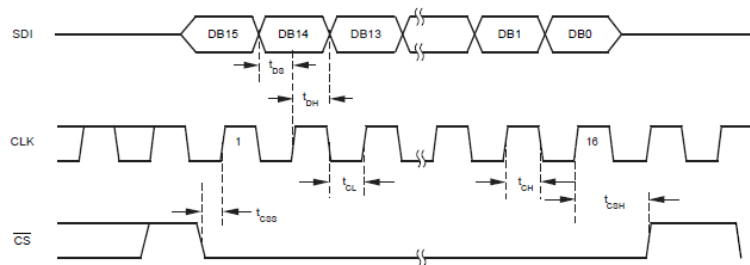


Fig. 28. Cronograma del interfaz SPI

- **I<sup>2</sup>C:** es una interfaz serie, pero bidireccional. Durante la lectura o el envío de datos, el elemento de control se asegura que los datos han sido correctamente entregados. Esta interfaz de transmisión es mucho más lenta que la SPI.
- **Paralelo:** esta interfaz necesita una entrada por cada bit que tenga el convertidor además de una señal chip select y una señal de escritura. Es mucho más compleja que la interfaz SPI, aunque mucho más rápida al realizarse el volcado de bits simultáneamente.

### Según su arquitectura

- **Red de Resistencias Ponderadas:** una red de resistencias ponderadas es aquella en que se implementa un circuito donde los conmutadores electrónicos conectan una señal de referencia,  $V_{REF}$ , a un juego de resistencias, cuyos valores están escogido de tal forma que provocan a la salida una señal de amplitud proporcional al peso binario del interruptor correspondiente.

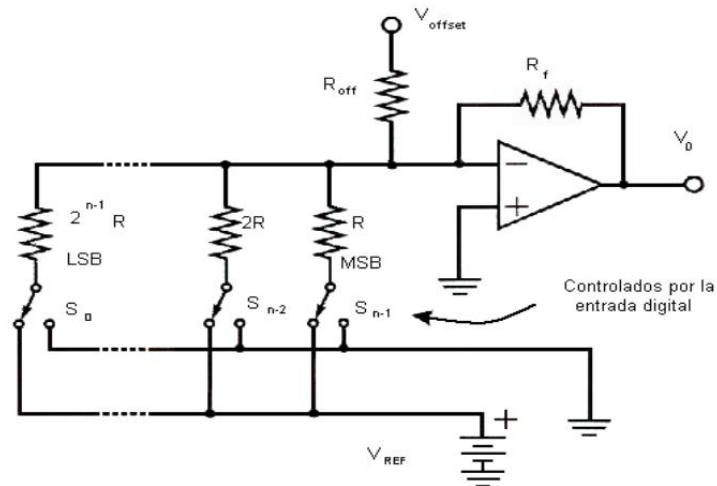


Fig. 29. Convertidor DAC con red de resistencias ponderadas

Cada interruptor ( $S_0, \dots, S_{n-1}$ ) pone cada resistencia a masa o a  $V_{REF}$  dependiendo de que la entrada digital sea "0" o "1". Los bits que son "0", al conectar la resistencia a masa, no aportan corriente, mientras que los que son "1", aportan una corriente proporcional al valor de la resistencia y, por tanto, al peso del bit. Se puede observar que la resistencia  $R_f$ , permite fijar la tensión de fondo de escala dada una tensión de referencia y que, además, la tensión de salida es unipolar y de signo contrario a la de referencia.

Uno de los grandes inconvenientes, es que tecnológicamente es difícil fabricar  $n$  resistencias que sigan una progresión geométrica y cubran un margen tan amplio con la precisión requerida, sobre todo cuando es un número de bits grande.

Otra desventaja son los tiempos de conmutación para cada línea, que son mayores cada vez que se acercan al bit menos significativo (LSB), debido a que, al ser una resistencia de mayor valor, la propagación de la intensidad se realiza más lentamente debido a la mayor constante de tiempo que presentan las capacidades parásitas involucradas en el circuito.

- **Red R – 2R en Escalera:** el principio de esta arquitectura consiste en dividir en dos la corriente que hay en cada nudo. Por ejemplo, si nos fijamos en el nudo A de la Fig. X, la mitad de la corriente que fluya a la derecha del nudo es aportada a través de la resistencia de valor  $2R$  correspondiente al MSB y la otra mitad es aportada a través de la resistencia de valor  $R$ , por la que circula la corriente asociada a los bits de un peso menor al MSB. La red está construida de tal forma que el efecto de la puesta a "1" de una línea de entrada provoca, en la entrada del amplificador operacional, una intensidad de corriente proporcional al peso del bit.

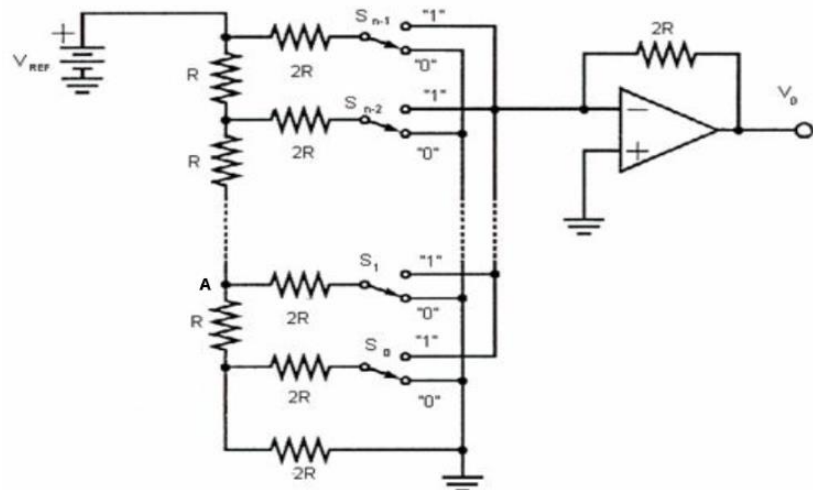


Fig. 30. Convertidor DAC con red R - 2R en escalera

Una de las ventajas es que solo se emplean resistencias de dos valores diferentes ( $R$  y  $2R$ ), por lo que mejora el problema planteado en la configuración de resistencias ponderadas. Mediante esta configuración, necesitamos unos valores resistivos fáciles de obtener, que la variación de las resistencias con la temperatura sea similar en todas ellas y se pueden emplear valores pequeños cuando sea necesario implementar conversores de alta velocidad.

Por otro lado, tiene la desventaja que se necesitan el doble de resistencias que en el caso de las resistencias ponderadas. Además, la corriente que inyecta el bit menos significativo tiene un retardo de propagación superior a la inyectada por el MSB, lo que puede ocasionar un mayor tiempo de conversión.



## 3. DESARROLLO DEL TFG

### 3.1. Elección de la herramienta de trabajo

Para realizar la tarjeta del circuito impreso se necesita una herramienta de diseño asistido por ordenador donde se hace el esquemático del circuito y después se colocan los componentes sobre una PCB.

Buscando a través de internet diferentes herramientas, se estudió trabajar con *Altium*, es una herramienta muy sofisticada, de lo último en diseño asistido por ordenador y por ello muy compleja de utilizar y el tiempo que requiere para su buen manejo es muy elevado, por lo que se descartó esa opción.

Una vez descartado *Altium*, se encontró *OrCAD*, una herramienta buena y no tan compleja como la anterior, además se pueden insertar librerías sin mucha complicación, por último, se encontró una herramienta adicional que es *SnapEDA*, que es una plataforma web donde puedes buscar el footprint del componente que quieras junto con su esquemático e importarlo directamente a *OrCAD*, facilitando el trabajo y no teniendo que dibujar desde cero el footprint de un componente que no se encontrara en las librerías instaladas en el programa, por todo ello se decidió empezar a trabajar con ella.

*OrCAD* tiene muchos módulos de programa, pero este trabajo se va a utilizar el módulo *Capture CIS*, para la realización de los esquemas eléctricos, y el *PCB Designer Professional*, para el desarrollo del diseño de la PCB.

### 3.2. Diseño y elección de los componentes

Vamos a dividir el diseño de dos partes dentro de la misma PCB debido a que si no lo separamos, los ruidos de las señales digitales afectarían gravemente las señales analógicas, anulando completamente el valor de estas últimas. Estas dos partes son: analógica y digital.

#### 3.2.1. Parte analógica

##### 3.2.1.1 DAC

Para la elección del DAC se tiene en cuenta varios factores, la frecuencia de actualización de las señales analógicas es de hasta 1 MSPS, por lo que como

se explicó en el apartado de diferentes tipos de DAC, un DAC con interfaz serie de un único canal por chip es el más adecuado. Por otro lado, se tiene en cuenta que un DAC con salida en corriente acompañado con un operacional sin offset y rápido, evita el error de offset que producen la mayoría de los DAC con salida en tensión.

Con las características anteriores, se escoge para realizar la conversión digital – analógica el DAC8811 de Texas Instrument de 16 bits. La transferencia de datos se realiza mediante un interfaz serie SPI. Tiene una arquitectura de red R – 2R de escalera, un tiempo de establecimiento de 0,5  $\mu$ s, un error de no linealidad máximo de  $\pm 1$ LSB y un error de linealidad diferencial de  $\pm 0,5$  LSB. Se ha escogido el empaquetado VSSOP de ocho pines.

En la siguiente figura se muestra el diagrama funcional del DAC, así como la configuración de los pines en el encapsulado que se va a utilizar VSSOP-8.

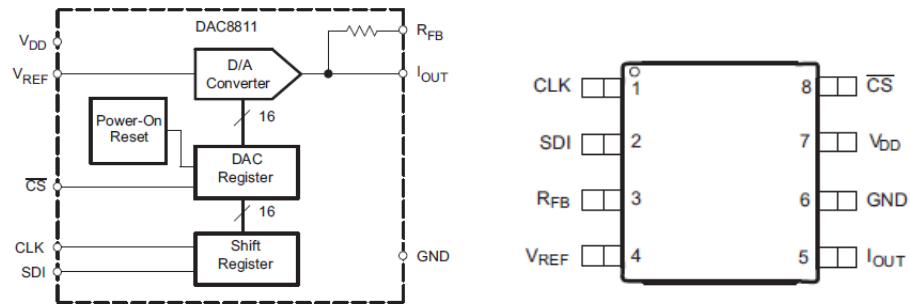


Fig. 31. Diagrama funcional y configuración de los pines del DAC8811

A continuación, se muestra una figura donde se puede saber para qué sirve cada pin del DAC.

Pin Functions			
PIN		TYPE	DESCRIPTION
NAME	NO.		
CLK	1	I	Clock input; positive edge triggered clocks data into shift register
SDI	2	I	Serial register input; data loads directly into the shift register MSB first. Extra leading bits are ignored.
R <sub>FB</sub>	3	O	Internal matching feedback resistor. Connect to external op amp output.
V <sub>REF</sub>	4	I	DAC reference input pin. Establishes DAC full-scale voltage. Constant input resistance versus code.
I <sub>OUT</sub>	5	O	DAC current output. Connects to inverting terminal of external precision I/V op amp.
GND	6	G	Analog and digital ground.
V <sub>DD</sub>	7	I	Positive power supply input. Specified operating range of 2.7 V to 5.5 V.
CS	8	I	Chip-select, active low digital input. Transfers shift register data to DAC register on rising edge. See Table 1 for operation.

Fig. 32. Descripción de las funciones de los pines del DAC8811

## Tensión de referencia del DAC

Como tensión de referencia,  $V_{REF}$ , se elige -3V que hará que tengamos a la salida una escala de 0 a -3V y un LSB de:

$$LSB = \frac{|V_{REF}|}{2^n} = \frac{|-3 V|}{2^{16}} = 45,8\mu V$$

Esto quiere decir que cada dato distinto en la entrada se verá afectado por una variación de tensión a la salida de 45,8µV. Este dato será muy importante durante todo el desarrollo del diseño pues será crítico el evitar perder la menor cantidad de datos posibles, ya que, si se trabaja con 16 bits, pero por errores se generan tensiones por el circuito que hagan perder muchos datos, no se estaría dando un uso correcto del convertidor y se podría haber escogido uno de menor resolución para realizar las mismas funciones, con el ahorro que ello conlleva.

Para que el DAC funcione necesita una referencia de tensión muy precisa para poder convertir las señales digitales a analógicas. Por ello, se utiliza una referencia de tensión configurada de tal forma que proporcione -3 V muy precisos y después de dicha referencia se utiliza un operacional en configuración de ganancia unitaria, en este caso es el OPA727AIDGKR de Texas Instrument, que sirve para suministrar la corriente necesaria para mantener esos -3 V continuamente.

La referencia de tensión escogida es la ADR5043BKSZ-REEL7 de Analog Devices, que tiene un error inicial de un 0,1%, pero como se coloca a continuación, a la salida de la referencia, el operacional, la caída de tensión por este efecto no será importante ya que la corriente la aportará el operacional, y esta tensión solo actuará como referencia a la entrada de dicho operacional.

Aunque el operacional resuelve el problema de la caída de tensión inicial de la referencia de tensión, introduce otros errores. En este caso el offset no afecta ya que como se ha explicado anteriormente lo que se quiere conseguir con este operacional es mantener los -3 V estables para cualquier situación de corriente y el offset de este es de 150 µV que supone un error del orden de 0.004%. Por lo que se escoge a continuación de la referencia es por su pequeño tiempo de subida (slew rate), que es de 30 V/µs, en este caso habrá cambios máximos de 0 a -3 V lo que supone un tiempo de subida de 0,1 µs, lo que es idóneo para este diseño, ya que, es inferior al tiempo de muestreo y, por tanto, a cada lectura de la señal obtendrá el valor correcto y estabilizado. Además, proporciona una atenuación de 35 dB a 300 kHz al ruido de la fuente de alimentación.

## Salida del DAC

A la salida del DAC, tenemos una tensión negativa y se quiere invertir la polaridad de esa tensión, por lo que a continuación de la salida del DAC se sitúa un operacional en configuración inversora para conseguir la tensión con la polaridad deseada. Se ha elegido de nuevo el OPA727 por su pequeño offset, 150  $\mu\text{V}$ , ya que estamos transmitiendo información, por su velocidad de crecimiento y por su tiempo de establecimiento ya comentado anteriormente. Con dicha velocidad de crecimiento, se asegura que, ante un cambio brusco a la entrada, el operacional puede cambiar, en este caso, de 0 a -3 V en 0,1 $\mu\text{s}$ , estando dentro del periodo requerido.

Para estabilizar la salida, el fabricante recomienda el uso de un condensador de entre 4 y 20 pF, en este caso se ha elegido uno estandarizado de 15pF.

## Alimentación del DAC, $V_{DD}$

Para alimentar el DAC se necesita, como ya se ha comentado anteriormente, una tensión de 3,3 V que no tenga ruido de otras señales. La FPGA proporciona una tensión de 3,3 V, pero introduciría mucho ruido digital que podría afectar a la señal de salida analógica.

Por lo expuesto anteriormente, se decide alimentar al DAC a través de un LDO de 3,3V, el LD2980ABM33TR de STMicroelectronics, con el que se consigue una tensión con bastante precisión, independiente y sin ruidos de componentes de alta frecuencia.

Este LDO va acompañado de dos condensadores para estabilizar la tensión como así recomienda el fabricante en su datasheet. El condensador de entrada es un condensador de 1 $\mu\text{F}$ , mientras que el de salida es de 2,2 $\mu\text{F}$ .

## Suministro de tensión positiva a los operacionales

Para suministrar la tensión positiva que alimenta los operacionales se elige hacerlo mediante LDOs (reguladores de baja caída). Estos se escogen ya que son más económicos que las referencias de tensión, ya que no se requiere tanta precisión y dan la corriente con la rapidez necesaria a los operacionales.

Para elegir la tensión que tienen que suministrar los LDO a la salida, para que el operacional llegue a los 3 V a la salida, hay que tener en cuenta que la tensión que suministren los LDO tiene que ser lo suficientemente elevada para que el operacional siempre llegue a los 3 V sin entrar en saturación, pero no la máxima permitida por el operacional porque podría ser muy alta para después la configuración de la protección a la salida. Por ello, se elige una tensión de salida de los LDO de 4 V, para superar la tensión que puede caer en el operacional.

Se elige el MCP1702T-4002E/CB de Microchip, que es un regulador fijo de 4 V y puede suministrar una corriente de 250 mA, que es más que suficiente.

Según la ficha técnica del componente, necesita dos condensadores uno a la entrada de 1 $\mu$ F cerámico para estabilizar el circuito y uno a la salida de 1 $\mu$ F cerámico, de tántalo o electrolítico.

### **Suministro de tensión negativa a los operacionales**

Para alimentar negativamente a los operacionales se elige el LDO MIC5270-4.1YM5-TR de Microchip Technology, con el que se suministra una tensión de -4.1 V que será suficiente para que se alcancen los -3 V necesarios. La alimentación podría venir directamente de la fuente de alimentación, pero de esta forma, con el LDO se consigue proteger la salida y también se realiza una limpieza de armónicos procedentes de la fuente de alimentación que pueden perturbar la señal analógica.

Otra característica a destacar del LDO es que es capaz de suministrar una corriente de 100 mA, por lo que cumple satisfactoriamente la demanda de 20 mA por canal que se necesitan aproximadamente.

El fabricante recomienda el uso de condensadores tanto a la entrada como a la salida para estabilizar la señal siendo estos de 1 $\mu$ F ambos.

Los LDO, tanto negativos como positivos se han elegido también teniendo en cuenta que aplican una atenuación de 50 dB a 300 kHz que sumada a la atenuación que aplica el OPA727 se obtiene una atenuación total de 85 dB lo que significa que para el ruido de la fuente de alimentación de 50 mV de pico a pico lo reduce a 5  $\mu$ V en la tensión de salida, que frente a los 45,8  $\mu$ V que corresponde al escalón de tensión con el que se realiza cada incremento de código en el DAC, supone un ruido despreciable.

### **Protección de la salida**

El DAC se utiliza en la señal que es la salida de la tarjeta por lo que se tiene que proteger ante los posibles fallos de conexión del usuario.

La primera protección es limitar la corriente que pueda salir de la tarjeta al exterior mediante una resistencia. Esta corriente se puede generar debido a un fallo interno, como puede ser la destrucción de un operacional y que su salida quede cortocircuitada con una de las tensiones de alimentación, provocando una tensión a la salida del operacional mucho mayor que la habitual de operación.

Otra protección que se pone es para proteger frente a tensiones erróneas que pueda colocar el usuario a la salida, por ejemplo, el fallo más habitual es

conectar al terminal de salida de la tarjeta otro terminal de salida de otro dispositivo, esto hace que se ponga otra tensión a la esperada en la salida, ya que lo que se espera que se conecte a la ella es una entrada de otro dispositivo a 0 V.

Para proteger la tarjeta de esas tensiones inesperadas se utilizan dos diodos Schottky.

La configuración de la protección queda de la forma mostrada en la siguiente figura.

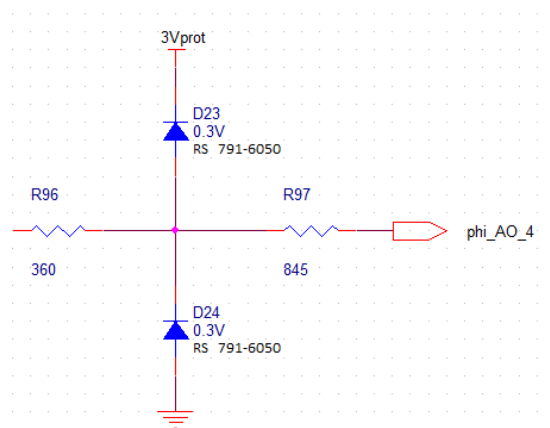


Fig. 33. Configuración para la protección de la salida de la señal

Se realizan los cálculos de protección para cuando el usuario pueda poner a la salida  $\pm 10$  V y una corriente de circulación máxima de 12 mA.

Esta configuración de protección está diseñada para que la corriente máxima circule por uno de los diodos de protección y que haya como máximo en el punto por donde circula la señal, 3,3 V y -0,3 V con una corriente de 12 mA.

Esta limitación en la tensión se consigue con dos diodos Schottky MBR0520LT3G de On Semiconductor que tiene una tensión umbral de 0,25 V a 25 °C y 12 mA.

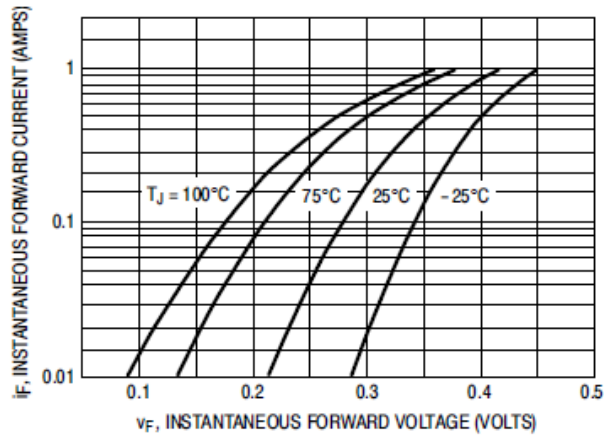


Fig. 34. Gráfica tensión umbral - corriente del MBR0520LT3G

Estos diodos tienen un error asociado, aunque tienen una tensión umbral menor a la de los diodos convencionales, su corriente de fuga inversa soportando una tensión inversa de 3 V, cuando el funcionamiento del circuito es correcto, a una temperatura máxima de 25 °C ya que no se calentarán al no circular corriente por ellos es de 6  $\mu$ A.

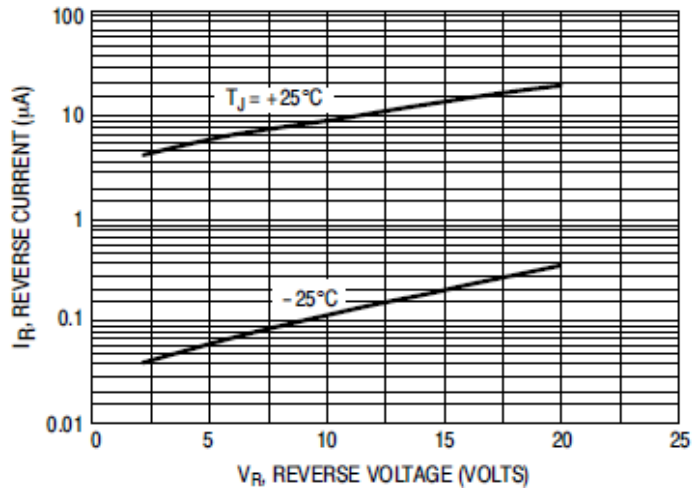


Fig. 35. Gráfica tensión inversa - corriente de fuga inversa de MBR0520LT3G

Ante un fallo interno, el operacional puede quedar cortocircuitado con una de las tensiones de alimentación, 4 V o -4.1 V. Se calcula para proteger en el peor de los casos.

$$R = \frac{\Delta V}{I} = \frac{4 V - (-0.3 V)}{12 mA} = 358 \Omega$$

Se escoge una resistencia mayor normalizada y que en el peor de los casos cumpla las condiciones, pudiendo también soportar la potencia que se disipa en ella cuando pase el máximo de la corriente.

Se escoge la resistencia CRCW0805360RFKEA de Vishay de un valor de 360  $\Omega$  con una tolerancia del 1%, cuyo posible valor mínimo es 363,3  $\Omega$  y disipa una potencia de hasta 0,125 W.

En este caso la potencia máxima que tiene que disipar es:

$$P = R \cdot I^2 = 363.6 \Omega \cdot 12^2 mA = 0.0524 W$$

Por lo que soporta el paso de esta corriente de fallo.

Para calcular la resistencia necesaria para proteger la tarjeta frente a errores externos, se supone una tensión de  $\pm 10$  V. Si se intenta conectar algo a la salida de +10 V, en el punto central donde se conectan los diodos hay 3,3 V como máximo, y si suponemos que el diodo está en fallo en cortocircuito como mínimo habrá 3 V. Sin embargo, si suponemos que se intenta conectar a -10 V, en el punto de conexión de los diodos habrá -0,3V debido a la tensión umbral del diodo y si este queda en fallo en cortocircuito, habrá 0 V, por lo que esta última será la peor situación y ante la que debemos proteger.

$$R = \frac{\Delta V}{I} = \frac{0 V - (-10 V)}{12 mA} = 833,33 \Omega$$

Se elige una resistencia de un valor normalizado superior, en este caso una ERA6AEB8450V de Panasosic de 845  $\Omega$  y con una tolerancia de 1%, siendo su mínimo valor de 844,1  $\Omega$  y puede disipar una potencia de 0,125 W.

$$P = R \cdot I^2 = 853.45 \Omega \cdot 12^2 mA = 0.123 W$$

Aunque está muy próximo al valor de potencia que soporta esta resistencia, este no es el valor de destrucción de la resistencia, por lo que soportará perfectamente el paso de esta corriente.



### 3.2.1.2 ADC

El ADC elegido para realizar la conversión analógico-digital es el AD7476ARTZ-500RL7 de Analog Devices. Es un convertidor de 12 bits, con interfaz serie compatible con SPI, con una arquitectura de aproximaciones sucesivas y que opera a 1MSPS. Se elegirá el encapsulado SOT-23, de seis pines.

En la siguiente figura se muestra un esquema con las entradas y salidas, así como el encapsulado y la configuración de los pines.

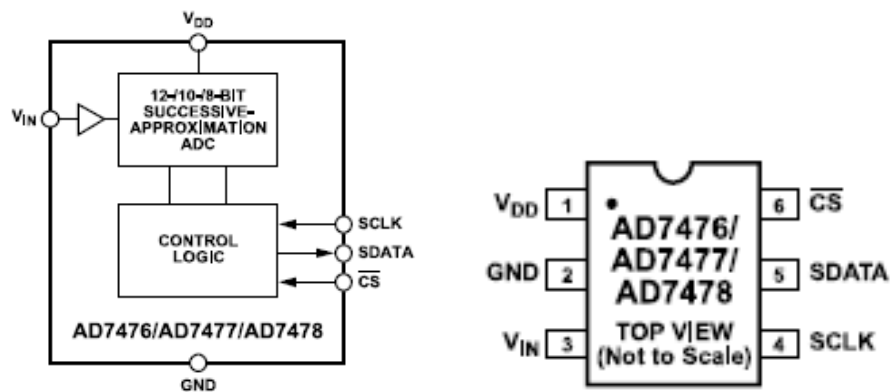


Fig. 36. Diagrama de bloques funcional y configuración de los pines del AD747X

Como se observa en el diagrama funcional de bloques de la Fig. 36, tiene tres señales digitales, debido a la interfaz serie. La señal reloj (SCLK) y la señal chip select (CS), que son de entrada y la señal de datos (SDATA), que es de salida.

Además de las señales digitales, tiene la señal de entrada  $V_{IN}$ , que es la señal analógica que se quiere convertir en una señal digital, cuyo valor estará entre 0 y 3,3 V y también tiene la alimentación del componente,  $V_{DD}$ , que tiene que ser una tensión suficiente para poder convertir las señales, siendo también la conexión por donde se suministre la potencia que absorberá el componente.

La resolución de este componente será:

$$LSB = \frac{V_{REF}=V_{DD}}{2^n} = \frac{3,3 V}{2^{12}} = 806 \mu V ,$$

esta resolución indica la precisión de la señal que queremos transmitir. A mayor resolución, mayor será el número de cifras que podamos transmitir.

## Alimentación y referencia de tensión del ADC

Necesitamos como referencia de tensión, alimentación  $V_{DD}$ , 3,3 V muy precisos, ya que será la escala que tendrá el DAC interno del ADC para operar. Cuanto más preciso sea esta tensión, más precisa será la conversión ADC. Para ello, se elige la referencia de tensión LM4040AEX3-3.3+T de Maxim Integrated, pero este componente no es capaz de suministrar una corriente de 3,5mA que absorber el ADC sin tener una caída de tensión que no afecte a la precisión de dicho ADC. Por ello, se coloca un amplificador operacional, el OPA365AIDBVT de Texas Instrument, en configuración de ganancia unitaria, así, se consigue suministrar la corriente necesaria para todos los ADC utilizados en la tarjeta sin perder precisión, es decir, con una referencia de tensión de 3,3V y el OPA365, conseguimos alimentar todos los ADC de la placa.

El operacional necesitará un condensador a la entrada de su alimentación positiva de  $1\mu\text{F}$  de tántalo, que a su vez será el que necesita el LDO, con el que vamos a alimentar positivamente dicho operacional con una tensión de 4V, a la salida.

La referencia de tensión únicamente tendrá a mayores una resistencia, que va a ser la que limite la corriente a  $300\mu\text{A}$ , se ha calculado que tiene que ser de  $6\text{K}6\Omega$ .

El LDO que he comentado anteriormente será el MCP1702T-4002E/CB de Microchip, y servirá para alimentar el operacional y filtrar la tensión que viene directa de la fuente. A parte del condensador de salida descrito anteriormente, necesita un condensador a la entrada de  $1\mu\text{F}$ , cerámico.

## Filtro de entrada analógica

Se va a utilizar un filtro de paso bajo activo con la configuración de Sallen – Key, es de segundo orden, para eliminar las frecuencias altas que pueden generar señales mal muestreadas en el convertidor ADC, provocando aliasing o solapamiento. Está compuesto únicamente por seis elementos: tres resistencias, dos condensadores y el componente activo, un amplificador operacional. Este filtro solo permite el paso de las frecuencias bajas y atenúa las altas.

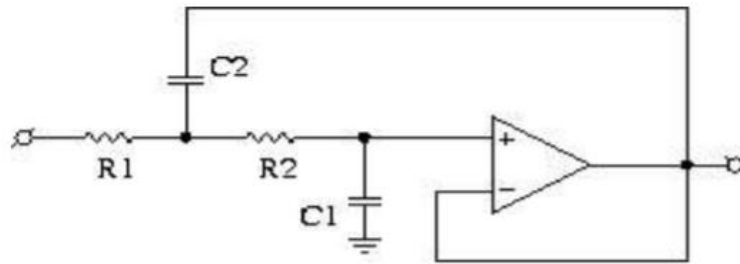


Fig. 37. Filtro paso bajo configuración Sallen-Key

El funcionamiento general del filtro es el siguiente:

- Para frecuencias muy altas los condensadores funcionarán como cortocircuitos ya que su impedancia es:  $z = \frac{1}{\omega j}$ , donde  $\omega = 2 \cdot \pi \cdot f$ .
- Para frecuencias bajas o tensiones continuas los condensadores serán como un circuito abierto.

Por esto, a frecuencias muy elevadas el terminal no inversor del operacional estará a tierra y al tener realimentación negativa, el terminal inversor estará a tierra igual que el terminal no inversor y, por tanto, la salida. Sin embargo, a bajas frecuencias, como los condensadores actúan como un circuito abierto, las dos resistencias estarán en serie y al no circular corriente, el operacional actúa como seguidor de tensión y la tensión de entrada será la tensión de salida.

En este caso además del circuito mostrado en la Fig. 37, se ha puesto un divisor de tensión en el lazo de realimentación negativo para variar la ganancia del filtro quedando el circuito de la siguiente forma:

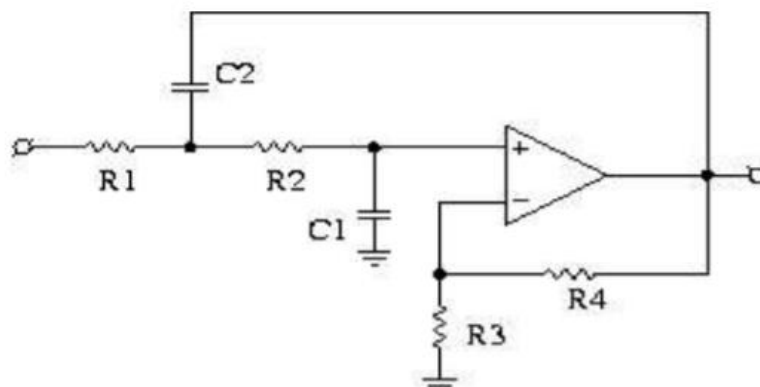


Fig. 38. Filtro paso bajo Sallen-Key con ajuste de ganancia

A la hora de elegir la frecuencia de corte del filtro sabemos que, según el teorema de Nyquist, para que una señal se reconstruya correctamente, la frecuencia de muestreo tiene que ser mayor que el doble de la frecuencia máxima de la señal a muestrear.

Para este caso, se va a muestrear a 1MSPS, por lo que el filtro ideal paso bajo tendría una frecuencia de corte de 0,5 MHz.

A través de una herramienta de cálculo de filtro de Sallen – Key llamada [Sallen-Key Low-pass Filter Design Tool](#), se observa que cuando se tiene una frecuencia de corte de 0,5 MHz hay sobrepicos hasta que se llega al valor deseado, y eso se quiere evitar. Por ello se realizan ensayos en dicha herramienta de prueba y error hasta que se consigue un valor de la respuesta aceptable como la obtenida en la siguiente figura.

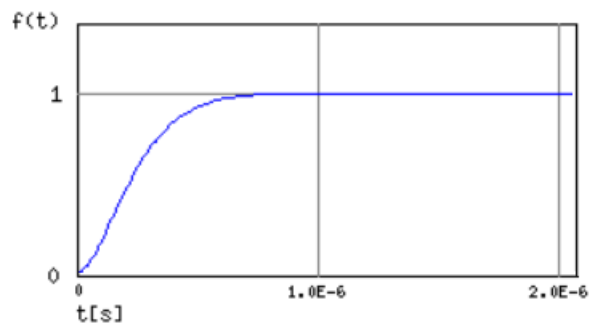


Fig. 39. Respuesta ante una entrada escalón unitaria

En la gráfica se observa cómo antes de 1  $\mu$ s, que es el período de tiempo con el que se trabaja en nuestro equipo, la señal ha llegado a su objetivo y permanece estable, siendo esta una respuesta válida para nuestro diseño. También, cabe destacar dos datos muy característicos como son: la frecuencia de corte,  $f_c$ , que es de 1172 KHz y el coeficiente de amortiguamiento,  $\zeta$ , que es igual a 0,905.

Los valores con los que se ha obtenido dicha respuesta son respecto a la Fig. 39:

$$R1 = 1500 \Omega$$

$$R2 = 1500 \Omega$$

$$C1 = 82 \text{ pF}$$

$$C2 = 100 \text{ pF}$$

Estos valores tienen que ser muy precisos por lo que se escogen con una tolerancia de un 0,1%.

## **Acondicionamiento de la entrada**

Para leer con precisión la entrada, independientemente de la impedancia que esté presente, se coloca un operacional que, además hará que la siguiente etapa que recorra la señal analógica, en este caso el filtro, sea independiente de la entrada.

El operacional elegido es el OPA727AIDGKR de Texas Instrument, tiene un offset máximo muy pequeño,  $150\mu\text{V}$ , una velocidad de subida (slew rate) de  $30\text{V}/\mu\text{s}$ , que este caso sería de  $0,1\mu\text{V}$ , ya que el máximo cambio es de  $0\text{ V}$  a  $3\text{V}$  y viceversa, un alcance de la tensión de alimentación con una pérdida de  $350\text{ mV}$ , por lo que se tendrá que conectar a la alimentación negativa un LDO negativo, para cuando a la entrada haya  $0\text{ V}$ .

Además, dicho operacional tendrá una configuración para que la ganancia sea unitaria, poniendo en la realimentación negativa una resistencia de  $10\text{K}5\Omega$ . Para hallar este valor se han tenido que tener en cuenta las resistencias que protegen la entrada de la tarjeta, las entradas a los ADC, que son de  $8\text{K}45\Omega$  y de  $845\Omega$  y las resistencias que protegen la salida de la tarjeta, en este caso las salidas de los DAC, de  $360\Omega$  y de  $845\Omega$ . Estas últimas resistencias de entrada se han tenido en consideración suponiendo que el equipo que se conecte a nuestra tarjeta tenga más o menos esos valores en su impedancia de salida.

Estos valores son elegidos para evitar errores de offset, ya que, si el operacional tiene a la entrada la misma resistencia que en su realimentación, la diferencia de tensión que se pueda producir entre los terminales de entrada de dicho operacional a causa de las corrientes de fuga, corrientes de entrada a los operacionales, sería compensada y anulada, si las dos entradas se conecta la misma resistencia total.

La suma de las resistencias enumeradas anteriormente da el valor de  $10\text{K}5\Omega$ , por lo que la de realimentación será de ese valor, como ya se ha comentado anteriormente.

Esta configuración también permite que independientemente de la entrada que se conecte, si es otro tipo de entrada, aunque no presente impedancia alguna, el operacional vea como mínimo  $9245\Omega$  de la entrada de la tarjeta, frente a los  $10\text{K}5\Omega$  de la realimentación.

## **Alimentación de los operacionales**

Este apartado es exactamente igual los de la alimentación de los operacionales de los DAC, con las mismas tensiones de  $-4.1\text{ V}$  y de  $4\text{ V}$ .

## Protección de la entrada

Para evitar daños o la destrucción de algún componente interno de la tarjeta se va a proteger la entrada mediante un sistema formado por dos resistencias y dos diodos al igual que se hace en la protección de la salida.

Para proteger la entrada frente a un fallo externo, debemos proteger los elementos de la tarjeta, al no poder dañar al usuario o equipo externo por la configuración que se ha adoptado, la seguridad puede ser menos estricta.

Se eligen dos diodos con una tensión umbral próxima a 0,3 V cuando circulan 12 mA. Estos diodos son SBAT54SLT1G de On Semiconductor, tienen una tensión umbral de 0,35 V cuando circula una corriente de 12 mA a una temperatura de 25°C.

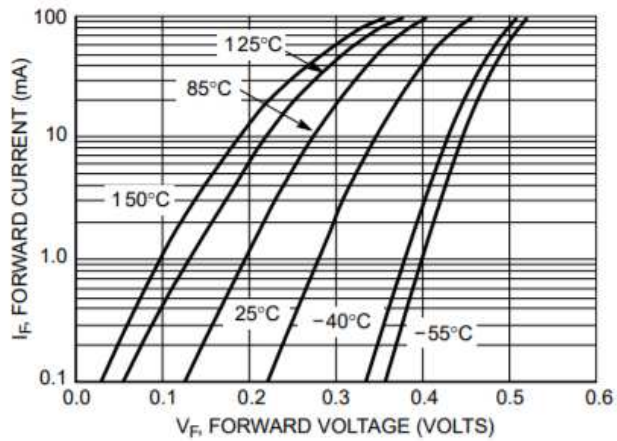


Fig. 40. Gráfica de la tensión umbral de los diodos

A su vez, tienen una corriente inversa de fuga con un valor de 0.002  $\mu$ A cuando no está en polarización directa, para una tensión inversa de 3 V como se puede apreciar en la gráfica que se muestra en la siguiente figura.

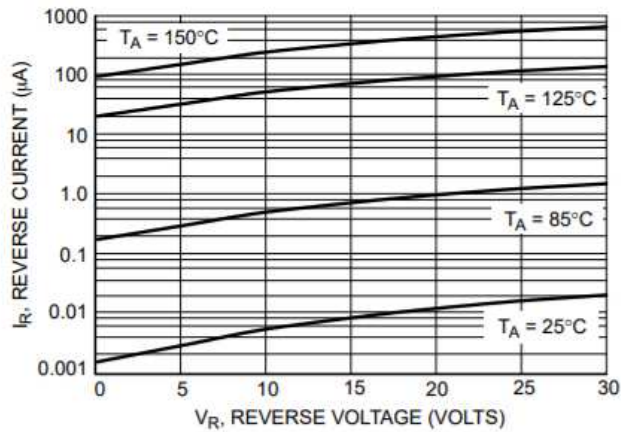


Fig. 41. Gráfica tensión - corriente inversa

Esta corriente es despreciable y no produce ninguna distorsión en la señal de entrada que pretendemos proteger.

Estos diodos van a estar conectados, uno a tierra para proteger la tarjeta cuando la tensión errónea que se introduzca sea negativa y otro a 3,3 V para proteger la tarjeta cuando se introduzca mayor tensión positiva. Estos 3,3 V, no van a estar conectados directamente desde la FPGA ya que al ser una señal digital tienen mucho ruido. Se utiliza una referencia de tensión que fija esos 3,3 V y a continuación un operacional que es capaz de suministrar la corriente necesaria a todos los canales analógicos a la vez, en caso de que fallaran todos.

La referencia de tensión escogida es el modelo LM4040AEX3-3.3+T de Maxim Integrated y el operacional elegido es el AD8531AKSZ-REEL7 de Analog Devices.

Se debe proteger la tarjeta por si el usuario conecta una tensión incorrecta a la entrada, como ya se ha comentado anteriormente, se ha decidido proteger la tarjeta frente a una entrada de  $\pm 10$  V y se pretende que no circulen más de 12 mA. El peor caso es cuando se conecten -10 V y el diodo presente una tensión umbral menor a la que se ha supuesto, hasta un mínimo de que quede en cortocircuito. La resistencia que protege en ese peor caso será la calculada a continuación.

$$R = \frac{\Delta V}{I} = \frac{0\text{ V} - (-10\text{ V})}{12\text{ mA}} = 833.3\Omega$$

Se busca un valor normalizado cercano al anterior y se opta por coger una resistencia de 845  $\Omega$ , la misma que se escoge en la protección de la salida.

### Conexiones de salida y entrada de la parte analógica

Para ambas, tanto salida como entrada analógica se ha elegido un conector hembra 90° de 12 conexiones, en dos hileras de seis conexiones con un paso de 2,54mm (100 mils) y son SSW-106-02-G-D-RA de Samtec, las señales se conectarán de la siguiente forma:

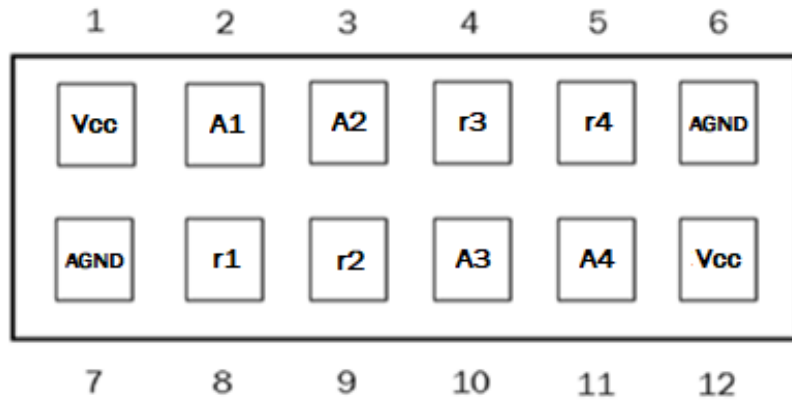


Fig. 42. Configuración de las conexiones en los conectores analógicos

Se ha elegido esta configuración ya que si por un casual a la hora de conectar otro terminal, se conecta del revés, es decir en la señal r1 la A4, en la r2 la A3, en r3 la A2 y en r4 la A1, evitamos de esta forma que se produzca un cortocircuito entre las señales, aunque conectadas de esa manera no funcionaría, protegiendo de nuevo tanto nuestro equipo, que ya está protegido, como el exterior.

Esta configuración es, además, simétrica y fácil de memorizar.

A 90° quiere decir que será en esta disposición, como se muestra en la siguiente figura.

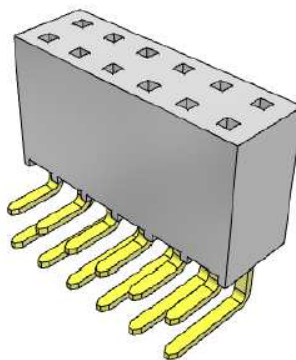


Fig. 43. Conector SSW-106-02-G-D-RA de Samtec



### **Inversores disparadores Schmitt**

Estos dispositivos se van a utilizar para controlar los retardos que se producen en las transiciones del envío de datos. Estos retardos son ocasionados debido a las capacidades parásitas que tienen que superar las señales a través del conector de la FPGA en los cambios de la señal digital de 0 a 1 y viceversa. Se ha medido que este retardo es del orden de 20 ns.

Este retardo en el cambio de la señal puede ocasionar que en el instante en el que se produce el flanco de subida de la señal de reloj (CLK), el dato leído no sea el mandado en ese instante sino en el instante siguiente, o que no dé tiempo a los convertidores a procesar ese dato, con la consiguiente pérdida de datos. Sumando ese tiempo de retardo en el cambio de la señal, el dato final perdería toda la fiabilidad.

Con el Schmitt se consigue tener controlado ese retardo, disminuirlo a 2ns y será constante por lo que se puede tener en cuenta a la hora de programar la FPGA y conseguimos el efecto de histéresis, pues el rango de cambio de 0 a 1 está espaciado por una banda y no por un valor.

Para alimentar el disparador se usará una tensión de 3,3 V que proviene de la fuente de alimentación de 3,3 V, dedicada a todos los elementos digitales.

En el siguiente apartado se explica el funcionamiento del disparador Schmitt más en detalle.

## **3.2.2 Parte digital**

La parte digital va a estar formada básicamente por una protección frente a fallos internos y externos y por disparadores Schmitt.

### **3.2.2.1 Entradas digitales**

Las señales de entrada digital recorren distancias considerables en cuanto a que tienen que soportar capacidades parásitas, como son las pistas por donde circula la señal, el conector de la FPGA, los conectores de entrada, etc., que afectan negativamente a la velocidad de transición de los cambios en la señal. Para resolver el problema y obtener una mejor señal con la que la FPGA trabaje, se colocan los disparadores Schmitt. Son los encargados de conseguir que la transición sea más rápida y de que los niveles estén lo mejor definidos.

### 3.2.2.2 Salidas digitales

Las señales de salida digital al igual que las señales de entrada, tienen que recorrer grandes distancias, donde se producen retardos por las capacidades parásitas de los conductores y de los conectores, tanto de la FPGA como los de salida de la tarjeta. Esto ocasiona que la transición de un nivel a otro sea muy lenta. Para solucionar este problema se introducen los disparadores Schmitt cerca de la salida de la tarjeta para conseguir que esas transiciones sean mucho más rápidas, más semejantes a lo que es una respuesta en escalón, define los niveles finales de las transiciones mucho mejor y así, se consigue que la señal llegue al exterior de la mejor forma posible para ser interpretada por los equipos.

### 3.2.2.3 Inversores disparadores Schmitt

En cada canal digital se va a colocar un elemento inversor disparador de Schmitt (*trigger Schmitt*) con el objetivo de evitar que se propaguen ruidos en la señal digital que podrían provocar falsos cambios de estado y también, para que los cambios de estado se produzcan de manera más rápida y brusca, ya que este disparador funciona de tal forma que una vez superado un valor de una tensión de referencia a la entrada, cambiará bruscamente sin tener que esperar a que se llegue a ese valor final.

Se ha elegido el componente NC7SZ14M5X de Fairchild Semiconductor con un encapsulado SOT-23.

El componente está formado por un comparador con histéresis con la salida invertida.

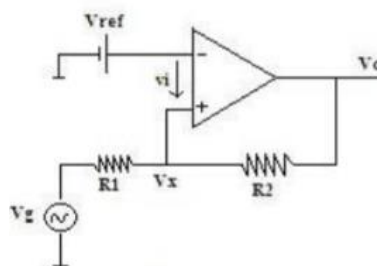


Fig. 44. Circuito de un comparador con histéresis

El funcionamiento global del comparador por histéresis es el siguiente:

$V_x$  depende directamente de la tensión de la señal con la que vamos a trabajar,  $V_g$ .

Se fija una tensión de referencia,  $V_{ref}$  y al estar conectada al terminal inversor del operacional, si  $V_{ref} > V_x$  el operacional satura negativamente, dando a la salida su tensión negativa de alimentación,  $-V_{CC}$ .

Mientras que, si sucede, al contrario, es decir  $V_x > V_{ref}$ , la tensión de salida  $V_o = +V_{CC}$ , saturación positiva, tensión de alimentación positiva del operacional.

Lo explicado hasta ahora es el funcionamiento de un comparador simple, a continuación, se explica el funcionamiento con la histéresis.

Un trigger Schmitt cambia su estado cuando la tensión en su entrada sobrepasa un determinado nivel, pero la salida no vuelve a cambiar cuando la entrada baja de ese voltaje, sino que el nivel de tensión para el cambio es otro distinto, más bajo que el primero. A este efecto es a lo que se conoce como ciclo de histéresis.

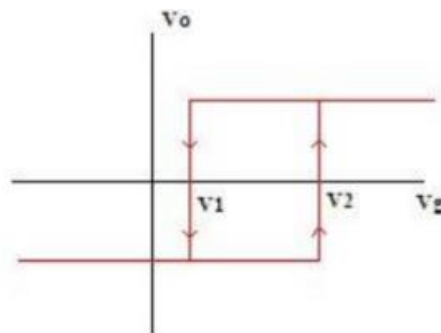


Fig. 45. Ciclo de histéresis

A continuación, se muestra una gráfica donde se observa cómo funciona el disparador Schmitt.

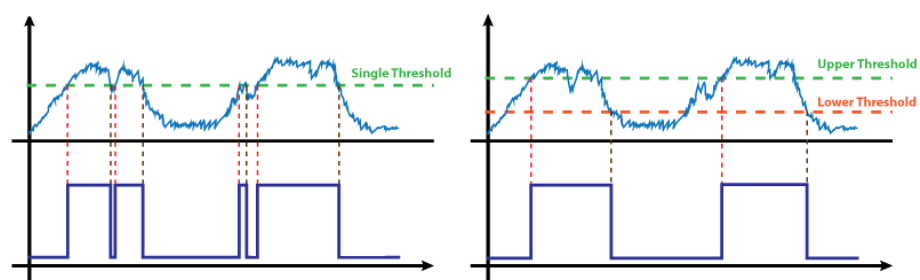


Fig. 46. Efecto del disparador Schmitt

En la Fig. 46. se observa como en la primera gráfica teniendo un solo nivel de conmutación, cuando hay un mínimo ruido que sobrepasa por encima o por

debajo de la tensión establecida, la línea de trazos verde, se produce una conmutación errónea, obteniendo así una salida no válida.

Sin embargo, en la segunda gráfica de la Fig. 46. se tienen dos niveles distintos de tensión a la que conmuta, siendo estos la línea de trazo roja el nivel inferior y la línea de trazos verde el superior. Se aprecia como el ruido de la señal ahora ya no afecta a las transiciones ya que tiene que alcanzar un valor bastante menor o mayor para conmutar, obteniendo así el resultado esperado.

### Protección estrada y salida

Para proteger tanto las salidas como las entradas digitales se va a utilizar la misma configuración que se utiliza con las analógicas, es decir, dos resistencias para limitar la corriente y la tensión máxima que puede circular por la tarjeta para no dañar ni los componentes internos, ni externos, además se van a poner unas resistencias adicionales. En el caso de la salida una resistencia en pull up, para que, en caso de un fallo en la emisión de la señal en la FPGA, desde la salida se vea como un 1 lógico, mientras que en la entrada se pone en pull down, que en este caso si hay algún fallo en la señal desde el exterior hacia la FPGA, esta detectará que se envía desde el exterior un 0 lógico.

Se ha decidido que los valores máximos de tensión y corriente que va a tolerar el circuito y sus protecciones en la parte digital van a ser de  $\pm 7$  V y de 12 mA, con estos valores se calcula a continuación las resistencias de protección.

$$R = \frac{V}{I} = \frac{3,3 V}{12mA} = 275 \Omega$$

Esta resistencia protege el circuito limitando la corriente a 12 mA en un funcionamiento normal, la siguiente resistencia se calcula en el peor caso, cuando desde el exterior se conecte algo por error a una tensión de  $\pm 7$  V, siendo el peor caso con -7 V, circulando 12 mA y que el diodo entre por fallo en cortocircuito.

$$R = \frac{V}{I} = -\frac{7 V}{12mA} = 583 \Omega$$

En el caso de las señales digitales de entrada se coloca directamente una resistencia de la suma de las dos calculadas anteriormente y normalizada, es

este caso se elige una CRCW080520K0JNEA de Vishay con valor de 1 K $\Omega$ , con 1% de tolerancia y puede disipar hasta 0,25 W.

$$P = R \cdot I^2 = 1010 \Omega \cdot 12^2 mA = 0,145 W$$

Como se puede observar disipa perfectamente la máxima potencia.

Un elemento adicional en el caso de las señales digitales de entrada es colocar una resistencia en serie a la salida del disparador Schmitt para limitar la corriente que pueda entregar a la FPGA en caso de fallo. Esta resistencia se calcula teniendo en cuenta que el Schmitt puede dar hasta 24 mA y queremos limitar esa corriente a 18 mA.

$$R = \frac{V}{I} = \frac{3,3 V}{18 mA} = 183 \Omega$$

Elegimos una resistencia mayor normalizada que en el peor caso cumpla con las especificaciones requeridas, se elige una CRCW0805200RFKEA de Vishay con un valor de 200  $\Omega$ , una tolerancia de 1% y puede disipar una potencia de 0,125 W.

$$P = R \cdot I^2 = 202 \Omega \cdot 18^2 mA = 0,0654 W$$

En el caso de la protección para la salida de las señales digitales, se ponen las dos resistencias por separado calculadas al principio de este apartado, eligiendo para la que teóricamente su valor es de 275  $\Omega$  una ERJ8ENF3000V de Panasonic de 300  $\Omega$ , con un 1% de tolerancia y soporta 0,25W.

$$P = R \cdot I^2 = 303 \Omega \cdot 12^2 mA = 0,0436 W$$

La resistencia que protege frente a la conexión de una tensión en el peor caso de -7 V, además de que entre el diodo en cortocircuito es de 583  $\Omega$ , siendo normalizada a una ERJ8ENF6040V de 604  $\Omega$ , una tolerancia del 1% y puede disipar 0,25 W.

$$P = R \cdot I^2 = 606,4 \Omega \cdot 12^2 mA = 0,0873 W$$

La tensión de 3,3 V a la que se alimenta uno de los diodos de protección proviene directamente de la FPGA.

### Conexiones entrada y salida

Al igual que en caso de las señales analógicas se ha elegido un conector de 12 conexiones a 90° y en dividido en dos hileras de 6 conexiones con una separación de 2,54 mm (100mils), el SSW-106-02-G-D-RA de Samtec. Las señales se conectarán de la siguiente forma:

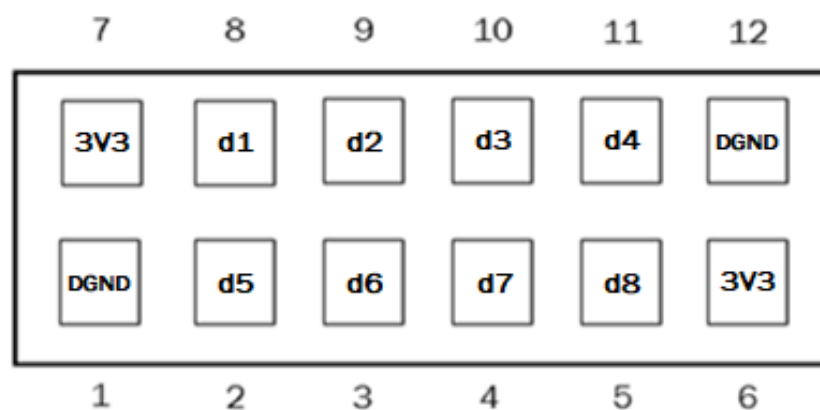


Fig. 47. Configuración de los conectores digitales

El resto de las señales digitales están configuradas de la misma forma en el resto de conectores digitales.

### 3.2.3 Elección de la fuente de alimentación

Las fuentes de alimentación suministrarán energía a los operacionales de toda la tarjeta. Para elegir las se ha de estimar la potencia consumida por todos los canales.

A la hora de elegir las fuentes, se han tenido en cuenta varias opciones, con un transformador de 220V/5V y este iría a una fuente de alimentación DC/DC de salida +5V, a otra DC/DC de salida -5V y por último iría conectado directamente a la FPGA para alimentarla.

Otra opción que se ha barajado ha sido, un transformador de 220V/12V que alimente a una fuente de tensión de 12V/+5V, a otra 12V/-5V y por último a

otra para alimentar la FPGA de 12V/5V. Este último caso queda descartado desde un principio.

Buscando fuentes de alimentación de -5V de salida, se encontraron muy pocas y no tenían las características deseadas, por lo que finalmente se decidió otra configuración.

La configuración elegida está formada por un transformador 220V/5V que admite la frecuencia de la red en España, 50 Hz, y este a su vez alimenta una fuente de alimentación DC/DC de 5V/ $\pm$ 5V de 10W con la que se van a alimentar tanto las entradas como las salidas analógicas, para suministrar la tensión de 3,3 V que necesita la parte digital y los Schmitt se va a utilizar una fuente de tensión DC/DC de 5V/3V3 de 3W, con los 5 V que da el transformador se alimenta directamente la FPGA y los conectores de entradas y salidas analógicas.

El transformador elegido es un GST60A05-P1J de Mean Well, aporta 5 V y ofrece 30 W, una regulación de carga del 5%, una regulación de línea del 1% y un ruido de pico a pico de 150 mV.

Como fuente de alimentación DC/DC que se va a utilizar para alimentar las entradas y salidas analógicas se elige el modelo JCA1005D01 de XP, tiene una entrada de 5 V y da una salida de  $\pm$ 5 V con un 1% de precisión, suministra cada una hasta 10 W, suficiente para alimentar todo lo necesario, el cálculo de la potencia se realiza en el apartado siguiente, un rendimiento del 82%, un ruido de 50 mV de pico a pico, trabaja con una frecuencia de 300kHz, regulación de carga de 1% lo que significa que independientemente de la corriente que se tenga que suministrar al circuito, la tensión de salida puede llegar a variar como mucho un 1%, tiene una regulación de línea de 0,3%, esto quiere decir que aunque varíe la tensión a la entrada, la salida solo variará como mucho un 0,3%, no requiere una carga mínima, otro dato a tener en cuenta a la hora de elegir es el MTBF (Mean Time Between Failures), una medida de fiabilidad, especifica el tiempo en que permanecerá sin averías cuando trabaje en las condiciones físicas sobre las que está diseñado, en el caso de esta fuente es más de 950 kHrs a 25 °C y por último, admite trabajar hasta una temperatura máxima de +100 °C.

La fuente que proporcionará una tensión de 3,3 V será una JCA0205S03 de XP, con una entrada de 5 V, una salida de +3,3 V, con un 1% de precisión, suministra hasta 3 W, un ruido de 50 mV de pico a pico, un rendimiento de 69%, que aunque es muy bajo se compensa con el resto de características de la fuente, trabaja a una frecuencia de 300 kHz, regulación de carga de 1%, regulación de línea de 0,3%, un MTBF de más de 2MHrs a 25 °C, no requiere carga mínima y puede trabajar a una temperatura máxima de 100 °C.

### 3.2.4 Cálculo de potencias

Calculamos primero la parte analógica que es la que más potencia va a consumir. Se realiza una estimación aproximada de la potencia que se va a necesitar.

Empezamos por la referencia de tensión con la que conseguimos los 3V en la salida analógica, la potencia se halla sabiendo la diferencia de tensión entre la salida y la entrada del elemento y la corriente que va a suministrar a su salida.

$$P = V \cdot I = \frac{5.05 \text{ V} - 0 \text{ V}}{300 \mu\text{A}} = 1,52 \text{ mW}$$

Ahora calculamos la potencia que consumirá el OPA727, en el datasheet viene que consume una corriente mínima de 6,5 mA, en este caso esta alimentado por dos LDO de 0 V y de -4,1 V y además tiene que suministrar una corriente de 0,6 mA al DAC, esta corriente se calcula suponiendo que tiene una resistencia del orden de 5 K $\Omega$  y tiene que haber -3 V, por lo que:  $I = \frac{V}{R} = \frac{-3 \text{ V}}{5 \text{ K}} = 0,6 \text{ mA}$ . Por lo que consumirá siempre la suma de las potencias generadas por ambas corrientes.

$$P_1 = V \cdot I = (0 \text{ V} - (-4.1 \text{ V})) \cdot 6,5 \text{ mA} = 26,7 \text{ mW}$$

$$P_2 = V \cdot I = 3 \text{ V} \cdot 0,6 \text{ mA} = 1,8 \text{ mW}$$

$$P_T = P_1 + P_2 = 26,7 \text{ mW} + 1,8 \text{ mW} = 28,5 \text{ mW}$$

Calculamos la potencia del LDO con el que alimentamos negativamente al OPA727 con -4,1 V y suministrará la corriente de 6,5 mA.

$$P = V \cdot I = (5,05 \text{ V} - 4,1 \text{ V}) \cdot 6,5 \text{ mA} = 6,18 \text{ mW}$$

Potencia consumida por el LDO que alimenta al DAC con una tensión de 3,3 V y una corriente de 10  $\mu\text{A}$ .

$$P = V \cdot I = (5,05 \text{ V} - 3,3 \text{ V}) \cdot 10 \mu\text{A} = 0,0175 \text{ mW}$$



La potencia del segundo OPA727 va a ser diferente a la del primero porque esta alimentado por tensiones diferentes y tiene que poder suministrar más corriente, los 6,5 mA que siempre circula por él, más los 12 mA que puede necesitar a la salida.

$$P_1 = V \cdot I = (4 \text{ V} - (-4.1 \text{ V})) \cdot 6,5 \text{ mA} = 52,7 \text{ mW}$$

$$P_2 = V \cdot I = 3 \text{ V} \cdot 12 \text{ mA} = 36 \text{ mW}$$

$$P_T = P_1 + P_2 = 52,7 \text{ mW} + 36 \text{ mW} = 88,7 \text{ mW}$$

La potencia del LDO que alimenta positivamente al OPA727 se calcula teniendo en cuenta que va a tener que suministrar los 6,5 mA que circulan siempre por el OPA y los 12 mA que tiene que entregar a la salida.

$$P = V \cdot I = (5,05 \text{ V} - 4 \text{ V}) \cdot (6,5 \text{ mA} + 12 \text{ mA}) = 19,4 \text{ mW}$$

La potencia que consume el LDO que alimenta negativamente al OPA727 solo tendrá que suministrar como mucho la corriente de 6,5 mA que va a circular siempre por el operacional.

$$P = V \cdot I = (-5,05 \text{ V} - (-4.1 \text{ V})) \cdot 6,5 \text{ mA} = 6,18 \text{ mW}$$

Ahora se calcula la potencia de los elementos que proporcionan la tensión de 3,3 V en caso de que tenga que actuar la protección por algún fallo, que son una referencia de tensión de 3 V al igual que la referencia de -3 V y un operacional, el AD8531 que suministra la corriente necesaria.

La potencia de la referencia de tensión se calcula igual que la referencia de tensión de -3 V calculada anteriormente y consume la misma potencia, 1,52 mW.

La potencia del operacional AD8531 se calcula teniendo en cuenta que circula por él una corriente siempre de 1,25 mA, que se alimenta a +5 V y a 0 V y que tiene que poder suministrar una corriente de 12 mA a cada canal.

$$P_1 = V \cdot I = (5,05 \text{ V} - 0 \text{ V}) \cdot 1,25 \text{ mA} = 6,31 \text{ mW}$$

$$P_2 = V \cdot I = 3 \text{ V} \cdot 12 \text{ mA} = 36 \text{ mW}$$

$$P_T = P_1 + 8 \cdot P_2 = 6,31 \text{ mW} + 8 \cdot 36 \text{ mW} = 582 \text{ mW}$$

A continuación, se calculan las potencias consumidas por los canales de entrada analógicos.

La potencia consumida por la protección ya está calculada anteriormente y son 582 mW, así que se continúa calculando la potencia del operacional que va a ser el encargado de suministrar la corriente de la señal, un OPA727 alimentado con +4 V y con -4,1 V y tiene que suministrar una corriente de 12 mA, más los 6,5 mA que circulan siempre por el operacional.

$$P_1 = V \cdot I = (4 \text{ V} - (-4.1 \text{ V})) \cdot 6,5 \text{ mA} = 52,7 \text{ mW}$$

$$P_2 = V \cdot I = 3 \text{ V} \cdot 12 \text{ mA} = 36 \text{ mW}$$

$$P_T = P_1 + P_2 = 52,7 \text{ mW} + 36 \text{ mW} = 88,7 \text{ mW}$$

Ahora se calcula la potencia consumida por el LDO que alimenta el operacional con una tensión de +4 V y tiene que proporcionarle una corriente de 12 mA más los 6,5 mA que circulan siempre.

$$P = V \cdot I = (5,05 \text{ V} - 4 \text{ V}) \cdot (6,5 \text{ mA} + 12 \text{ mA}) = 19,4 \text{ mW}$$

La potencia que consume LDO negativo que alimenta a -4,1 V al operacional es:

$$P = V \cdot I = (-5,05 \text{ V} - (-4.1 \text{ V})) \cdot 6,5 \text{ mA} = 6,18 \text{ mW}$$

Para hallar la potencia que consume el operacional del filtro, que también es un OPA727, hay que tener en cuenta que se alimenta con +4 V y con -4,1 V y que tiene que suministrar una corriente de 6,5 mA que circula por el operacional y una corriente de 1  $\mu$ A que necesita el ADC, en este caso la vamos a considerar despreciable.

$$P = V \cdot I = (4 \text{ V} - (-4.1 \text{ V})) \cdot 6,5 \text{ mA} = 52,7 \text{ mW}$$

Se calcula la potencia de los LDO que alimentan al OPA727 del filtro únicamente considerando que van a tener que suministrar una corriente de 6,5 mA.

LDO positivo de 4V:

$$P = V \cdot I = (5,05 \text{ V} - 4 \text{ V}) \cdot 6,5 \text{ mA} = 6,83 \text{ mW}$$

LDO negativo de -4,1 V:

$$P = V \cdot I = (-5,05 \text{ V} - (-4,1 \text{ V})) \cdot 6,5 \text{ mA} = 6,18 \text{ mW}$$

Ahora se va a calcular la potencia gastada por la alimentación del ADC. Tiene que proporcionar 3 mA a los 8 ADC, esa corriente la proporciona un operacional, el OPA365, que le alimenta un LDO de +4 V y a 0 V, además para fijar la tensión de alimentación del ADC se utiliza una referencia de tensión de 3.3 V.

La referencia de tensión gastará:

$$P = V \cdot I = (5,05 \text{ V} - 0 \text{ V}) \cdot 0,3 \text{ mA} = 1,52 \text{ mW}$$

Y el operacional, teniendo en cuenta los ocho canales que tiene que alimentar:

$$P_1 = V \cdot I = (4 \text{ V} - 0 \text{ V}) \cdot 5 \text{ mA} = 20 \text{ mW}$$

$$P_2 = V \cdot I = 3,3 \text{ V} \cdot 3 \text{ mA} = 9,9 \text{ mW}$$

$$P_T = P_1 + 8 \cdot P_2 = 20 \text{ mW} + 8 \cdot 9,9 \text{ mW} = 99,2 \text{ mW}$$

El LDO positivo de 4 V con el que se alimenta el operacional tiene que proporcionar esa corriente de 5 mA y la que tiene que suministrar el operacional a los ADC de 3 mA.

$$P = V \cdot I = (5,05 \text{ V} - 4 \text{ V}) \cdot (5 \text{ mA} + 8 \cdot 3 \text{ mA}) = 30,5 \text{ mW}$$

La parte analógica consume en total 1,79 W las salidas analógicas y 2.16 W, haciendo un total de 3,95 W.

Para la parte digital se estima la potencia que consume el disparador Schmitt, que no va a utilizar potencia contantemente, solo cuando tenga que conmutar. Se sabe que la parte digital consume muy poca potencia.

El disparador Schmitt esta alimentado a 3,3 V y a 0 V, la corriente que va a circular siempre por el Schmitt es de 10  $\mu A$  y se considera que va a trabajar cada 2  $\mu s$  u con un tiempo de funcionamiento de 2 ns y por él va a circular una corriente de 20 mA a una tensión de 3,3 V, por lo que la potencia se calcula de la siguiente manera.

$$P = V \cdot I = (3,3 V - 0 V) \cdot 10 \mu A = 33 \mu W$$

La potencia que se consume cada 2  $\mu s$  es:

$$P = V \cdot I \cdot \frac{t_{actuación}}{T} = 3,3 V \cdot 20 mA \cdot \frac{2ns}{2\mu s} = 66 \mu W$$

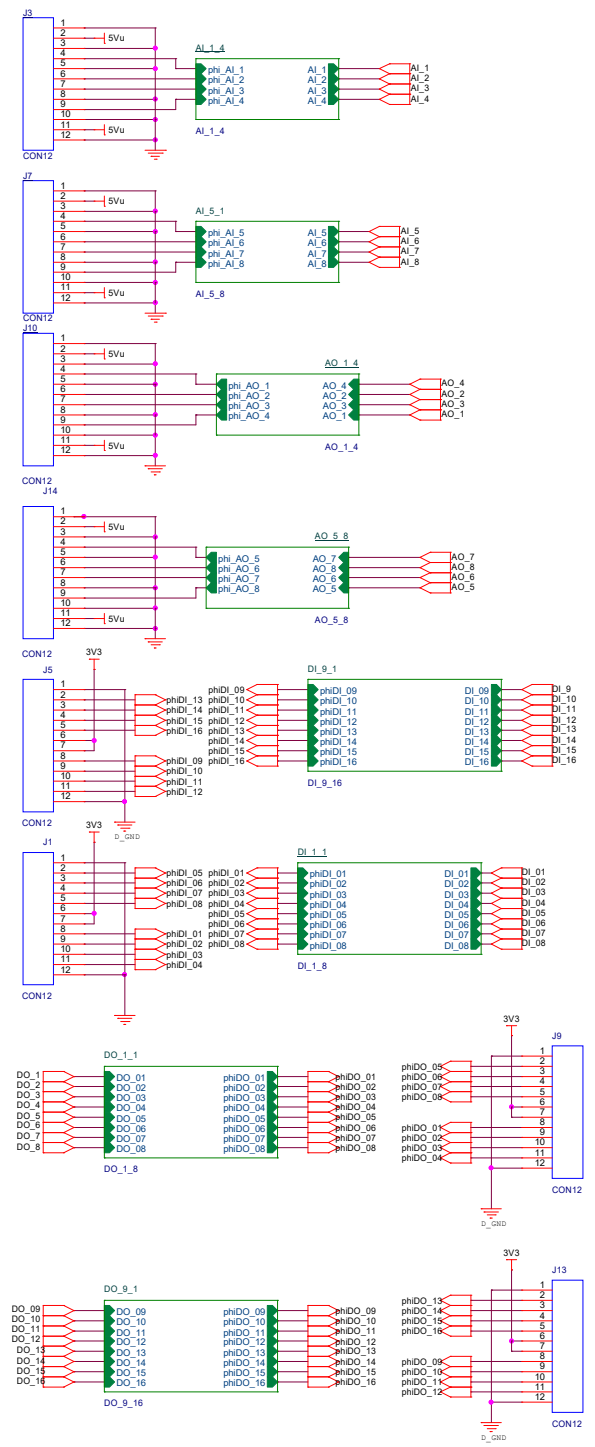
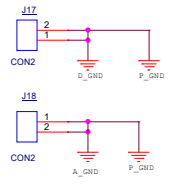
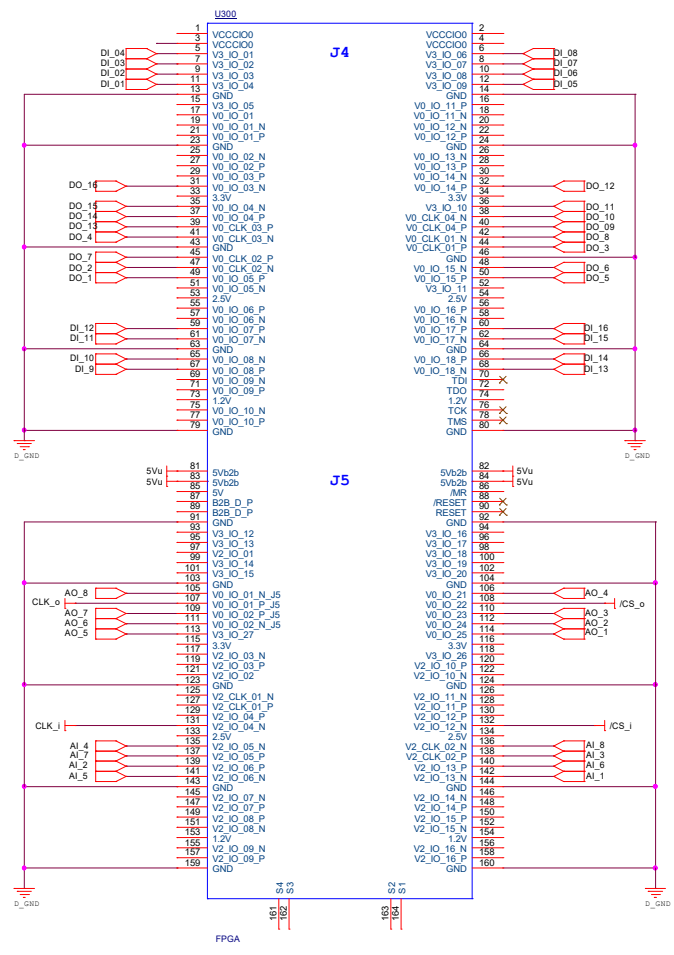
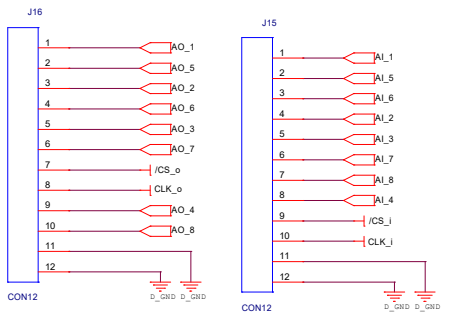
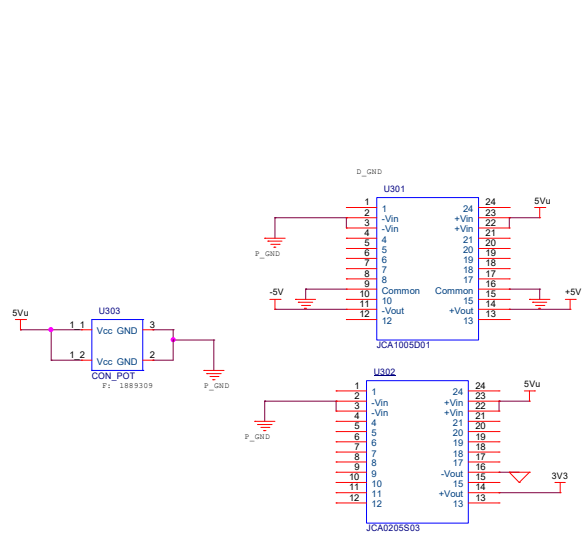
La potencia gastada por cada canal digital es de aproximadamente 100  $\mu W$ , que contando los 32 canales es 3,2 mW.

En resumen, la parte analógica necesita aproximadamente 4 W y la parte digital 0,5 W.

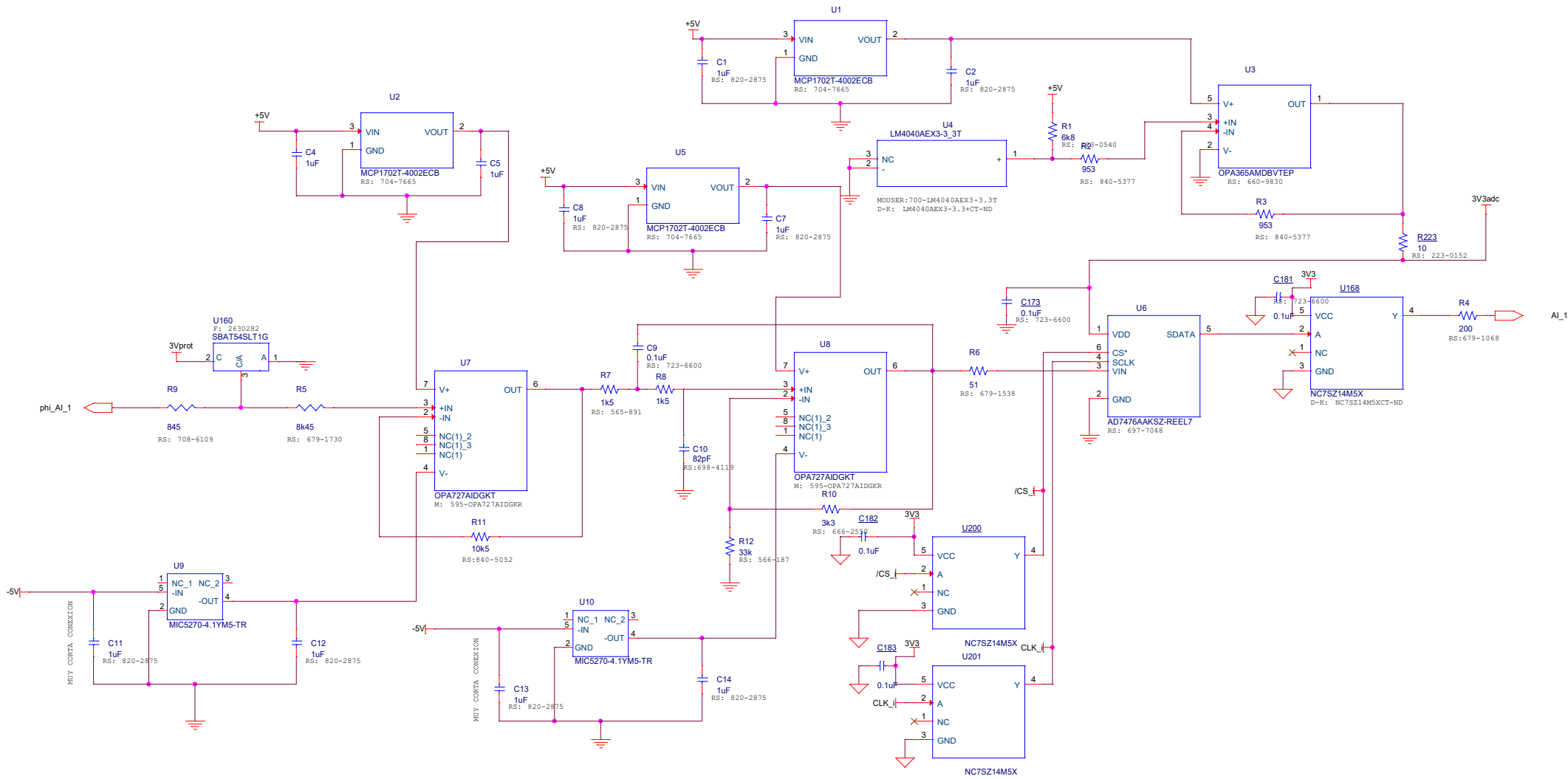
### 3.3. Esquemáticos de la tarjeta

En este apartado se van a mostrar los diferentes esquemas eléctricos que se han realizado para que la tarjeta funcione de la manera deseada, al ser de 16 canales de entrada y 16 de salida digital y 8 canales de entrada y 8 de salida analógica se va a mostrar el esquema de un único canal por cada tipo de señal y de modo, entrada y salida.

### 3.3.1 Esquemático general



### 3.3.2 Canal de entrada analógica

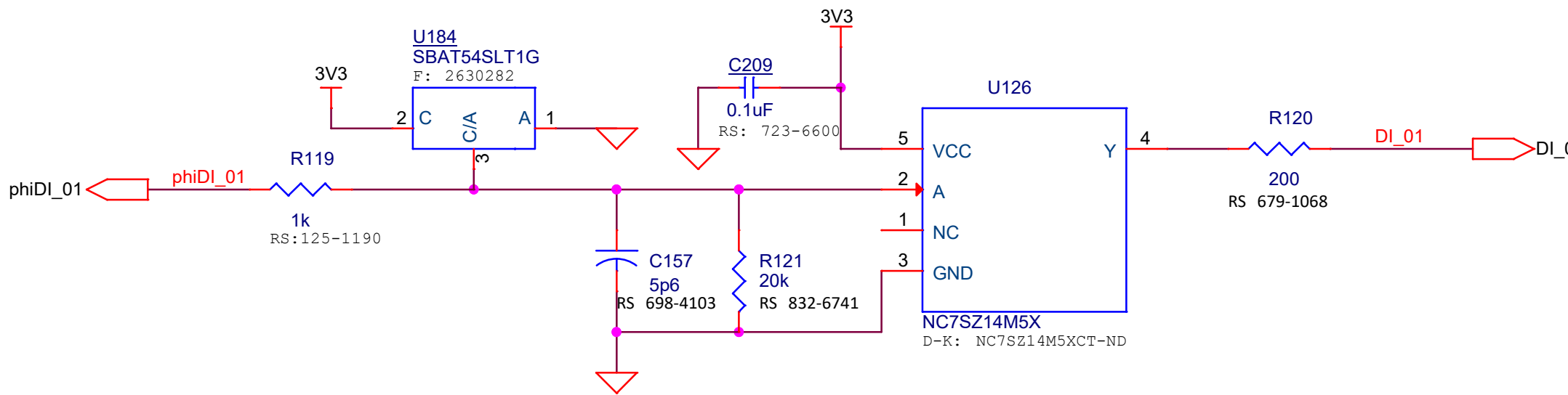




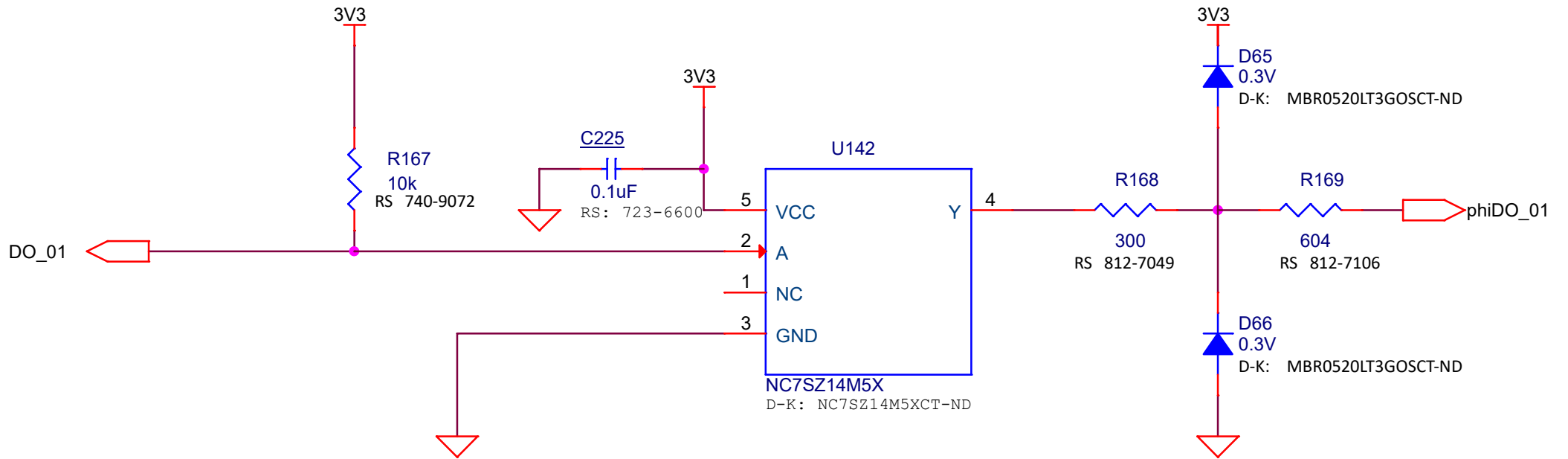
### 3.3.3 Canal de salida analógica



### 3.3.4 Canal de entrada digital



### 3.3.5 Canal de salida digital



### 3.4 Diseño de la tarjeta PCB

Para realizar el diseño de la tarjeta se utiliza una herramienta de diseño asistido por ordenador de la marca *Cadence* como se dijo al principio de este trabajo. Primero se realiza el esquema eléctrico en el módulo *Orcad Capture CIS*, donde se conectan todos los elementos y a su vez es donde se les asigna los valores y los empaquetados.

Una vez hecho lo anterior, se comprueba si hay algún error en las conexiones, si algún componente se ha dejado sin empaquetado, si se repite algún número de componente, etc., y una vez solucionados estos problemas se crea una netlist, que es una lista con los componentes que forman parte del circuito, con sus respectivos encapsulados y una lista con los nodos a los que están conectados dichos componentes.

Después de crear la netlist sin que se produzca ningún error, se abre el módulo de *OrCAD PCB Dessigner Professional* y se importa dicha netlist.

Para colocar los elementos es necesario haber dibujado previamente la zona que delimita el espacio del diseño, esta zona se hace llamar Board Outline, es este diseño dicha zona tiene el tamaño de un folio formato A4, 210 x 297 mm.

Una cosa a tener en cuenta es el número de capas que se va a utilizar en el diseño, en este diseño se van a utilizar cuatro capas: una capa superior de señal, una capa donde van a estar los planos de tensión +5 V y -5 V y 3,3 V, una capa donde van a estar los planos de tierra analógica y digital y la última capa que va a ser de señal también.

Por último, se procede a colocar los componentes.

Una vez descrito el funcionamiento global de la herramienta, se explica cómo se buscan los diferentes símbolos para el esquemático y los encapsulados para el diseño de la PCB de los diferentes componentes.

Lo primero que se hace es crear una librería propia donde se van a ir guardando los diferentes símbolos que se vayan a utilizar y los encapsulados "footprints". Para que una vez asignados los encapsulados de la librería propia a los distintos componentes en el módulo de diseño de la PCB se asignen correctamente y no de errores, primero hay que configurar dicho módulo del programa, *OrCAD PCB Dessigner Professional*, de tal forma que en vez de buscar los encapsulados en la carpeta que tiene asignada por defecto, los busque en la de la librería propia creada anteriormente.

Para añadir los símbolos utilizados en esquemático y los encapsulados a la librería, primero se tienen que buscar los que no estén ya en las librerías propias de *OrCAD* e importarlos, para ello se ha utilizado una plataforma web como se comenta en la introducción de este trabajo, *SnapEDA*, que facilita

mucho el trabajo ya que en ella se puede encontrar muchos de los componentes más usados y comunes.

Además, en dicha plataforma vienen tutoriales de como importar los esquemáticos y los footprint, por lo que también facilita el trabajo de aprendizaje.

En caso de que el elemento no se encuentre en *SnapEDA*, se utiliza otra aplicación, *UltraLibrarian*, y si no se consigue con estas herramientas, por último, se tiene que realizar tanto el esquemático como el footprint, con los datos aportados por el datasheet de los distintos componentes, como ha pasado con algún componente en este trabajo.

Una vez explicado el procedimiento general sobre cómo se hace el diseño de la PCB, se va a explicar cómo se ha realizado dicho diseño, dividido en varias partes, los canales de salida analógica, los canales de entrada analógica, los canales de entrada y salida digital, la alimentación y por último la FPGA.

### **3.4.1 Diseño de los canales analógicos de salida**

Para el diseño de esta zona es imprescindible cumplir una serie de requisitos, descritos a continuación por orden de mayor a menor importancia, para evitar la pérdida de datos o la mala lectura de ellos, uno de ellos es minimizar lo máximo posible el ruido eléctrico que se puede producir entre las zonas digital y analógica, ya que las señales tienen un ruido que afecta de manera negativa a las señales analógicas. Para ello se ha decidido realizar dos planos dentro de la capa de tierra, uno de tierra analógica y otro de tierra digital, como se ha mencionado anteriormente. Esto hace que ambas tierras estén “separadas”, aunque al final van a estar unidas físicamente por un único punto para que estén al mismo potencial, pero al ser solo un punto impide que haya corrientes circulando evitando así las interferencias.

Otro criterio a tener en cuenta es que los componentes más críticos por los que va a ir la señal estén lo más juntos posible para que el ruido sea mínimo y que la conductancia parásita de las pistas sea la menor posible, en este caso estos componentes son: los dos OPA727 y el DAC8811.

Además, hay que asegurar que la distancia entre la tierra de la referencia de tensión que fija los -3 V con los que se va a trabajar y la tierra del segundo OPA727, el último elemento con el que se va a asegurar que la tensión entregada a la salida sea la correcta, sea mínima. Esto se debe a que al estar referidas ambas tensiones, la de referencia de tensión y la del operacional a una tierra “exactamente” igual la tensión obtenida al final del circuito va a ser muy fiable afectando menos el ruido.

Por último, en estos canales se colocan los componentes secundarios como dichos LDO y los condensadores de desacoplo, por motivos de espacio, se



utiliza la última capa para situar allí estos. Los condensadores de desacoplo de los operacionales y LDO se van a colocar lo más cerca de ellos para conseguir su función.

Esta colocación se realiza de forma que en el diseño sea fácil distinguir los canales y al ser un prototipo se pueda hacer los diferentes testeos sin dar lugar a la equivocación. Además, se colocan de manera alineada en la medida de lo posible para dar una sensación de orden y limpieza.

Por último, se coloca en la parte de tierra digital los trigger Schmitt con los condensadores de desacoplo, para conseguir que la señal digital de salida de la FPGA llegue lo mejor posible a los convertidores DAC, como se ha explicado en el apartado 3.2.1 el porqué del uso de los Schmitt.

### **3.4.2 Diseño de los canales analógicos de entrada**

Para diseñar esta parte, al igual que en el apartado anterior, hay que cumplir esas mismas condiciones para que la señal obtenida a la salida del ADC sea la esperada.

En este caso los componentes que son críticos y por ello tienen que estar lo más juntos posible son: el primer operacional, OPA727 que está a la entrada de la señal analógica, el filtro Sallen-Key, formado por dos resistencias, dos condensadores y un operacional OPA727, y el convertidor ADC7476A.

El resto de componentes secundarios como los LDO, los condensadores de desacoplo y resistencias se colocan una vez determinada la posición de los elementos críticos. Unos irán en la capa superior y otros, para ahorrar espacio y evitar cruces, en la inferior.

Al igual que en el anterior apartado, por último, se colocan los Schmitt con sus correspondientes condensadores de desacoplo. En este caso lo más cerca posible de la FPGA para que los datos que llegan ya convertidos tras pasar por los ADC, lleguen a la FPGA de mejor forma posible como se explica en el apartado 3.2.1.

### **3.4.3 Diseño de los canales digitales**

En este apartado se explica el diseño tanto de las entradas como de las salidas digitales.

Al ser una señal digital el ruido no afecta demasiado, por lo que lo único que se va a tener en cuenta para colocar los distintos componentes de los canales es el espacio y que quede bien empaquetado y ordenado.

En la zona de tierra digital se colocan también los Schmitt que actúan con las entradas y salidas analógicas ya que estos son elementos digitales. Las señales desde la FPGA a los Schmitt se van a cruzar y se realizan las vías las veces necesarias para llegar a su destino ya que en ese tramo son señales digitales y son más robustas frente al ruido, pero una vez pasado el Schmitt se realizan los menos cruces y las menos vías necesarias para que la señal sea lo más fiable posible ya que ya se transforman en esa parte en señales analógicas, a las cuales el ruido las afecta mucho.

#### **3.4.4 Posicionamiento de los conectores**

A la hora de colocar los conectores se tuvo en cuenta que eran unos conectores muy utilizados por una empresa que fabrica equipos, módulos, tarjetas, etc., de adquisición y transmisión de datos, Digilent.

Son conectores hembra y entre cada conexión horizontal hay 100 milésimas de pulgada. Observando otras tarjetas de adquisición de datos se tuvo en cuenta la distancia que había entre dos conectores que llevaban en mismo tipo de señal, es decir, salidas digitales, entradas digitales, salidas analógicas, etc, y se tomó como distancia mínima para nuestro diseño. Además, también se tuvo en cuenta que existen conectores macho de 10 x 2, 12 x 2, etc., pines y que podía ser de utilidad colocar los dos conectores por los que circula un mismo tipo de señal a una distancia que se pueda conectar este tipo de conectores macho directamente sobre los conectores hembra, respetando la distancia mínima. De tal forma que, por ejemplo, si se quiere ver las 16 salidas digitales, se pueda conectar un solo conector macho y no haga falta colocar dos conectores.

Por ello la distancia a la que se colocan los conectores en la tarjeta es de 400 milésimas de pulgada, distancia mayor a la mínima que existe entre dos conectores en otras tarjetas comerciales y proporcional al espacio que hay entre pines para poder conectar los conectores macho ya mencionados.

También se han separado más los conectores de la parte digital de los de la parte analógica, para diferenciarlos mejor y que a simple vista se aprecie que conectores son para diferentes tipos de señales.

Además de los conectores de entradas y salidas, también se han colocado dos conectores de 12 pines cada uno, en el espacio que va desde la FPGA a los Schmitt de las señales analógicas para poder testear fácilmente las señales analógicas, tanto de entrada como de salida y además las señales de

reloj y de chip select de los ADC y DAC, CLK\_i, CS\_i y CLK\_o, CS\_o respectivamente y dos conectores de tierra digital.

### **3.4.5 Colocación fuentes de alimentación**

Las fuentes de alimentación se han colocado en la parte superior izquierda de la tarjeta ya que se coloca el conector de potencia con el que se va a alimentar toda la tarjeta y desde esa posición es más fácil llegar a los planos de alimentación.

### **3.4.6 Colocación final de todos los componentes**

A la hora de colocar todos los canales se tiene en cuenta primero la colocación de los conectores, ya que es a donde llegan y de donde salen las señales, por lo que es un sitio clave en el diseño.

Una vez decida la posición de los conectores, se pasa a colocar los canales analógicos porque son los que más elementos tienen, por lo que ocupan mayor espacio en la tarjeta que los canales digitales y además las señales que circulan por ellos son más sensibles. A la hora de colocar los canales analógicos se ha decidido que la mejor configuración es poner los cuatro canales que corresponden a cada conector en vertical, uno encima de otro.

Tras tener la colocación de los analógicos, los digitales se colocan cerca de sus conectores ocupando el menor espacio verticalmente, y como son menos vulnerables al ruido, se han compactado ocupando así poco y dejando espacio para la colocación de la FPGA, los Schmitt de los canales analógicos, los conectores para testear las señales analógicas y las fuentes de alimentación.

A continuación, se coloca la tarjeta que incorpora la FPGA de tal forma que el USB de esa tarjeta quede orientado hacia un lateral para que no haya problema a la hora de conectarla con el exterior, además es un elemento fundamental ya que todas las señales, tanto digitales como analógicas acaban en sus pines. Las conexiones a los pines se eligen a conveniencia de donde lleguen mejor las señales desde las señales digitales y analógicas ya que eso luego se programa desde la FPGA.

Los Schmitt de las señales analógicas se colocan después de la FPGA y de tal forma que desde los conectores hasta los Schmitt haya los menos cruces posibles para que la señal llegue a los Schmitt lo mejor posible, pero una vez pasado el Schmitt, es decir, del Schmitt hacia la FPGA se realizarán varios

cruces para llevar las señales a la FPGA ya que la señal es digital y se ve reforzada tras el paso por el Schmitt.

Y por último se colocan las fuentes de alimentación en el espacio restante y cerca del conector de potencia que las alimenta, dejando espacio para si en un futuro se desea conectar otra fuente de alimentación.

### 3.4.7 Generación de los ficheros de fabricación

Una vez diseñada la PCB se procede a generar los ficheros necesarios para su fabricación, estos son:

- **Fichero Gerber:** es un archivo de texto que contiene información del diseño (pistas, planos, bordes de la placa, ...). La extensión del archivo que se genera con *OrCAD* es “.art” (*Artwork*). Al tener la tarjeta cuatro capas se tienen que enviar cuatro ficheros gerber, uno por capa.

- **Fichero Drill:** es un archivo de texto que contiene información sobre la ubicación y diámetro de los agujeros a realizar en la placa. La extensión de este fichero es “.drl”.

Los ficheros del diseño están adjuntos en el archivo comprimido entregado junto con la memoria.

### 3.4 Diseño de la tarjeta PCB

Para realizar el diseño de la tarjeta se utiliza una herramienta de diseño asistido por ordenador de la marca *Cadence* como se dijo al principio de este trabajo. Primero se realiza el esquema eléctrico en el módulo *Orcad Capture CIS*, donde se conectan todos los elementos y a su vez es donde se les asigna los valores y los empaquetados.

Una vez hecho lo anterior, se comprueba si hay algún error en las conexiones, si algún componente se ha dejado sin empaquetado, si se repite algún número de componente, etc., y una vez solucionados estos problemas se crea una netlist, que es una lista con los componentes que forman parte del circuito, con sus respectivos encapsulados y una lista con los nodos a los que están conectados dichos componentes.

Después de crear la netlist sin que se produzca ningún error, se abre el módulo de *OrCAD PCB Dessigner Professional* y se importa dicha netlist.

Para colocar los elementos es necesario haber dibujado previamente la zona que delimita el espacio del diseño, esta zona se hace llamar Board Outline, es este diseño dicha zona tiene el tamaño de un folio formato A4, 210 x 297 mm.

Una cosa a tener en cuenta es el número de capas que se va a utilizar en el diseño, en este diseño se van a utilizar cuatro capas: una capa superior de señal, una capa donde van a estar los planos de tensión +5 V y -5 V y 3,3 V, una capa donde van a estar los planos de tierra analógica y digital y la última capa que va a ser de señal también.

Por último, se procede a colocar los componentes.

Una vez descrito el funcionamiento global de la herramienta, se explica cómo se buscan los diferentes símbolos para el esquemático y los encapsulados para el diseño de la PCB de los diferentes componentes.

Lo primero que se hace es crear una librería propia donde se van a ir guardando los diferentes símbolos que se vayan a utilizar y los encapsulados "footprints". Para que una vez asignados los encapsulados de la librería propia a los distintos componentes en el módulo de diseño de la PCB se asignen correctamente y no de errores, primero hay que configurar dicho módulo del programa, *OrCAD PCB Dessigner Professional*, de tal forma que en vez de buscar los encapsulados en la carpeta que tiene asignada por defecto, los busque en la de la librería propia creada anteriormente.

Para añadir los símbolos utilizados en esquemático y los encapsulados a la librería, primero se tienen que buscar los que no estén ya en las librerías propias de *OrCAD* e importarlos, para ello se ha utilizado una plataforma web como se comenta en la introducción de este trabajo, *SnapEDA*, que facilita

mucho el trabajo ya que en ella se puede encontrar muchos de los componentes más usados y comunes.

Además, en dicha plataforma vienen tutoriales de como importar los esquemáticos y los footprint, por lo que también facilita el trabajo de aprendizaje.

En caso de que el elemento no se encuentre en *SnapEDA*, se utiliza otra aplicación, *UltraLibrarian*, y si no se consigue con estas herramientas, por último, se tiene que realizar tanto el esquemático como el footprint, con los datos aportados por el datasheet de los distintos componentes, como ha pasado con algún componente en este trabajo.

Una vez explicado el procedimiento general sobre cómo se hace el diseño de la PCB, se va a explicar cómo se ha realizado dicho diseño, dividido en varias partes, los canales de salida analógica, los canales de entrada analógica, los canales de entrada y salida digital, la alimentación y por último la FPGA.

### **3.4.1 Diseño de los canales analógicos de salida**

Para el diseño de esta zona es imprescindible cumplir una serie de requisitos, descritos a continuación por orden de mayor a menor importancia, para evitar la pérdida de datos o la mala lectura de ellos, uno de ellos es minimizar lo máximo posible el ruido eléctrico que se puede producir entre las zonas digital y analógica, ya que las señales tienen un ruido que afecta de manera negativa a las señales analógicas. Para ello se ha decidido realizar dos planos dentro de la capa de tierra, uno de tierra analógica y otro de tierra digital, como se ha mencionado anteriormente. Esto hace que ambas tierras estén “separadas”, aunque al final van a estar unidas físicamente por un único punto para que estén al mismo potencial, pero al ser solo un punto impide que haya corrientes circulando evitando así las interferencias.

Otro criterio a tener en cuenta es que los componentes más críticos por los que va a ir la señal estén lo más juntos posible para que el ruido sea mínimo y que la conductancia parásita de las pistas sea la menor posible, en este caso estos componentes son: los dos OPA727 y el DAC8811.

Además, hay que asegurar que la distancia entre la tierra de la referencia de tensión que fija los -3 V con los que se va a trabajar y la tierra del segundo OPA727, el último elemento con el que se va a asegurar que la tensión entregada a la salida sea la correcta, sea mínima. Esto se debe a que al estar referidas ambas tensiones, la de referencia de tensión y la del operacional a una tierra “exactamente” igual la tensión obtenida al final del circuito va a ser muy fiable afectando menos el ruido.

Por último, en estos canales se colocan los componentes secundarios como dichos LDO y los condensadores de desacoplo, por motivos de espacio, se

utiliza la última capa para situar allí estos. Los condensadores de desacoplo de los operacionales y LDO se van a colocar lo más cerca de ellos para conseguir su función.

Esta colocación se realiza de forma que en el diseño sea fácil distinguir los canales y al ser un prototipo se pueda hacer los diferentes testeos sin dar lugar a la equivocación. Además, se colocan de manera alineada en la medida de lo posible para dar una sensación de orden y limpieza.

Por último, se coloca en la parte de tierra digital los trigger Schmitt con los condensadores de desacoplo, para conseguir que la señal digital de salida de la FPGA llegue lo mejor posible a los convertidores DAC, como se ha explicado en el apartado 3.2.1 el porqué del uso de los Schmitt.

### **3.4.2 Diseño de los canales analógicos de entrada**

Para diseñar esta parte, al igual que en el apartado anterior, hay que cumplir esas mismas condiciones para que la señal obtenida a la salida del ADC sea la esperada.

En este caso los componentes que son críticos y por ello tienen que estar lo más juntos posible son: el primer operacional, OPA727 que está a la entrada de la señal analógica, el filtro Sallen-Key, formado por dos resistencias, dos condensadores y un operacional OPA727, y el convertidor ADC7476A.

El resto de componentes secundarios como los LDO, los condensadores de desacoplo y resistencias se colocan una vez determinada la posición de los elementos críticos. Unos irán en la capa superior y otros, para ahorrar espacio y evitar cruces, en la inferior.

Al igual que en el anterior apartado, por último, se colocan los Schmitt con sus correspondientes condensadores de desacoplo. En este caso lo más cerca posible de la FPGA para que los datos que llegan ya convertidos tras pasar por los ADC, lleguen a la FPGA de mejor forma posible como se explica en el apartado 3.2.1.

### **3.4.3 Diseño de los canales digitales**

En este apartado se explica el diseño tanto de las entradas como de las salidas digitales.

Al ser una señal digital el ruido no afecta demasiado, por lo que lo único que se va a tener en cuenta para colocar los distintos componentes de los canales es el espacio y que quede bien empaquetado y ordenado.

En la zona de tierra digital se colocan también los Schmitt que actúan con las entradas y salidas analógicas ya que estos son elementos digitales. Las señales desde la FPGA a los Schmitt se van a cruzar y se realizan las vías las veces necesarias para llegar a su destino ya que en ese tramo son señales digitales y son más robustas frente al ruido, pero una vez pasado el Schmitt se realizan los menos cruces y las menos vías necesarias para que la señal sea lo más fiable posible ya que ya se transforman en esa parte en señales analógicas, a las cuales el ruido las afecta mucho.

#### **3.4.4 Posicionamiento de los conectores**

A la hora de colocar los conectores se tuvo en cuenta que eran unos conectores muy utilizados por una empresa que fabrica equipos, módulos, tarjetas, etc., de adquisición y transmisión de datos, Digilent.

Son conectores hembra y entre cada conexión horizontal hay 100 milésimas de pulgada. Observando otras tarjetas de adquisición de datos se tuvo en cuenta la distancia que había entre dos conectores que llevaban en mismo tipo de señal, es decir, salidas digitales, entradas digitales, salidas analógicas, etc, y se tomó como distancia mínima para nuestro diseño. Además, también se tuvo en cuenta que existen conectores macho de 10 x 2, 12 x 2, etc., pines y que podía ser de utilidad colocar los dos conectores por los que circula un mismo tipo de señal a una distancia que se pueda conectar este tipo de conectores macho directamente sobre los conectores hembra, respetando la distancia mínima. De tal forma que, por ejemplo, si se quiere ver las 16 salidas digitales, se pueda conectar un solo conector macho y no haga falta colocar dos conectores.

Por ello la distancia a la que se colocan los conectores en la tarjeta es de 400 milésimas de pulgada, distancia mayor a la mínima que existe entre dos conectores en otras tarjetas comerciales y proporcional al espacio que hay entre pines para poder conectar los conectores macho ya mencionados.

También se han separado más los conectores de la parte digital de los de la parte analógica, para diferenciarlos mejor y que a simple vista se aprecie que conectores son para diferentes tipos de señales.

Además de los conectores de entradas y salidas, también se han colocado dos conectores de 12 pines cada uno, en el espacio que va desde la FPGA a los Schmitt de las señales analógicas para poder testear fácilmente las señales analógicas, tanto de entrada como de salida y además las señales de



reloj y de chip select de los ADC y DAC, CLK\_i, CS\_i y CLK\_o, CS\_o respectivamente y dos conectores de tierra digital.

### **3.4.5 Colocación fuentes de alimentación**

Las fuentes de alimentación se han colocado en la parte superior izquierda de la tarjeta ya que se coloca el conector de potencia con el que se va a alimentar toda la tarjeta y desde esa posición es más fácil llegar a los planos de alimentación.

### **3.4.6 Colocación final de todos los componentes**

A la hora de colocar todos los canales se tiene en cuenta primero la colocación de los conectores, ya que es a donde llegan y de donde salen las señales, por lo que es un sitio clave en el diseño.

Una vez decida la posición de los conectores, se pasa a colocar los canales analógicos porque son los que más elementos tienen, por lo que ocupan mayor espacio en la tarjeta que los canales digitales y además las señales que circulan por ellos son más sensibles. A la hora de colocar los canales analógicos se ha decidido que la mejor configuración es poner los cuatro canales que corresponden a cada conector en vertical, uno encima de otro.

Tras tener la colocación de los analógicos, los digitales se colocan cerca de sus conectores ocupando el menor espacio verticalmente, y como son menos vulnerables al ruido, se han compactado ocupando así poco y dejando espacio para la colocación de la FPGA, los Schmitt de los canales analógicos, los conectores para testear las señales analógicas y las fuentes de alimentación.

A continuación, se coloca la tarjeta que incorpora la FPGA de tal forma que el USB de esa tarjeta quede orientado hacia un lateral para que no haya problema a la hora de conectarla con el exterior, además es un elemento fundamental ya que todas las señales, tanto digitales como analógicas acaban en sus pines. Las conexiones a los pines se eligen a conveniencia de donde lleguen mejor las señales desde las señales digitales y analógicas ya que eso luego se programa desde la FPGA.

Los Schmitt de las señales analógicas se colocan después de la FPGA y de tal forma que desde los conectores hasta los Schmitt haya los menos cruces posibles para que la señal llegue a los Schmitt lo mejor posible, pero una vez pasado el Schmitt, es decir, del Schmitt hacia la FPGA se realizarán varios

cruces para llevar las señales a la FPGA ya que la señal es digital y se ve reforzada tras el paso por el Schmitt.

Y por último se colocan las fuentes de alimentación en el espacio restante y cerca del conector de potencia que las alimenta, dejando espacio para si en un futuro se desea conectar otra fuente de alimentación.

### 3.4.7 Generación de los ficheros de fabricación

Una vez diseñada la PCB se procede a generar los ficheros necesarios para su fabricación, estos son:

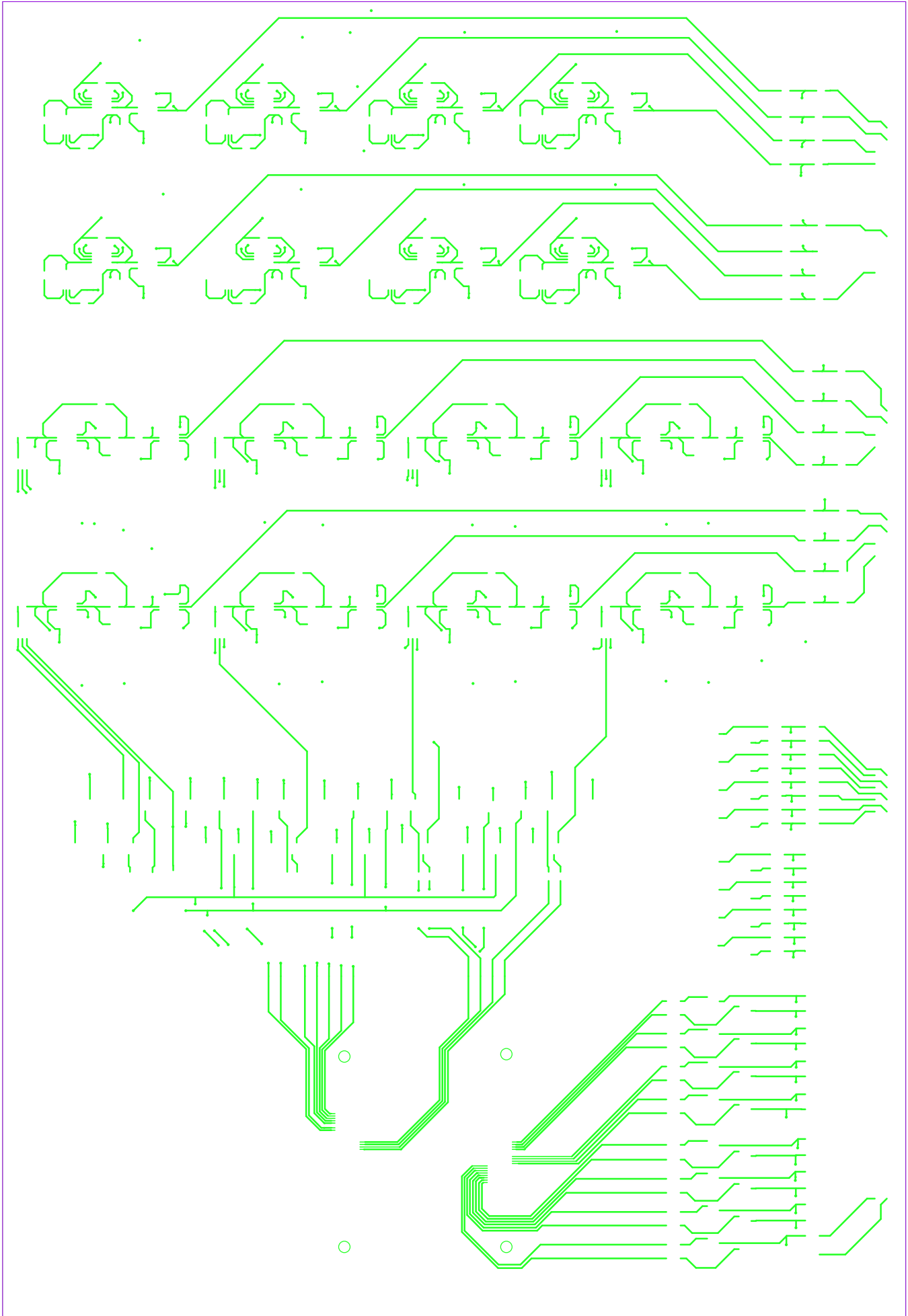
- **Fichero Gerber:** es un archivo de texto que contiene información del diseño (pistas, planos, bordes de la placa, ...). La extensión del archivo que se genera con *OrCAD* es “.art” (*Artwork*). Al tener la tarjeta cuatro capas se tienen que enviar cuatro ficheros gerber, uno por capa.

- **Fichero Drill:** es un archivo de texto que contiene información sobre la ubicación y diámetro de los agujeros a realizar en la placa. La extensión de este fichero es “.drl”.

Los ficheros del diseño están adjuntos en el archivo comprimido entregado junto con la memoria.

### 3.5 Cara TOP





### 3.6 Cara BOTTOM







### 3.7 Creación de planos de tierra

Los planos de tierra están en la capa dedicada a las tierras. Se necesitan tres planos de tierra, porque las señales analógicas son muy sensibles al ruido y si comparten tierra con las señales digitales, estas son muy ruidosas, pueden verse afectadas y perder la información. Los tres planos necesarios son: uno para la tierra digital (DGND), otro para la analógica (AGND) y uno para el común de la alimentación externa (PGND). En el diseño en OrCAD los nombres de los planos son similares.

El plano de tierra analógica ocupa toda la parte derecha de la tarjeta, donde se encuentran los 16 canales de entradas y salidas analógicas y también un pequeño espacio necesario para la tierra de la fuente de alimentación de  $\pm 5V$ .

El plano de tierra digital está distribuido entre todos los Schmitt de los canales analógicos, los 32 canales de entradas y salidas digitales y la FPGA.

Por último, el plano de común de la fuente de alimentación externa, ocupa el espacio necesario para abarcar los comunes de las fuentes de alimentación de la tarjeta, de  $\pm 5V$  y de  $+3,3 V$ , y el conector por el que se introducirá la tensión externa.

Los planos quedan repartidos en la capa de tierra de la siguiente manera:

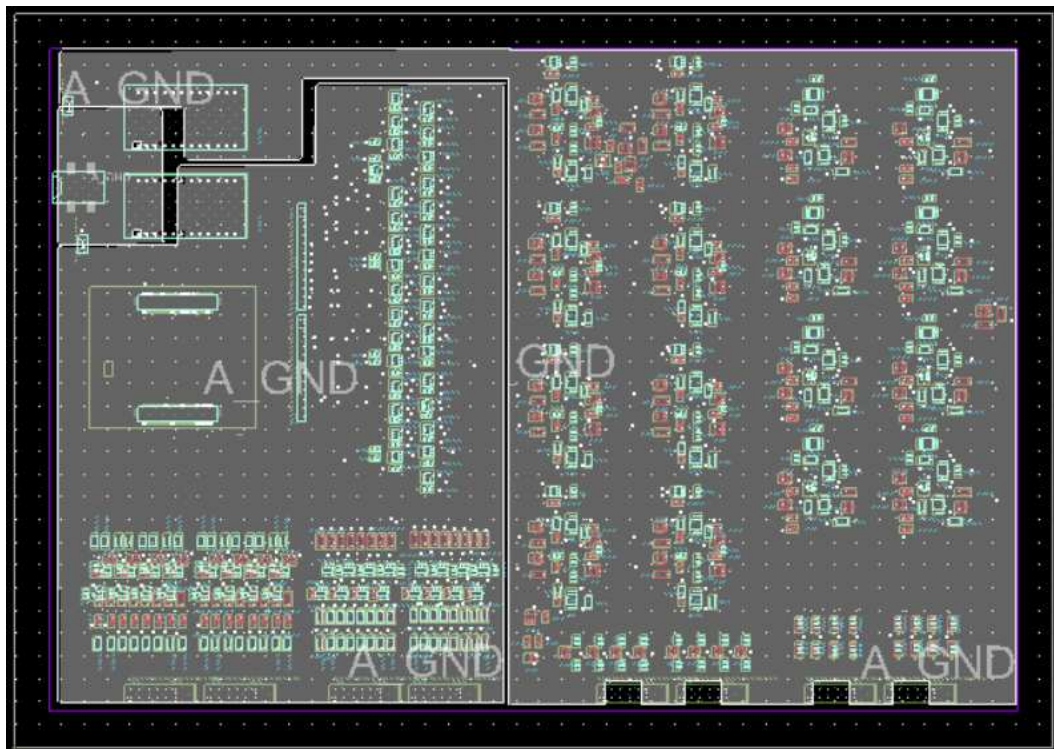


Fig. 48. Distribución de los planos de tierra en la PCB

### 3.6 Creación planos de alimentación

En la capa que se ha dedicado a la alimentación, los planos se han elegido según las tensiones a las que se tienen que alimentar los diferentes componentes de la tarjeta. Estas tensiones son: -5 V, +5 V, 3,3 V (3V3DAC) para alimentar los DAC, independientes a los suministrados por la fuente de alimentación, 3,3 V (3V3ADC) para alimentar los ADC, independientes también, los 3,3 V (3V3) para alimentar todos los elementos digitales y los 5 V (5Vu) que suministra la fuente externa a la tarjeta.

Los cinco planos de alimentación se han colocado de tal manera que estén cerca de los pads donde se tienen que conectar los componentes a la tensión y la distribución ha sido la siguiente:

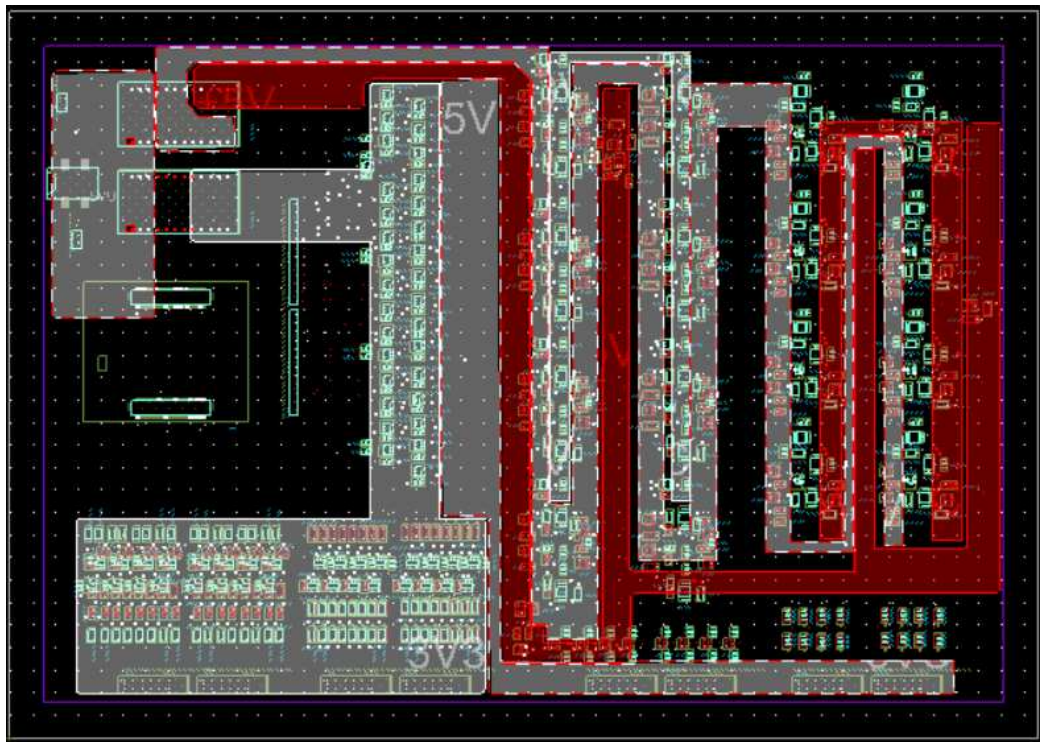


Fig. 49. Distribución de los planos de alimentación

#### 4. ESTUDIO ECONÓMICO

En este apartado se realiza una estimación del coste únicamente de los componentes para realizar un prototipo. Estos precios van asociados a la mínima cantidad de componentes que se pueden comprar ya que no siempre se puede comprar por unidades, esto se ha tenido en cuenta a la hora de calcular el presupuesto y cuadrar al máximo el número de componentes que se necesitan con los lotes en los que se venden.

Elementos	Cantidad
C_1uF_50V	115
C_0,1uF_25V_1%	89
Trigger Schmitt	80
Diodo_Schottky	48
ldo_neg_4V1	32
OPA727	32
ldo_pos_4V	25
Diodos_Schottky_SBAT54SLT1G	24
R_200_1%_0,125W	24
R_953_0,125W_0,1%	20
C_in_DI_5p6_200V	16
R_pulldown_20k	16
R_845_0,125W_0,1%	16
R_1k5_0,125W_0,1%	16
R_pullup_10k	16
R_out_300_1%_0,25W	16
R_out_DO_604_1%_0,25W	16
R_in_DI_1k_1%_0,25W	16
R_ref_6k8_1%_0,125W	10
ref_tension_3V	9
ADC_AD7476A	8
R_sal_360_1%_0,125W	8
R_51_0,125W_1%	8
R_10k5_0,125W_0,1%	8
C_15pF_50V	8
R_8k45_0,125W_1%	8
DAC8811	8
C_82pF_200V	8
R_33k_0,125W_0,1%	8
R_3k3_0,1W_0,1%	8
Convertidor DC/DC_ +-5V_10W	1
R_10_1%_0,125W	1
Conector_pot_2,1mm	1
C_2,2uF_10V	1
Transformador_22V_5V_30W	1
OPA365	1
Convertidor DC/DC_ +3V3_3W	1
ref_tension_3V3	1
AD8531	1
ldo_pos_3V3	1
<b>Total general</b>	<b>726</b>

Tabla 2. Componentes de todo el diseño

La tabla anterior muestra la suma total de componentes necesarios para fabricar el prototipo, conociendo esto y como se ve más adelante, los lotes de compra mínimos de cada producto, se calcula el presupuesto, no obstante, se hace a continuación una estimación separando el presupuesto por zonas de funcionamiento del circuito, entradas analógicas, salidas analógicas, entradas y salidas digitales, las respectivas alimentaciones de los ADC y DAC, etc.

ANALOG						
	ELEMENTO	MODELO	REFERENCIA	FABRICANTE	TIENDA	PRECIO (€/ud. min.)
Cantidad			Protección canales analógicos			
1	AD8531	AD8531AKSZ-REEL7	914-0309	Analog Devices	RS-Componente	0,49
2	R_953_0,125W_0,1%	ERAGAPB9530V	840-5377	Panasonic	RS-Componente	0,16
1	ref_tension_3V	ADR5043BKSZ-REEL7	584-ADR5043BKSZ-R7	Analog Devices	Mouser	0,86
1	R_ref_6k8_1%_0,125W	CRG0805F6K8	223-0540	TE Connectivity	RS-Componente	0,01
<b>TOTAL (€)</b>						<b>1,68</b>

Tabla 3. Componentes y presupuesto de la protección de los canales analógicos

ANALOG INPUT							
	ELEMENTO	MODELO	REFERENCIA	FABRICANTE	TIENDA	PRECIO (€/ud. min.)	
Cantidad			Alimentación ADC				
1	ldo_pos_4V	MCP1702T-4002E/CB	704-7665	Microchip	RS-Componente	0,41	
1	ref_tension_3V3	LM4040AEX3-3.3+T	LM4040AEX3-3.3+CT-ND	Maxim Integrated	Digi-Key	1,96	
1	OPA365	OPA365AIDBVT	660-9830	Texas Instrument	RS-Componente	1,67	
2	C_1uF_50V	GRM31MR71H105KA88K	820-2875	Murata	RS-Componente	0,12	
1	C_0,1uF_25V_1%	GRM31C5C1E104FA01L	723-6600	Murata	RS-Componente	1,16	
2	R_953_0,125W_0,1%	ERAGAPB9530V	840-5377	Panasonic	RS-Componente	0,16	
1	R_ref_6k8_1%_0,125W	CRG0805F6K8	223-0540	TE Connectivity	RS-Componente	0,01	
1	R_10_1%_0,125W	CRG0805F10R	223-0152	TE Connectivity	RS-Componente	0,03	
<b>TOTAL (€)</b>						<b>5,8</b>	
1 Canal	8 Canales		8 Canales Analog Input				
2	16	ldo_pos_4V	MCP1702T-4002E/CB	704-7665	Microchip	RS-Componente	0,41
8	64	C_1uF_50V	GRM31MR71H105KA88K	820-2875	Murata	RS-Componente	0,12
2	16	ldo_neg_4V1	MICS270-4.1YM5-TR	576-2838-6-ND	Microchip Technology	Digi-Key	1,31
2	16	OPA727	OPA727AIDGKR	595-OPA727AIDGKR	Texas Instrument	Mouser	1,28
3	24	Trigger Schmitt	NC7S214M5X	NC7S214M5XCT-ND	Fairchild Semiconductor	Digi-Key	0,39
4	32	C_0,1uF_25V_1%	GRM31C5C1E104FA01L	723-6600	Murata	RS-Componente	1,16
1	8	ADC_AD7476A	AD7476ARTZ-500RL7	697-7048	Analog Devices	RS-Componente	7,9
2	16	R_1k5_0,125W_0,1%	ERAGAE8152V	565-891	Panasonic	RS-Componente	0,11
1	8	R_845_0,125W_0,1%	ERAGAE8450V	708-6109	Panasonic	RS-Componente	0,26
1	8	R_8k45_0,125W_0,1%	CRCW08058K45FKEA	679-1730	Vishay	RS-Componente	0,04
1	8	R_10k5_0,125W_0,1%	ERAGAPB1052V	840-5052	Panasonic	RS-Componente	0,17
1	8	C_82pF_200V	08052U820JAT2A	698-4119	AVX	RS-Componente	0,18
1	8	R_3k3_0,1W_0,1%	CPF0805B3K3E	666-2550	TE Connectivity	RS-Componente	0,13
1	8	R_33k_0,125W_0,1%	ERAGAE8333V	566-187	Panasonic	RS-Componente	0,17
1	8	R_51_0,125W_0,1%	CRCW080551R0FKEA	679-1538	Vishay	RS-Componente	0,03
1	8	R_200_1%_0,125W	CRCW0805200RFKEA	679-1068	Vishay	RS-Componente	0,05
1	8	Diodos_Schottky_SBAT54SLT1G	SBAT54SLT1G	2630282	On Semiconductor	Farnell	0,31
<b>TOTAL (€)</b>						<b>177,84</b>	
<b>TOTAL ANALOG INPUT (€)</b>						<b>183,64</b>	

Tabla 4. Componentes y presupuesto de los canales analógicos de entrada

		ANALOG OUTPUT						
		ELEMENTO	MODELO	REFERENCIA	FABRICANTE	TIENDA	PRECIO (€/ud. min.)	
1 Canal	8 Canales	Alimentación DAC						
	1	ldo_pos_3V3	LD2980ABM33TR	686-9082	STMicroelectronics	RS-Componente	0,35	
	1	C_1uF_50V	GRM31MR71H105KA88K	820-2875	Murata	RS-Componente	0,12	
	1	C_2,2uF_10V	1206ZC225KAT2A	1833821	AVX	Farnell	1,03	
							<b>TOTAL (€)</b>	<b>1,5</b>
		8 Canales Analog Output						
	1	ref_tension_3V	ADR5043BKSZ-REEL7	584-ADR5043BKSZ-R7	Analog Devices	Mouser	0,86	
	1	R_ref_6k8_1%_0,125W	CRG0805F6K8	223-0540	TE Connectivity	RS-Componente	0,01	
	2	R_953_0,125W_0,1%	ERAGAPB9530V	840-5377	Panasonic	RS-Componente	0,16	
	2	OPA727	OPA727AIDGKR	595-OPA727AIDGKR	Texas Instrument	Mouser	1,28	
	1	ldo_pos_4V	MCP1702T-4002E/CB	704-7665	Microchip	RS-Componente	0,41	
	2	ldo_neg_4V1	MICS270-4.1YM5-TR	576-2838-6-ND	Microchip Technology	Digi-Key	1,31	
	3	Trigger Schmitt	NC7S214MSX	NC7S214MSXCT-ND	Fairchild Semiconductor	Digi-Key	0,39	
	6	C_1uF_50V	GRM31MR71H105KA88K	820-2875	Murata	RS-Componente	0,12	
	3	C_0,1uF_25V_1%	GRM31C5C1E104FA01L	723-6600	Murata	RS-Componente	1,16	
	1	C_15pF_50V	C0805C150J5GACTU	264-4242	Kemet	RS-Componente	0,05	
	1	R_sal_360_1%_0,125W	CRCW0805360RFKEA	679-1308	Vishay	RS-Componente	0,03	
	1	R_845_0,125W_0,1%	ERAGAEB8450V	708-6109	Panasonic	RS-Componente	0,26	
	2	Diodo_Schottky	MBR0520LT3G	MBR0520LT3GOSCT-ND	On Semiconductor	Digi-Key	0,29	
	1	DAC8811	DAC8811BDGKT	732-1385	Texas Instrument	RS-Componente	14,98	
							<b>TOTAL (€)</b>	<b>224,4</b>
							<b>TOTAL ANALOG OUTPUT (€)</b>	<b>225,9</b>

Tabla 5. Componentes y presupuesto de los canales analógicos de salida

		DIGITAL						
		ELEMENTO	MODELO	REFERENCIA	FABRICANTE	TIENDA	PRECIO (€/ud. min.)	
1 Canal	16 Canales	16 DIGITAL INPUT						
	1	Diodos_Schottky_5BAT54SLT1G	SBAT54SLT1G	2630282	On Semiconductor	Farnell	0,31	
	1	C_0,1uF_25V_1%	GRM31C5C1E104FA01L	723-6600	Murata	RS-Componente	1,16	
	1	C_in_DI_5p6_200V	0805J5R6CAT2A	698-4103	AVX	RS-Componente	0,36	
	1	R_pulldown_20k	CRCW080520K0JNEA	832-6741	Vishay	RS-Componente	0,01	
	1	R_in_DI_1k_1%_0,25W	CRG1206F1K0	125-1190	TE Connectivity	RS-Componente	0,01	
	1	Trigger Schmitt	NC7S214MSX	NC7S214MSXCT-ND	Fairchild Semiconductor	Digi-Key	0,39	
	1	R_200_1%_0,125W	CRCW0805200RFKEA	679-1068	Vishay	RS-Componente	0,05	
							<b>TOTAL (€)</b>	<b>36,64</b>

Tabla 6. Componentes y presupuesto de los canales digitales de entrada

		DIGITAL						
		ELEMENTO	MODELO	REFERENCIA	FABRICANTE	TIENDA	PRECIO (€/ud. min.)	
1 Canal	16 Canales	16 DIGITAL OUTPUT						
	1	R_pullup_10k	CR0805-JW-103ELF	740-9072	Bourns	RS-Componente	0,017	
	1	C_0,1uF_25V_1%	GRM31C5C1E104FA01L	723-6600	Murata	RS-Componente	1,16	
	1	Trigger Schmitt	NC7S214MSX	NC7S214MSXCT-ND	Fairchild Semiconductor	Digi-Key	0,39	
	1	R_out_300_1%_0,25W	ERJ8ENF3000V	812-7049	Panasonic	RS-Componente	0,03	
	1	R_out_DO_604_1%_0,25W	ERJ8ENF6040V	812-7106	Panasonic	RS-Componente	0,03	
	2	Diodo_Schottky	MBR0520LT3G	MBR0520LT3GOSCT-ND	On Semiconductor	Digi-Key	0,29	
							<b>TOTAL (€)</b>	<b>35,312</b>

Tabla 7. Componentes y presupuesto de los canales digitales de salida

		ALIMENTACIÓN GENERAL						
		ELEMENTO	MODELO	REFERENCIA	FABRICANTE	TIENDA	PRECIO (€/ud. min.)	
Cantidad								
1		Transformador_22V_5V_30W	GST60A05-P1J	880-8391	Mean Well	RS-Componente	26,34	
1		Convertidor DC/DC_+5V_10W	JCA1005D01	122-8036	XP Power	RS-Componente	39,12	
1		Convertidor DC/DC_+3V3_3W	JCA0305S03	122-8688	XP Power	RS-Componente	16,66	
1		Conector_pot_2,1mm	FC681485	1889309	CLIFF ELECTRONIC COMPONENTS	Farnell	1,39	
							<b>TOTAL (€)</b>	<b>83,51</b>

Tabla 8. Componentes y presupuesto de la alimentación de la placa

Elementos	Cantidad	Lotes mínimos	n x Lotes mín.-Cantidad	Precio	Precio extra
C_1uF_50V	115	50	35	0,12	4,2
C_0,1uF_25V_1%	89	5	1	1,16	1,16
Trigger Schmitt	80	1	0	0,39	0
Diodo_Schottky	48	1	0	0,29	0
Ido_neg_4V1	32	1	0	1,31	0
OPA727	32	1	0	1,28	0
Ido_pos_4V	25	1	0	0,41	0
Diodos_Schottky_SBAT54SLT1G	24	5	1	0,31	0,31
R_200_1%_0,125W	24	50	26	0,05	1,3
R_953_0,125W_0,1%	20	10	0	0,16	0
C_in_DI_5p6_200V	16	5	4	0,36	1,44
R_pulldown_20k	16	10	4	0,01	0,04
R_845_0.125W_0,1%	16	5	4	0,26	1,04
R_1k5_0,125W_0,1%	16	5	4	0,11	0,44
R_pullup_10k	16	50	34	0,017	0,578
R_out_300_1%_0,25W	16	100	84	0,03	2,52
R_out_DO_604_1%_0,25W	16	100	84	0,03	2,52
R_in_DI_1k_1%_0,25W	16	100	84	0,01	0,84
R_ref_6k8_1%_0,125W	10	50	40	0,01	0,4
ref_tension_3V	9	1	0	0,86	0
ADC_AD7476A	8	1	0	7,9	0
R_sal_360_1%_0.125W	8	50	42	0,03	1,26
R_51_0,125W_1%	8	50	42	0,03	1,26
R_10k5_0,125W_0,1%	8	10	2	0,17	0,34
C_15pF_50V	8	25	17	0,05	0,85
R_8k45_0,125W_1%	8	50	42	0,04	1,68
DAC8811	8	1	0	14,98	0
C_82pF_200V	8	5	2	0,18	0,36
R_33k_0.125W_0,1%	8	5	2	0,17	0,34
R_3k3_0.1W_0.1%	8	5	2	0,13	0,26
Convertidor DC/DC_ +5V_10W	1	1	0	39,12	0
R_10_1%_0,125W	1	50	49	0,03	1,47
Conector_pot_2,1mm	1	10	9	1,39	12,51
C_2,2uF_10V	1	5	4	1,03	4,12
Transformador_22V_5V_30W	1	1	0	26,34	0
OPA365	1	1	0	1,67	0
Convertidor DC/DC_ +3V3_3W	1	1	0	16,66	0
ref_tension_3V3	1	1	0	1,96	0
AD8531	1	1	0	0,49	0
Ido_pos_3V3	1	1	0	0,35	0
<b>Total general</b>	<b>726</b>	<b>Componentes sobrantes</b>	<b>618</b>	<b>TOTAL EXTRA (€)</b>	<b>41,238</b>

Tabla 9. Cantidad y coste adicional por la compra por lotes

El presupuesto total en componentes para fabricar un prototipo es de 566,69 €. Para realizar un prototipo el presupuesto total en componentes teniendo en cuenta que hay que comprar por lotes es de 607,93 €.

Se ha calculado teniendo en cuenta que es el diseño de un prototipo por lo que se han buscado y elegido componentes en lotes mínimos. Para una producción en grandes volúmenes el coste será menor ya que los lotes serán mayores, con el ahorro que ello supone.

Lo calculado anteriormente es sin contar el coste de la placa ni la mano de obra.

## 5. CONCLUSIONES

El objetivo final de este trabajo es el diseño de una tarjeta de adquisición de datos formada por ocho canales de entrada, ocho canales de salidas analógica y dieciséis canales de entrada y salida digital. Adicionalmente se conectará una FPGA, que es el elemento que simula el controlador o la planta.

Los canales analógicos de entrada realizan una conversión analógica–digital a través de convertidores ADC, para que la FPGA pueda procesar los datos, ya que esta solo puede trabajar con señales digitales, de tal forma que la señal de entrada pierda el mínimo número de datos y la FPGA trabaje con unos valores fiables. A su vez, los canales analógicos de salida realizan una conversión digital–analógica a través de convertidores DAC, para que la señal digital que envía la FPGA sea correctamente interpretada por los equipos analógicos conectados en la salida.

Los canales analógicos están diseñados de tal forma que las señales se puedan muestrear cada menos de  $1 \mu\text{s}$ , ya que la frecuencia de muestreo de la FPGA se va a programar a 64 MHz.

Todas las entradas y salidas de la tarjeta están protegidas ante posibles fallos, tanto internos como externos. El circuito está preparado para absorber las posibles corrientes elevadas que se producirían en un cortocircuito, y así se protegen tanto los componentes internos ante sobretensiones exteriores como a los circuitos del usuario ante fallos dentro de la tarjeta.

También, se han colocado los componentes de los canales de tal forma que el ruido de las señales sea el mínimo y se pierdan los menos valores de la señal real. Además, para que las interferencias que puede haber entre las tierras digitales y analógicas sean mínimas, se han diseñado dos planos de tierra separados. Ambos planos, tienen que estar conectados en un solo punto para que estén al mismo potencial que la tierra de la alimentación general del circuito y evitar así que circulen corrientes entre ambos planos.

El resultado final es un prototipo que a través de los ficheros generados con la herramienta de diseño permite la fabricación de la tarjeta y su posterior testeo y puesta a punto.





## 6. LÍNEAS FUTURAS

Una vez testeado el prototipo y comprobado el correcto funcionamiento, se realizará un rediseño minimizando al máximo el espacio de la tarjeta y los costes de producción.

Además, mediante el uso de conectores adicionales se puede conectar más canales analógicos a través de módulos externos, aunque estos sean de menor velocidad a los diseñados en la tarjeta.

Para su comercialización se puede incorporar una memoria EPROM, con la que se protegerá el software de la FPGA frente a hackeos y plagios del sistema.



## 7. BIBLIOGRAFÍA

### HIL y RCP

Arquitecturas de Sistemas de Pruebas de Control de Hardware (HIL). Fecha de consulta: 30/06/2018. Recuperado de <http://www.ni.com/white-paper/10343/es/>

Sistema de Prototipado Rápido de Control para una Planta Didáctica Motor DC. Fecha de consulta: 30/06/2018. Recuperado de <http://www.scielo.org.co/pdf/teclo/n30/n30a06.pdf>

Yon Asensio – Responsable Zona Norte, Graphical System Design un nuevo concepto en el diseño de control, NATIONAL INSTRUMENTS. Fecha de consulta: 30/06/2018. Recuperado de [https://tv.uvigo.es/uploads/material/Video/1559/Ponencia\\_NI\\_GSD.pdf](https://tv.uvigo.es/uploads/material/Video/1559/Ponencia_NI_GSD.pdf)

### TEORÍA CONVERSIÓN ANALÓGICO-DIGITAL Y DIGITAL-ANALÓGICO

Circuitos de muestreo y retención (Sample and Hold). Fecha de consulta: 25/05/2018. Recuperado de <http://www.elo.jmc.utfsm.cl/sriquelme/apuntes/sample%20and%20hold/samplehold.pdf>

José Miguel Ruiz González. Octubre de 2017. Tema 5.-Sistemas de adquisición y procesado de datos. Fecha de consulta: 25/05/2018.

Tema 8. Convertidores A/D (ADC). Fecha de consulta 26/05/2018. Recuperado de [http://www.academia.edu/5960854/Los\\_convertidores\\_A\\_D\\_se\\_pueden\\_clasificar\\_b%C3%A1sicamente\\_en\\_los\\_siguietes\\_tipos\\_ESCALERA\\_REALIMENTADOS\\_SEGUIMIENTO\\_APROXIMACIONES\\_SUCESIVAS\\_A\\_D](http://www.academia.edu/5960854/Los_convertidores_A_D_se_pueden_clasificar_b%C3%A1sicamente_en_los_siguietes_tipos_ESCALERA_REALIMENTADOS_SEGUIMIENTO_APROXIMACIONES_SUCESIVAS_A_D)

Juan Ignacio Huircán. Conversores Análogo-Digital y Digital-Análogo: Conceptos Básicos. Fecha de consulta: 26/05/2018. Recuperado de [http://quidiel.inele.ufro.cl/~jhuircan/PDF\\_CTOSII/ad03.pdf](http://quidiel.inele.ufro.cl/~jhuircan/PDF_CTOSII/ad03.pdf)

Conversor D/A con Red de Resistencias Ponderadas. Fecha de consulta: 26/05/2018. Recuperado de <http://server-die.alc.upv.es/asignaturas/LSED/2003-04/0.ADDA/DA/tiposda1.htm>

Conversores D/A con Red R-2R en Escalera. Fecha de consulta: 26/05/2018. Recuperado de <http://server-die.alc.upv.es/asignaturas/lsted/2003-04/0.ADDA/DA/tiposda2.htm>

Pat Sagsveen. 13/09/2017. Tutorial sobre ADC/DAC. Fecha de consulta: 27/05/2018. Recuperado de <https://www.digikey.es/es/articles/techzone/2017/sep/adc-dac-tutorial>

ANALOG-DIGITAL CONVERSION. Fecha de consulta: 28/05/2018. Recuperado de <http://www.analog.com/media/en/training-seminars/design-handbooks/Data-Conversion-Handbook/Chapter2.pdf>

Curso de Redes de Microcontroladores PIC (Protocolo SPI). Fecha de consulta: 29/05/2018. Recuperado de <http://www.i-micro.com/pdf/articulos/spi.pdf>

## DISPARADOR SCHMITT

Disparador Schmitt. Fecha de consulta: 30/05/2018. Recuperado de <http://amplificadoroperacional.blogspot.com/2010/07/disparador-schmitt.html>

Efecto Schmitt. Fecha de consulta: 30/05/2018. Recuperado de <http://electronica-teoriaypractica.com/category/schmitt-trigger/>

CIRCUITO COMPARADOR CON HISTÉRESIS (Schmitt Trigger). Fecha de consulta: 30/05/2018. Recuperado de [https://eva.fing.edu.uy/pluginfile.php/92833/mod\\_resource/content/2/Comparador%20con%20hist%C3%A9resis%20-%20Ecuaciones.pdf](https://eva.fing.edu.uy/pluginfile.php/92833/mod_resource/content/2/Comparador%20con%20hist%C3%A9resis%20-%20Ecuaciones.pdf)

## DESARROLLO PCB

Velazquez Cordova Gadiel Dzahuindanda. 15/04/2014. ORCAD: Guía diseño PCB. Fecha de consulta: 15/04/2018. Recuperado de <https://hetprostore.com/TUTORIALES/orcad-diseno-y-fabricacion-de-pcbs/>

Allegro User Guide: Getting Started with Physical Design. Octubre 2012. Versión 16.6. San José, USA. Cadence Design Systems, Inc.

Robert Feranec. 24/04/2017. Starting with OrCAD and Cadence Allegro PCB – Tutorial for Beginners. Fecha de consulta: 16/04/2018. Recuperado de <https://www.youtube.com/watch?v=b8arWWrMGXA>

SnapEDA. 02/02/2017. How to Import PCB Footprints Into Cadence Allegro & OrCAD Layout. Fecha de consulta: 18/04/2018. Recuperado de <https://www.youtube.com/watch?v=jcfKIL2dORg>

Allegro User Guide: Defining and Developing Libraries. Octubre 2012. Versión 16.6. San José, USA. Cadence Design Systems, Inc.

SnapEDA. 31/03/2017. How to import schematic symbols into OrCAD Capture. Fecha de consulta: 18/04/2018. Recuperado de <https://www.youtube.com/watch?v=68wbFvUjQvY>

SnapEDA. 25/02/2018. How to open .dra footprints in Allegro. Fecha de consulta: 18/04/2018. Recuperado de <https://www.youtube.com/watch?v=2f4jrTw8sNc>

parsysEDA. 13/11/2012. Component Alignment OrCAD Allegro Tutorial How-To. Fecha de consulta: 30/04/2018. Recuperado de <https://www.youtube.com/watch?v=RTKtO-K5eb4>

Michael ee. 19/09/2014. How to Use Allegro 16.6 Align Function. Fecha de consulta: 30/04/2018. Recuperado de <https://www.youtube.com/watch?v=osoNkFMogrM>

parsysEDA. 25/04/2012. OrCAD How-To Shape Edit Tutorial Cadence OrCAD Allegro.Fecha de consulta: 05/05/2018. Recuperado de <https://www.youtube.com/watch?v=uhDeRg64vRY>

parsysEDA. 15/08/2012. OrCAD Allegro How-To Shapes Dynamic and StaticTutorial. Fecha de consulta: 05/05/2018. Recuperado de <https://www.youtube.com/watch?v=LvvN0NE2IC0>

Working with the NC Drill Environment. Diciembre 2007. Versión 16.01. San José, USA. Cadence Design Systems, Inc.

Kirsch Mackey. 07/09/2016. OrCAD 17.2 PCB Design Tutorial – 21 – Generating Artwork and Drill Files. Fecha de consulta: 01/07/2018. Recuperado de <https://www.youtube.com/watch?v=R0b1tFuXb2g>

Foro Cadence. Fecha de consulta: 03/07/2018. Recuperado de [https://community.cadence.com/cadence\\_technology\\_forums/f](https://community.cadence.com/cadence_technology_forums/f)



## ANEXOS





## Table of Contents

<b>1 Features</b> .....	<b>1</b>	8.3 Feature Description .....	<b>11</b>
<b>2 Applications</b> .....	<b>1</b>	8.4 Device Functional Mode .....	<b>14</b>
<b>3 Description</b> .....	<b>1</b>	8.5 Programming .....	<b>15</b>
<b>4 Revision History</b> .....	<b>2</b>	<b>9 Application and Implementation</b> .....	<b>16</b>
<b>5 Device Comparison Table</b> .....	<b>4</b>	9.1 Application Information .....	<b>16</b>
<b>6 Pin Configuration and Functions</b> .....	<b>4</b>	9.2 Typical Application .....	<b>16</b>
<b>7 Specifications</b> .....	<b>5</b>	<b>10 Power Supply Recommendations</b> .....	<b>17</b>
7.1 Absolute Maximum Ratings .....	<b>5</b>	<b>11 Layout</b> .....	<b>18</b>
7.2 ESD Ratings .....	<b>5</b>	11.1 Layout Guidelines .....	<b>18</b>
7.3 Recommended Operating Conditions .....	<b>5</b>	11.2 Layout Example .....	<b>18</b>
7.4 Thermal Information .....	<b>5</b>	<b>12 Device and Documentation Support</b> .....	<b>19</b>
7.5 Electrical Characteristics .....	<b>6</b>	12.1 Documentation Support .....	<b>19</b>
7.6 Timing Requirements .....	<b>7</b>	12.2 Community Resources .....	<b>19</b>
7.7 Typical Characteristics: $V_{DD} = 5\text{ V}$ .....	<b>8</b>	12.3 Trademarks .....	<b>19</b>
7.8 Typical Characteristics: $V_{DD} = 2.7\text{ V}$ .....	<b>10</b>	12.4 Electrostatic Discharge Caution .....	<b>19</b>
<b>8 Detailed Description</b> .....	<b>11</b>	12.5 Glossary .....	<b>19</b>
8.1 Overview .....	<b>11</b>	<b>13 Mechanical, Packaging, and Orderable Information</b> .....	<b>19</b>
8.2 Functional Block Diagram .....	<b>11</b>		

## 4 Revision History

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

<b>Changes from Revision C (October 2015) to Revision D</b>	<b>Page</b>
• Changed the <i>DAC8811 Timing Diagram</i> image to show the setup and hold time with respect to rising edge .....	<b>7</b>
• Changed two instances of <i>falling</i> to <i>rising</i> in the <i>DAC8811 Input Shift Register</i> section .....	<b>15</b>
• Changed the <i>SYNC Interrupt Facility</i> image .....	<b>15</b>

<b>Changes from Revision B (February 2007) to Revision C</b>	<b>Page</b>
• Added <i>ESD Ratings</i> table, <i>Recommended Operating Conditions</i> table, <i>Thermal Information</i> table, <i>Timing Requirements</i> table, <i>Feature Description</i> section, <i>Device Functional Modes</i> , <i>Application and Implementation</i> section, <i>Power Supply Recommendations</i> section, <i>Layout</i> section, <i>Device and Documentation Support</i> section, and <i>Mechanical, Packaging, and Orderable Information</i> sections. ....	<b>1</b>
• Changed R3' From: 50 k $\Omega$ To: 50 $\Omega$ in <a href="#">Figure 23</a> .....	<b>14</b>

<b>Changes from Revision A (December 2004) to Revision B</b>	<b>Page</b>
• Added a new paragraph to the <a href="#">Description</a> , "On power-up,..." .....	<b>1</b>
• Changed the <a href="#">Simplified Schematic</a> to include the Power-On Reset .....	<b>1</b>
• Added $V_{REF}$ , $R_{FB}$ to GND to the <a href="#">Absolute Maximum Ratings</a> .....	<b>5</b>
• Changed the ESD rating of HBM From: 1500 To: 4000 in the <a href="#">Absolute Maximum Ratings</a> .....	<b>5</b>
• Added table note: " All ac characteristic tests are performed.." to the <a href="#">Electrical Characteristics</a> .....	<b>6</b>
• Added test conditions to the Output voltage settling time of the <i>AC characteristics</i> section in the <a href="#">Timing Requirements</a> .....	<b>7</b>
• Added table note: " All ac characteristic tests are performed.." to the <a href="#">Electrical Characteristics</a> .....	<b>7</b>
• Changed <a href="#">Figure 9</a> .....	<b>8</b>

---

**Changes from Original (November 2004) to Revision A****Page**

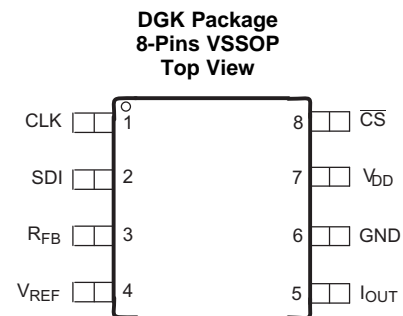
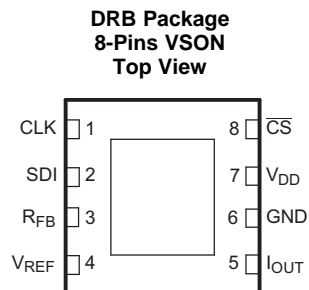
• Removed the Product Preview label .....	1
• Added information to the Features .....	1
• Added Output leakage current Data = 0000h, $T_A = T_{MAX}$ in the <a href="#">Electrical Characteristics</a> .....	6
• Added Input high voltage for $V_{DD} = 2.7\text{ V}$ and $2.5\text{ V}$ in the <a href="#">Electrical Characteristics</a> .....	6
• Changed the values of the <i>Power Requirements</i> and the <i>AC characteristics</i> section in the <a href="#">Electrical Characteristics</a> .....	6

---

## 5 Device Comparison Table

PART NUMBER	INL (LSB)	DNL (LSB)
DAC8811ICDGK	±1	±1
DAC8811IBDGK	±2	±1
DAC8811ICDRB	±1	±1
DAC8811IBDRB	±2	±1

## 6 Pin Configuration and Functions



### Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
CLK	1	I	Clock input; positive edge triggered clocks data into shift register
SDI	2	I	Serial register input; data loads directly into the shift register MSB first. Extra leading bits are ignored.
R <sub>FB</sub>	3	O	Internal matching feedback resistor. Connect to external op amp output.
V <sub>REF</sub>	4	I	DAC reference input pin. Establishes DAC full-scale voltage. Constant input resistance versus code.
I <sub>OUT</sub>	5	O	DAC current output. Connects to inverting terminal of external precision I/V op amp.
GND	6	G	Analog and digital ground.
V <sub>DD</sub>	7	I	Positive power supply input. Specified operating range of 2.7 V to 5.5 V.
$\overline{\text{CS}}$	8	I	Chip-select; active low digital input. Transfers shift register data to DAC register on rising edge. See <a href="#">Table 1</a> for operation.

## 7 Specifications

### 7.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

		MIN	MAX	UNIT
Input voltage	V <sub>DD</sub> to GND	-0.3	7	V
	V (I <sub>OUT</sub> ) to GND	-0.3	V <sub>DD</sub> + 0.3	V
Digital input voltage	GND	-0.3	V <sub>DD</sub> + 0.3	V
Reference voltage, V <sub>REF</sub>	R <sub>FB</sub> to GND	-25	25	V
Operating temperature		-40	105	°C
Junction temperature, T <sub>J</sub>			125	°C
Storage temperature, T <sub>stg</sub>		-65	150	

(1) Stresses above those listed under absolute maximum ratings may cause permanent damage to the device. Exposure to absolute maximum conditions for extended periods may affect device reliability.

### 7.2 ESD Ratings

		MAX	UNIT
V <sub>(ESD)</sub> Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	±4000	V
	Charged device model (CDM), per JEDEC specification JESD22-C101 <sup>(2)</sup>	±1000	

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

### 7.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

	MIN	NOM	MAX	UNIT
Supply voltage to GND	2.7		5.5	V
Operating ambient temperature, T <sub>A</sub>	-40		125	°C

### 7.4 Thermal Information

THERMAL METRIC <sup>(1)</sup>		DAC8811		UNIT
		DGK (VSSOP)	DRB (VSON)	
		8 PINS	8 PINS	
R <sub>θJA</sub>	Junction-to-ambient thermal resistance	169.6	46.7	°C/W
R <sub>θJC(top)</sub>	Junction-to-case (top) thermal resistance	64.2	61.3	°C/W
R <sub>θJB</sub>	Junction-to-board thermal resistance	90.3	22	°C/W
Ψ <sub>JT</sub>	Junction-to-top characterization parameter	7.7	1.1	°C/W
Ψ <sub>JB</sub>	Junction-to-board characterization parameter	88.8	22.1	°C/W
R <sub>θJC(bot)</sub>	Junction-to-case (bottom) thermal resistance	N/A	3.8	°C/W

(1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).

## 7.5 Electrical Characteristics

$V_{DD} = 2.7\text{ V to }5.5\text{ V}$ ;  $I_{OUT} = \text{Virtual GND}$ ,  $GND = 0\text{ V}$ ;  $V_{REF} = 10\text{ V}$ ;  $T_A = \text{full operating temperature}$ . All specifications  $-40^\circ\text{C}$  to  $85^\circ\text{C}$ , unless otherwise noted.

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>STATIC PERFORMANCE</b>						
Resolution			16			Bits
Relative accuracy		DAC8811C			$\pm 1$	LSB
Relative accuracy		DAC8811B			$\pm 2$	LSB
Differential nonlinearity			$\pm 0.5$		$\pm 1$	LSB
Output leakage current		Data = 0000h, $T_A = 25^\circ\text{C}$			10	nA
Output leakage current		Data = 0000h, $T_A = T_{MAX}$			10	nA
Full-scale gain error		All ones loaded to DAC register		$\pm 1$	$\pm 4$	mV
Full-scale tempco				$\pm 3$		ppm/ $^\circ\text{C}$
<b>OUTPUT CHARACTERISTICS<sup>(1)</sup></b>						
Output current				2		mA
Output capacitance		Code dependent		50		pF
<b>REFERENCE INPUT<sup>(1)</sup></b>						
$V_{REF}$ Range			-15		15	V
Input resistance				5		k $\Omega$
Input capacitance				5		pF
<b>LOGIC INPUTS AND OUTPUT<sup>(1)</sup></b>						
$V_{IL}$	Input low voltage	$V_{DD} = 2.7\text{V}$			0.6	V
		$V_{DD} = 5\text{V}$			0.8	V
$V_{IH}$	Input high voltage	$V_{DD} = 2.7\text{V}$		2.1		V
		$V_{DD} = 5\text{V}$		2.4		V
$I_{IL}$	Input leakage current				10	$\mu\text{A}$
$C_{IL}$	Input capacitance				10	pF
<b>POWER REQUIREMENTS</b>						
$V_{DD}$			2.7		5.5	V
$I_{DD}$ (normal operation)		Logic inputs = 0 V			5	$\mu\text{A}$
$V_{DD} = 4.5\text{ V to }5.5\text{ V}$		$V_{IH} = V_{DD}$ and $V_{IL} = \text{GND}$		3	5	$\mu\text{A}$
$V_{DD} = 2.7\text{ V to }3.6\text{ V}$		$V_{IH} = V_{DD}$ and $V_{IL} = \text{GND}$		1	2.5	$\mu\text{A}$
<b>AC CHARACTERISTICS<sup>(1) (2)</sup></b>						
BW -3 dB	Reference multiplying BW	$V_{REF} = 5\text{ V}_{PP}$ , Data = FFFFh		10		MHz
	DAC glitch impulse	$V_{REF} = 0\text{ V to }10\text{ V}$ , Data = 7FFFh to 8000h to 7FFFh		2		nV/s
	Feed through error $V_{OUT}/V_{REF}$	Data = 0000h, $V_{REF} = 100\text{ mV}_{RMS}$ , $f = 100\text{ kHz}$		-70		dB
	Digital feed through	$\overline{CS} = 1$ and $f_{CLK} = 1\text{ MHz}$		2		nV/s
	Total harmonic distortion	$V_{REF} = 5\text{ V}_{PP}$ , Data = FFFFh, $f = 1\text{ kHz}$		-105		dB
	Output spot noise voltage	$f = 1\text{ kHz}$ , BW = 1 Hz		12		nV/ $\sqrt{\text{Hz}}$

(1) Specified by design and characterization; not production tested.

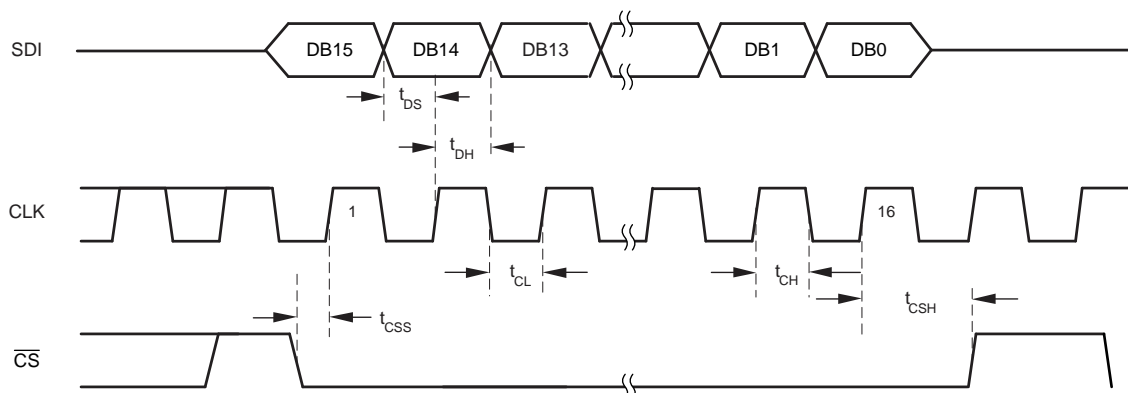
(2) All ac characteristic tests are performed in a closed-loop system using the THS4011 I-to-V converter amplifier.

## 7.6 Timing Requirements

		MIN	NOM	MAX	UNIT
<b>INTERFACE TIMING</b>					
$f_{CLK}$	Clock input frequency			50	MHz
$t_{(CH)}$	Clock pulse width high	10			ns
$t_{(CL)}$	Clock pulse width low	10			ns
$t_{(CSS)}$	$\overline{CS}$ to Clock setup time	0			ns
$t_{(CSH)}$	Clock to $\overline{CS}$ hold time	10			ns
$t_{(DS)}$	Data setup time	5			ns
$t_{(DH)}$	Data hold time	10			ns
<b>AC CHARACTERISTICS<sup>(1) (2)</sup></b>					
$t_s$	Output voltage settling time	To $\pm 0.1\%$ of full-scale, Data = 0000h to FFFFh to 0000h		0.3	$\mu s$
		To $\pm 0.0015\%$ of full-scale, Data = 0000h to FFFFh to 0000h		0.5	$\mu s$

(1) Specified by design and characterization; not production tested.

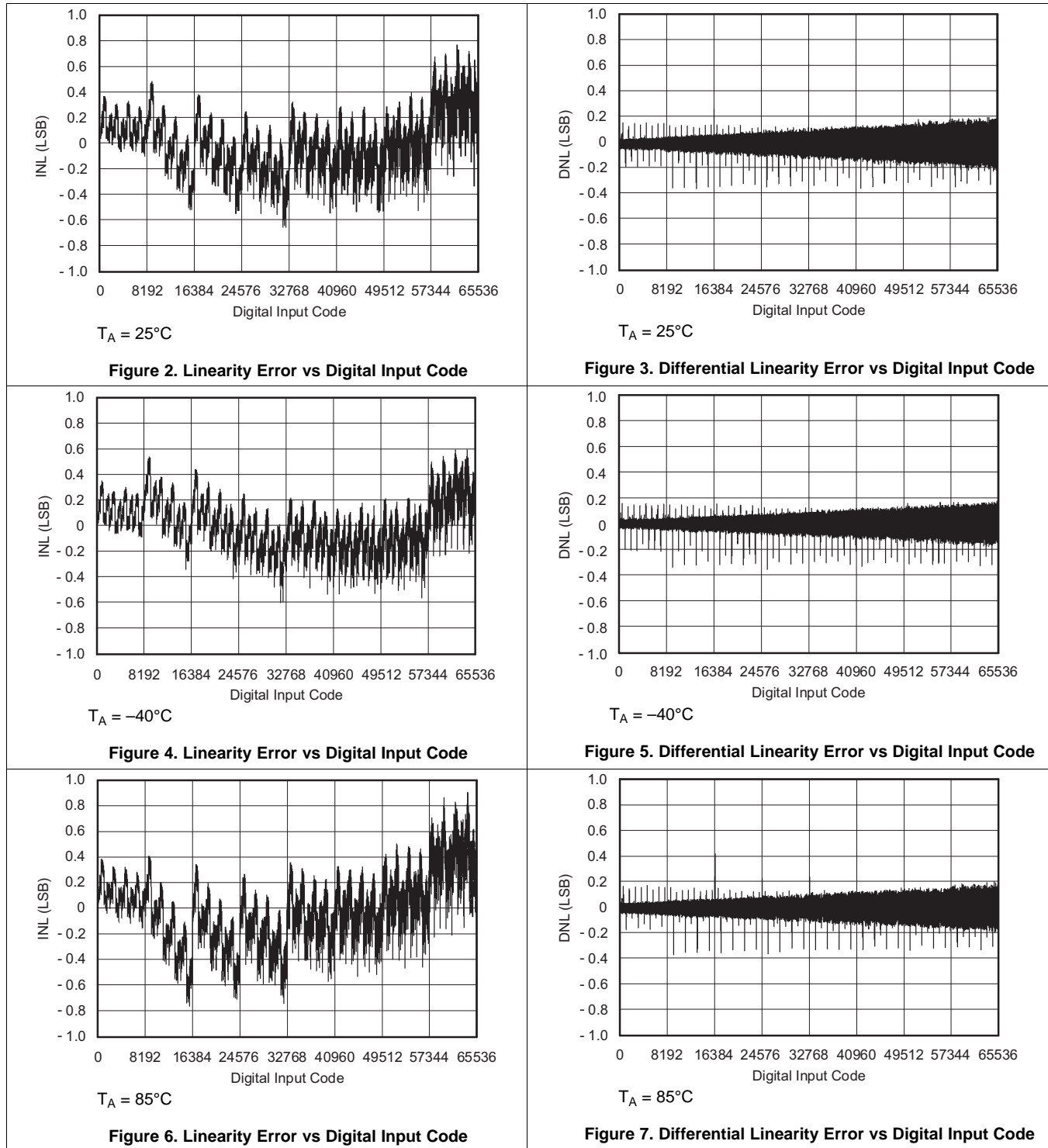
(2) All ac characteristic tests are performed in a closed-loop system using the THS4011 I-to-V converter amplifier.



**Figure 1. DAC8811 Timing Diagram**

### 7.7 Typical Characteristics: $V_{DD} = 5\text{ V}$

At  $T_A = 25^\circ\text{C}$ ,  $+V_{DD} = 5\text{ V}$ , unless otherwise noted.



Typical Characteristics:  $V_{DD} = 5\text{ V}$  (continued)

At  $T_A = 25^\circ\text{C}$ ,  $+V_{DD} = 5\text{ V}$ , unless otherwise noted.

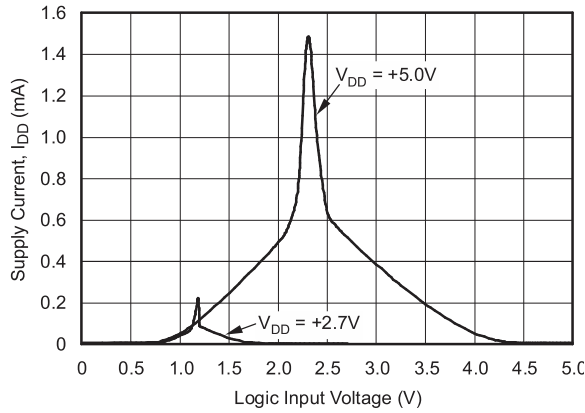


Figure 8. Supply Current vs Logic Input Voltage

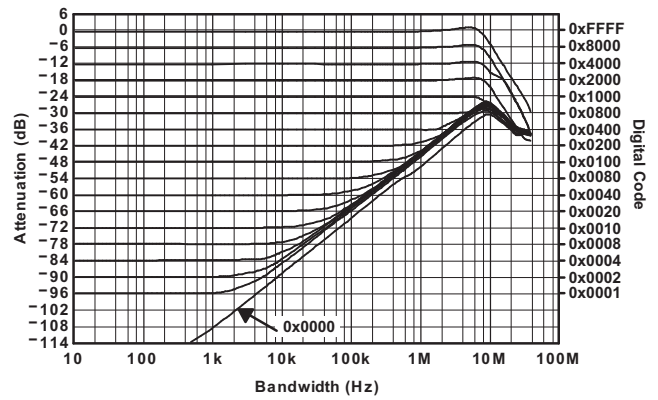


Figure 9. Reference Multiplying Bandwidth

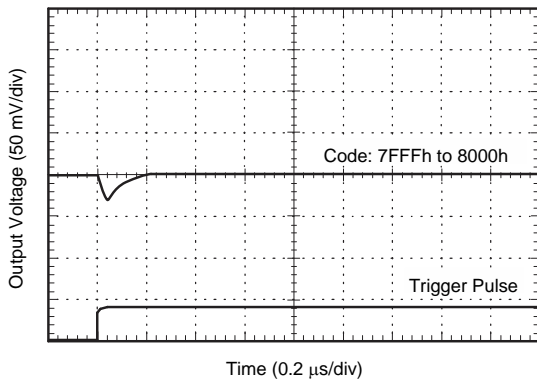


Figure 10. DAC Glitch

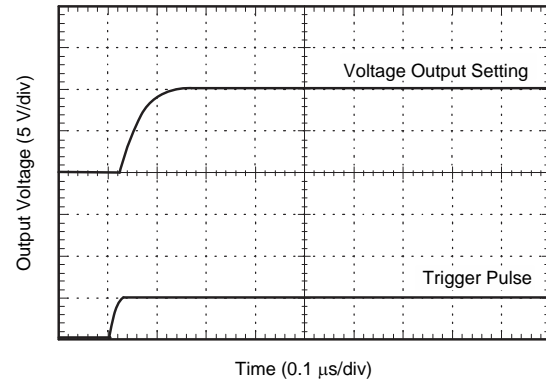
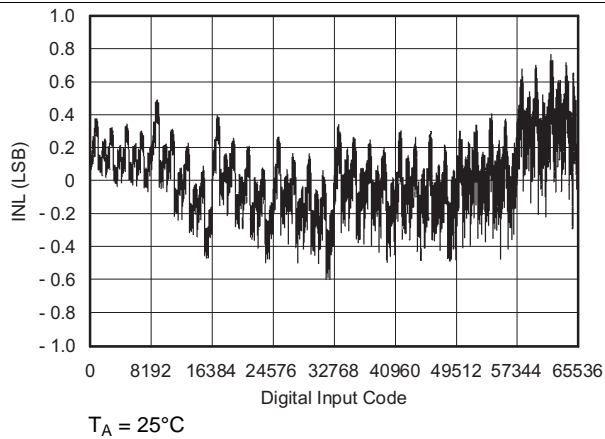


Figure 11. DAC Settling Time

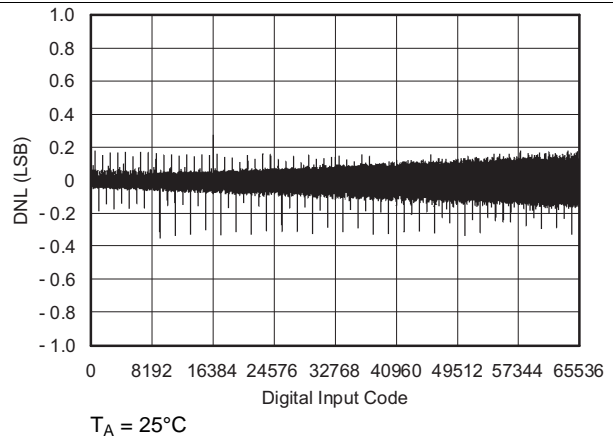


## 7.8 Typical Characteristics: $V_{DD} = 2.7\text{ V}$

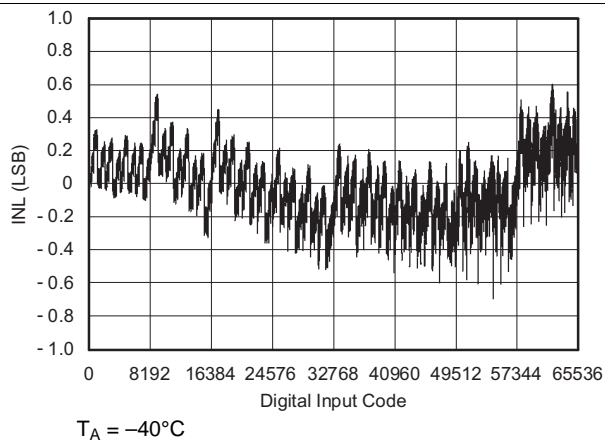
At  $T_A = 25^\circ\text{C}$ ,  $+V_{DD} = 2.7\text{ V}$ , unless otherwise noted.



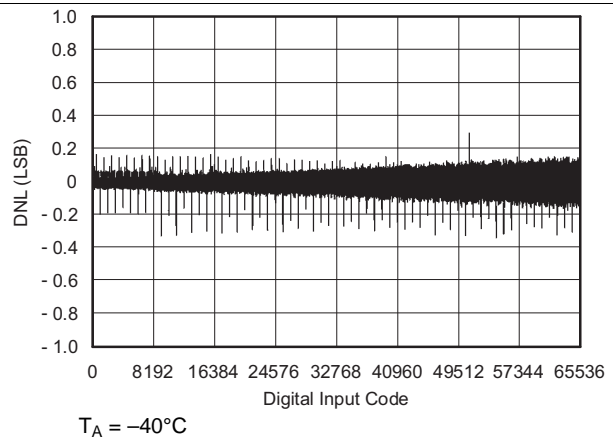
**Figure 12. Linearity Error vs Digital Input Code**



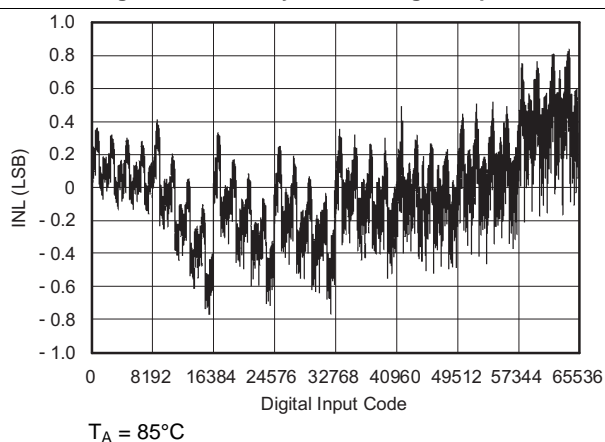
**Figure 13. Differential Linearity Error vs Digital Input Code**



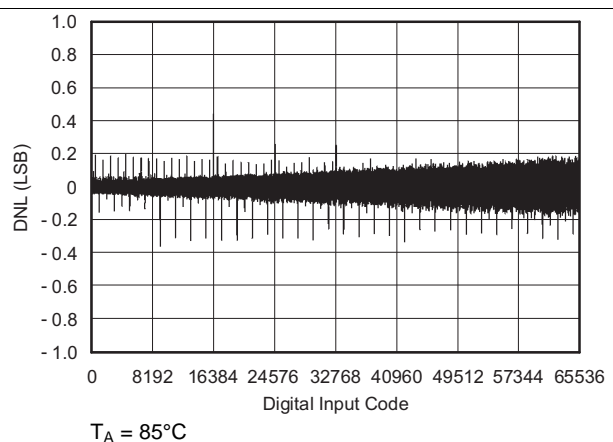
**Figure 14. Linearity Error vs Digital Input Code**



**Figure 15. Differential Linearity Error vs Digital Input Code**



**Figure 16. Linearity Error vs Digital Input Code**



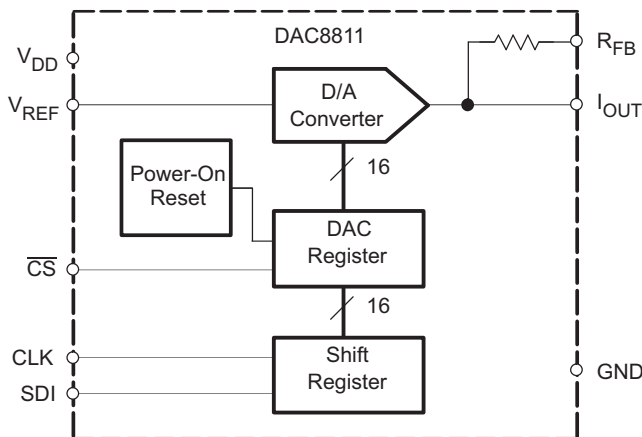
**Figure 17. Differential Linearity Error vs Digital Input Code**

## 8 Detailed Description

### 8.1 Overview

The DAC8811 is a single channel current output, 16-bit digital-to-analog converter (DAC). The device includes a 3-wire serial interface to communicate with most DSPs.

### 8.2 Functional Block Diagram



### 8.3 Feature Description

The DAC8811 is a single channel current output, 16-bit digital-to-analog converter (DAC). The architecture, illustrated in Figure 18, is an R-2R ladder configuration with the three MSBs segmented. Each 2R leg of the ladder is either switched to GND or the I<sub>OUT</sub> terminal. The I<sub>OUT</sub> terminal of the DAC is held at a virtual GND potential by the use of an external I/V converter op amp. The R-2R ladder is connected to an external reference input V<sub>REF</sub> that determines the DAC full-scale current. The R-2R ladder presents a code independent load impedance to the external reference of 5 kΩ ±25%. The external reference voltage can vary in a range of -15 V to 15 V, thus providing bipolar I<sub>OUT</sub> current operation. By using an external I/V converter and the DAC8811 R<sub>FB</sub> resistor, output voltage ranges of -V<sub>REF</sub> to V<sub>REF</sub> can be generated.

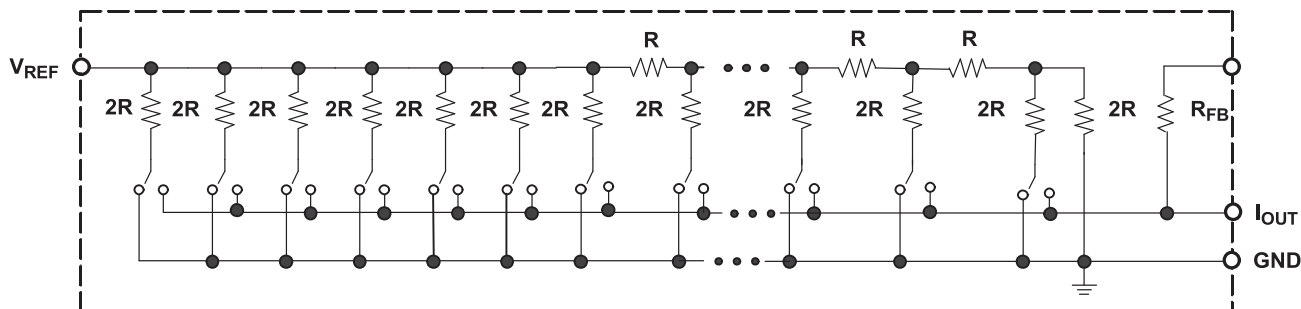


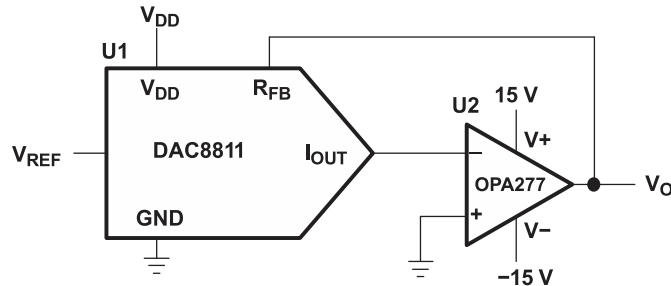
Figure 18. Equivalent R-2R DAC Circuit

When using an external I/V converter and the DAC8811 R<sub>FB</sub> resistor, the DAC output voltage is given by Equation 1:

$$V_{OUT} = -V_{REF} \times \frac{CODE}{65536} \quad (1)$$

## Feature Description (continued)

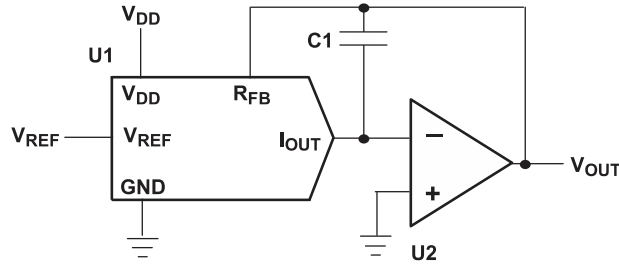
Each DAC code determines the 2R leg switch position to either GND or  $I_{OUT}$ . Because the DAC output impedance as seen looking into the  $I_{OUT}$  terminal changes versus code, the external I/V converter noise gain will also change. Because of this, the external I/V converter op amp must have a sufficiently low offset voltage such that the amplifier offset is not modulated by the DAC  $I_{OUT}$  terminal impedance change. External op amps with large offset voltages can produce INL errors in the transfer function of the DAC8811 due to offset modulation versus DAC code. For best linearity performance of the DAC8811, an operational amplifier (OPA277) is recommended (Figure 19). This circuit allows  $V_{REF}$  swinging from -10 V to +10 V.



**Figure 19. Voltage Output Configuration**

### 8.3.1 Stability Circuit

For a current-to-voltage design (see Figure 20), the DAC8811 current output ( $I_{OUT}$ ) and the connection with the inverting node of the op amp should be as short as possible and according to correct PCB layout design. For each code change, there is a step function. If the GBP of the op amp is limited and parasitic capacitance is excessive at the inverting node then gain peaking is possible. Therefore, for circuit stability, a compensation capacitor C1 (4 pF to 20 pF typ) can be added to the design, as shown in Figure 20.



**Figure 20. Gain Peaking Prevention Circuit With Compensation Capacitor**

### 8.3.2 Positive Voltage Output Circuit

As Figure 21 illustrates, in order to generate a positive voltage output, a negative reference is input to the DAC8811. This design is suggested instead of using an inverting amp to invert the output due to tolerance errors of the resistor. For a negative reference,  $V_{OUT}$  and GND of the reference are level-shifted to a virtual ground and a -2.5 V input to the DAC8811 with an op amp.

## Feature Description (continued)

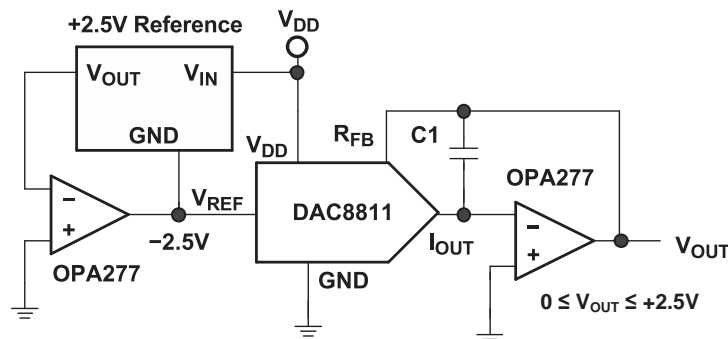


Figure 21. Positive Voltage Output Circuit

### 8.3.3 Bipolar Output Circuit

The DAC8811, as a 2-quadrant multiplying DAC, can be used to generate a unipolar output. The polarity of the full-scale output  $I_{OUT}$  is the inverse of the input reference voltage at  $V_{REF}$ .

Some applications require full 4-quadrant multiplying capabilities or bipolar output swing. As shown in Figure 22, external op amp U4 is added as a summing amp and has a gain of 2X that widens the output span to 5 V. A 4-quadrant multiplying circuit is implemented by using a 2.5-V offset of the reference voltage to bias U4. According to the circuit transfer equation given in Equation 2, input data (D) from code 0 to full scale produces output voltages of  $V_{OUT} = -2.5\text{ V}$  to  $V_{OUT} = +2.5\text{ V}$ .

$$V_{OUT} = \left( \frac{D}{32,768} - 1 \right) \times V_{REF} \quad (2)$$

External resistance mismatching is the significant error in Figure 22.

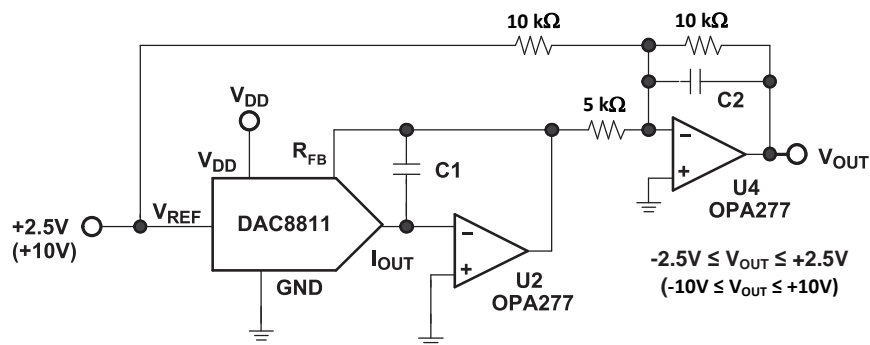


Figure 22. Bipolar Output Circuit

### 8.3.4 Programmable Current Source Circuit

A DAC8811 can be integrated into the circuit in Figure 23 to implement an improved Howland current pump for precise voltage to current conversions. Bidirectional current flow and high voltage compliance are two features of the circuit. With a matched resistor network, the load current of the circuit is shown by Equation 3:

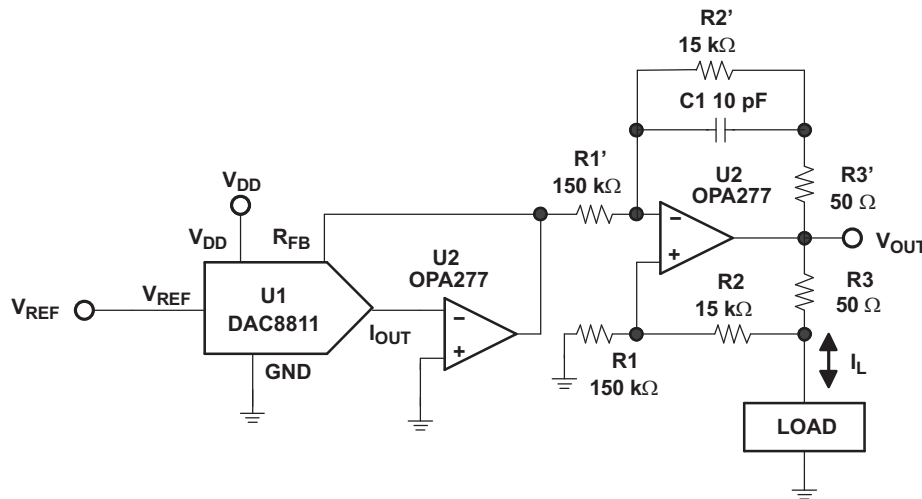
$$I_L = \frac{(R2 + R3) / R1}{R3} \times V_{REF} \times D \quad (3)$$

The value of  $R3$  in the previous equation can be reduced to increase the output current drive of  $U3$ .  $U3$  can drive  $\pm 20\text{ mA}$  in both directions with voltage compliance limited up to 15 V by the  $U3$  voltage supply. Elimination of the circuit compensation capacitor  $C1$  in the circuit is not suggested as a result of the change in the output impedance  $Z_O$ , according to Equation 4:

**Feature Description (continued)**

$$Z_O = \frac{R1'R3(R1+R2)}{R1(R2'+R3') - R1'(R2 = R3)} \tag{4}$$

As shown in Equation 4, with matched resistors,  $Z_O$  is infinite and the circuit is optimum for use as a current source. However, if unmatched resistors are used,  $Z_O$  is positive or negative with negative output impedance being a potential cause of oscillation. Therefore, by incorporating C1 into the circuit, possible oscillation problems are eliminated. The value of C1 can be determined for critical applications; for most applications, however, a value of several pF is suggested.



**Figure 23. Programmable Bidirectional Current Source Circuit**

**8.4 Device Functional Mode**

**Table 1. Control Logic Truth Table<sup>(1)</sup>**

CLK	$\overline{CS}$	SERIAL SHIFT REGISTER	DAC REGISTER
X	H	No effect	Latched
↑+	L	Shift register data advanced one bit	Latched
X	H	No effect	Latched
X	↑+	Shift register data transferred to DAC register	New data loaded from serial register

(1) ↑+ Positive logic transition; X = Don't care

## 8.5 Programming

### 8.5.1 DAC8811 Input Shift Register

The DAC8811 has a 3-wire serial interface ( $\overline{CS}$ , SCLK, and DIN) compatible with SPI, QSPI, and Microwire interface standards, as well as most DSPs. See [Figure 1](#) for an example of a typical write sequence.

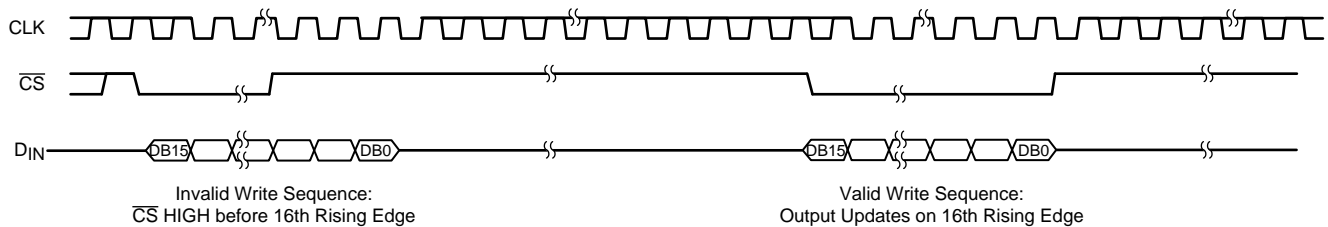
The input shift register is 16 bits wide, as shown in [Figure 25](#). The write sequence begins by bringing the  $\overline{CS}$  line low. Data from the DIN line are clocked into the 16-bit shift register on each rising edge of CLK. The serial clock frequency can be as high as 50 MHz, making the DAC8811 compatible with high-speed DSPs. On the 16<sup>th</sup> rising edge of the serial clock, the last data bit is clocked in and the programmed function is executed.

At this point, the  $\overline{CS}$  line may be kept low or brought high. In either case, it must be brought high for a minimum of 20 ns before the next write sequence so that a falling edge of  $\overline{CS}$  can initiate the next write sequence.

**Figure 24. Data Input Register**

DB15														DB0	
D15	D15	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset



**Figure 25.  $\overline{CS}$  Interrupt Facility**

## 9 Application and Implementation

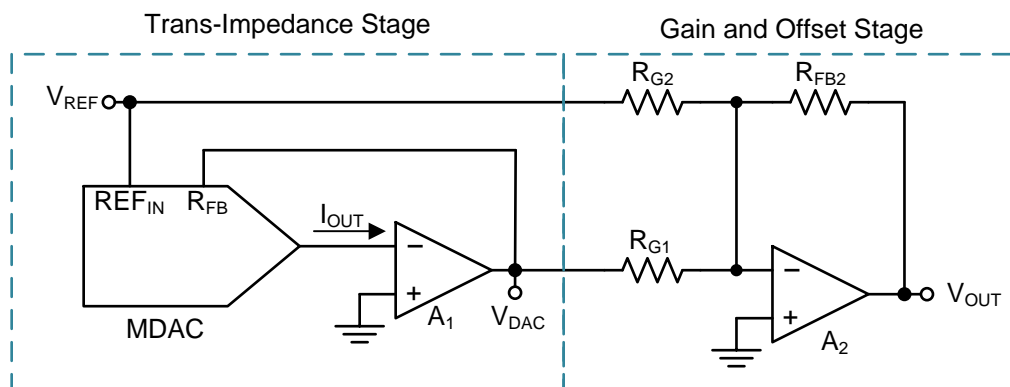
### NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

### 9.1 Application Information

This design features the DAC8811 followed by a four-quadrant circuit for multiplying DACs. The circuit conditions the current output of an MDAC into a symmetrical bipolar voltage. The design uses an operational amplifier in a transimpedance configuration to convert the MDAC current into a voltage followed by an additional amplifier in a summing configuration to apply an offset voltage.

### 9.2 Typical Application



**Figure 26. Typical Application**

#### 9.2.1 Design Requirements

Using a multiplying DAC requires a transimpedance stage with an amplifier with minimal input offset voltage. The tolerance of the external resistors will vary depending on the goals of the application, but for optimal performance with the DAC8811 the tolerance should be 0.1 % for all of the external resistors. The summing stage amplifier also needs low input-offset voltage and enough slew rate for the output range desired.

#### 9.2.2 Detailed Design Procedure

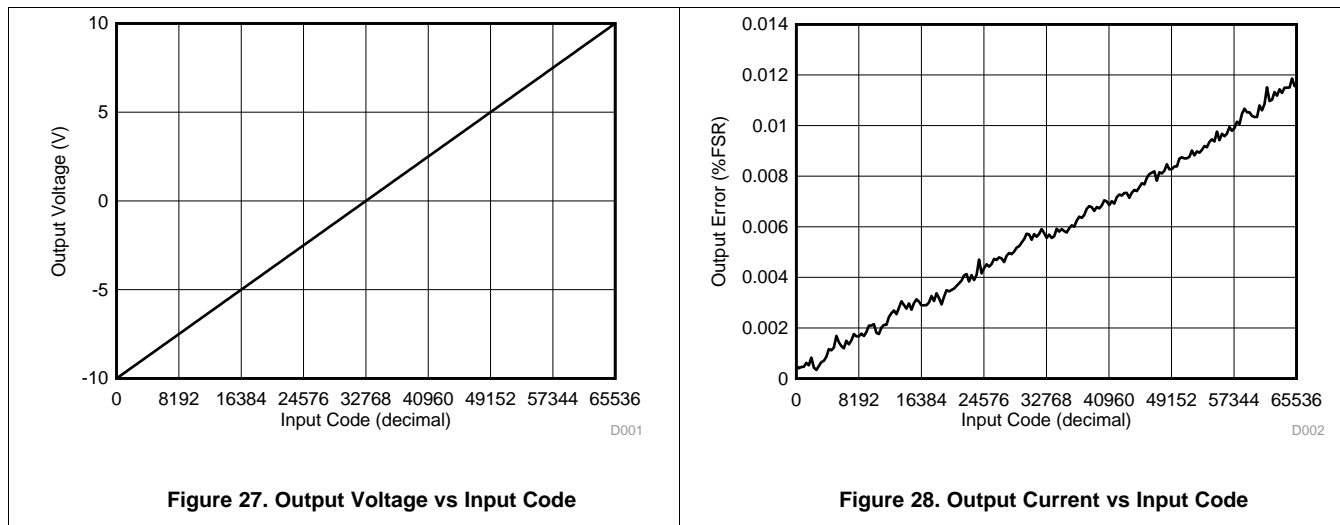
The first stage of the design converts the current output of the MDAC ( $I_{OUT}$ ) to a voltage ( $V_{OUT}$ ) using an amplifier in a transimpedance configuration. A typical MDAC features an on-chip feedback resistor sized appropriately to match the ratio of the resistor values used in the DAC R-2R ladder. This resistor is available using the input shown in [Figure 26](#) called RFB on the MDAC. The MDAC reference and the output of the transimpedance stage are then connected to the inverting input of the amplifier in the summing stage to produce the output that is defined by [Equation 5](#).

$$V_{OUT}(\text{Code}) = \left( \frac{R_{FB2}}{R_{G1}} \times \frac{V_{REF} \times \text{Code}}{2^{\text{bits}}} \right) - \left( \frac{R_{FB2}}{R_{G2}} \times V_{REF} \right) \quad (5)$$

**Typical Application (continued)**

**9.2.3 Application Curves**

Figure 27 shows the output voltage vs code of this design, while Figure 28 shows the output error vs code. Keep in mind that the error gets worse as the output code increases because the contribution of the gain error increases with code.



**10 Power Supply Recommendations**

These devices can operate within the specified supply voltage range of 2.7 V to 5.5 V. The power applied to AVDD should be well-regulated and low-noise. In order to further minimize noise from the power supplies, a strong recommendation is to include a pair of 100 pF and 1 nF capacitors and a 0.1 μF to 1 μF bypass capacitor. The current consumption of the AVDD pin, the short-circuit current limit, and the load current for these devices are listed in the *Electrical Characteristics* table. Choose the power supplies for these devices to meet the aforementioned current requirements.



## 11 Layout

### 11.1 Layout Guidelines

A precision analog component requires careful layout, adequate bypassing, and clean, well-regulated power supplies. The DAC8811 devices offer single-supply operation, and are often used in close proximity with digital logic, microcontrollers, microprocessors, and digital signal processors. The more digital logic present in the design and the higher the switching speed, the more difficult it is to keep digital noise from appearing at the output. As a result of the single ground pin of the DAC8811, all return currents (including digital and analog return currents for the DAC) must flow through a single point. Ideally, GND would be connected directly to an analog ground plane. This plane would be separate from the ground connection for the digital components until they were connected at the power-entry point of the system. The power applied to AVDD should be well-regulated and low noise. Switching power supplies and dc-dc converters often have high-frequency glitches or spikes riding on the output voltage. In addition, digital components can create similar high-frequency spikes as their internal logic switches states. This noise can easily couple into the DAC output voltage through various paths between the power connections and analog output. As with the GND connection, AVDD should be connected to a power-supply plane or trace that is separate from the connection for digital logic until they are connected at the power-entry point. In addition, a pair of 100-pF to 1-nF capacitors and a 0.1- $\mu$ F to 1- $\mu$ F bypass capacitor are strongly recommended. In some situations, additional bypassing may be required, such as a 100  $\mu$ F electrolytic capacitor or even a pi filter made up of inductors and capacitors – all designed essentially to provide low-pass filtering for the supply and remove the high-frequency noise.

While all the other recommendations apply to most DACs, multiplying DACs also require that the transimpedance amplifier be placed in close proximity in order to minimize non-linearity errors introduced by any resistance between the I<sub>OUT</sub> pin and V- pin of the amplifier.

### 11.2 Layout Example

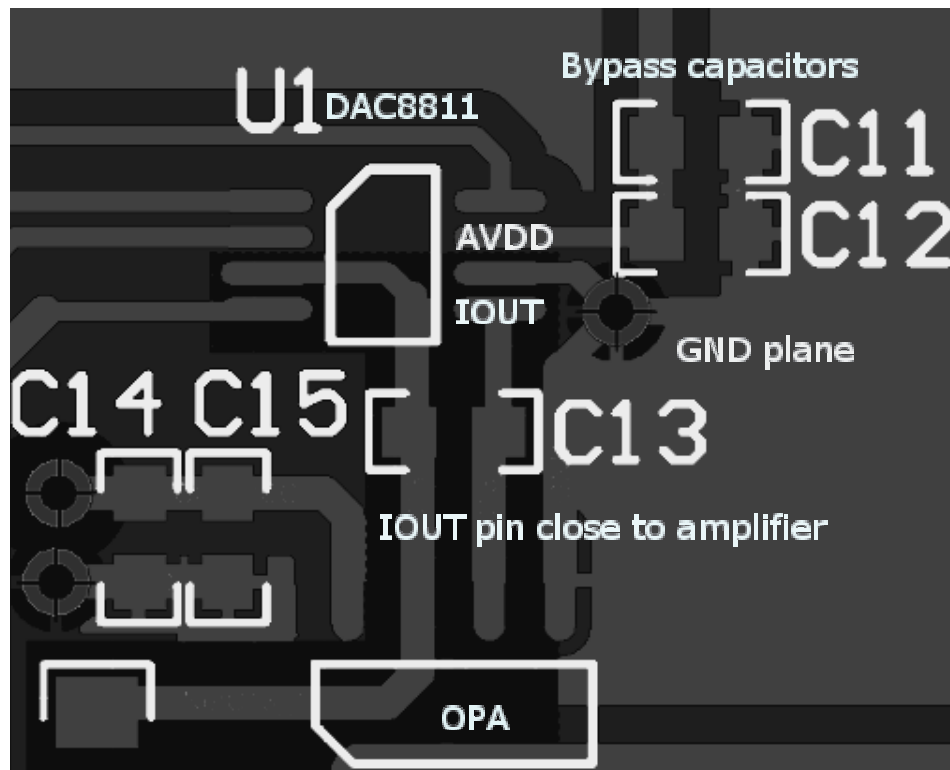


Figure 29. DAC8811 Layout Example

## 12 Device and Documentation Support

### 12.1 Documentation Support

#### 12.1.1 Related Documentation

For related documentation see the following:

- [DAC8801/11EVM](#), [SLAU151](#)
- [Interfacing the DAC8811 to the MSP430F449](#), [SLAA238](#)
- [Topology and Noise Using Multiplying DAC](#), [SBAA146](#)

### 12.2 Community Resources

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

**TI E2E™ Online Community** *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At [e2e.ti.com](#), you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

**Design Support** *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

### 12.3 Trademarks

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

### 12.4 Electrostatic Discharge Caution



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

### 12.5 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

## 13 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DAC8811IBDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811IBDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811IBDGKTG4	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811IBDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811IBDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811ICDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811ICDGKRG4	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811ICDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811ICDGKTG4	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811ICDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>
DAC8811ICDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	D11	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

**TBD:** The Pb-Free/Green conversion plan has not been defined.

**Pb-Free (RoHS):** TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

---

**Pb-Free (RoHS Exempt):** This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

**Green (RoHS & no Sb/Br):** TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

<sup>(3)</sup> MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

<sup>(4)</sup> There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

<sup>(5)</sup> Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

<sup>(6)</sup> Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC8811BDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC8811ICDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
DAC8811ICDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
DAC8811ICDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC8811IBDRBT	SON	DRB	8	250	210.0	185.0	35.0
DAC8811ICDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
DAC8811ICDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
DAC8811ICDRBT	SON	DRB	8	250	210.0	185.0	35.0

**DRB 8**

**GENERIC PACKAGE VIEW**

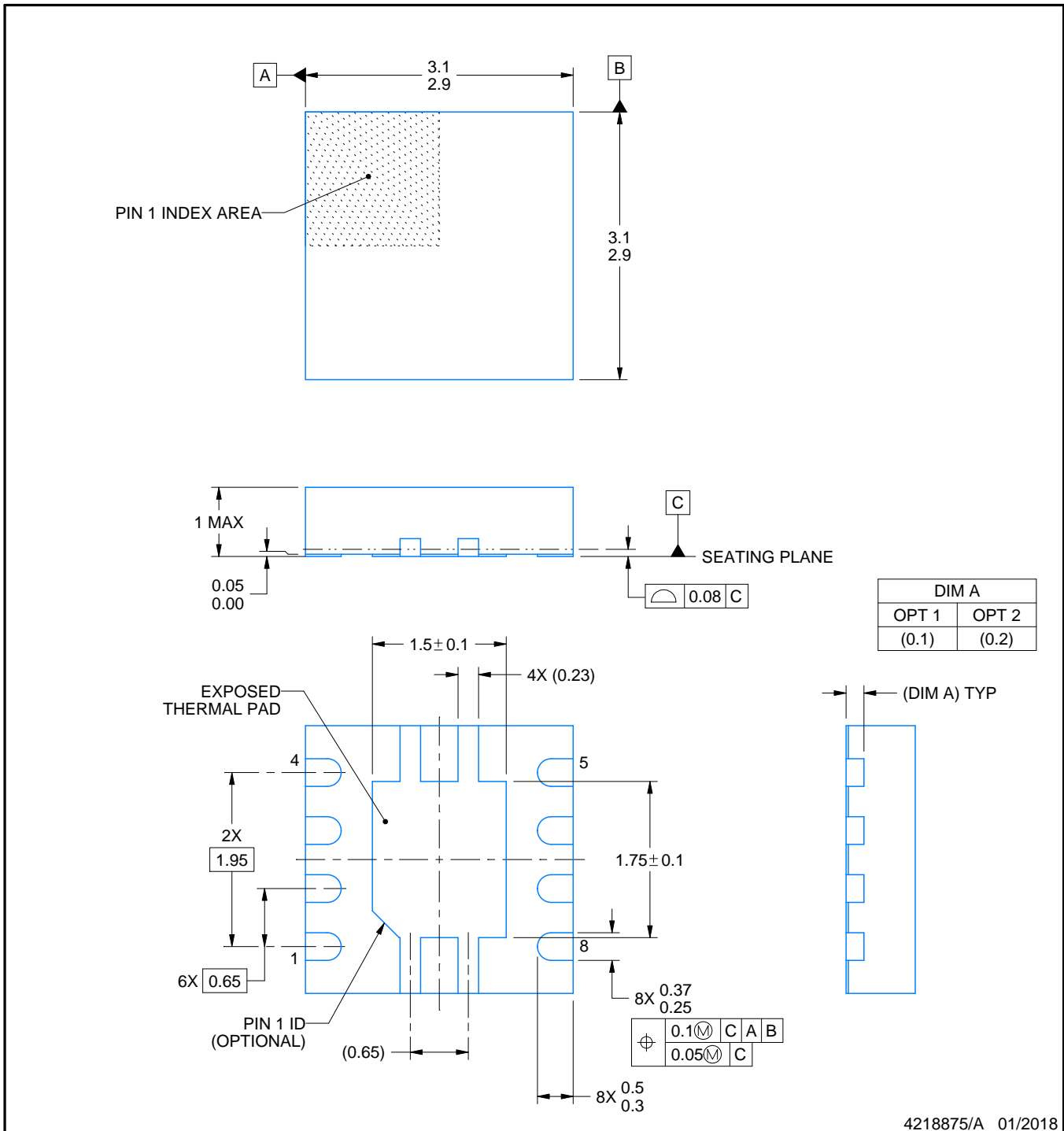
**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4203482/L



4218875/A 01/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

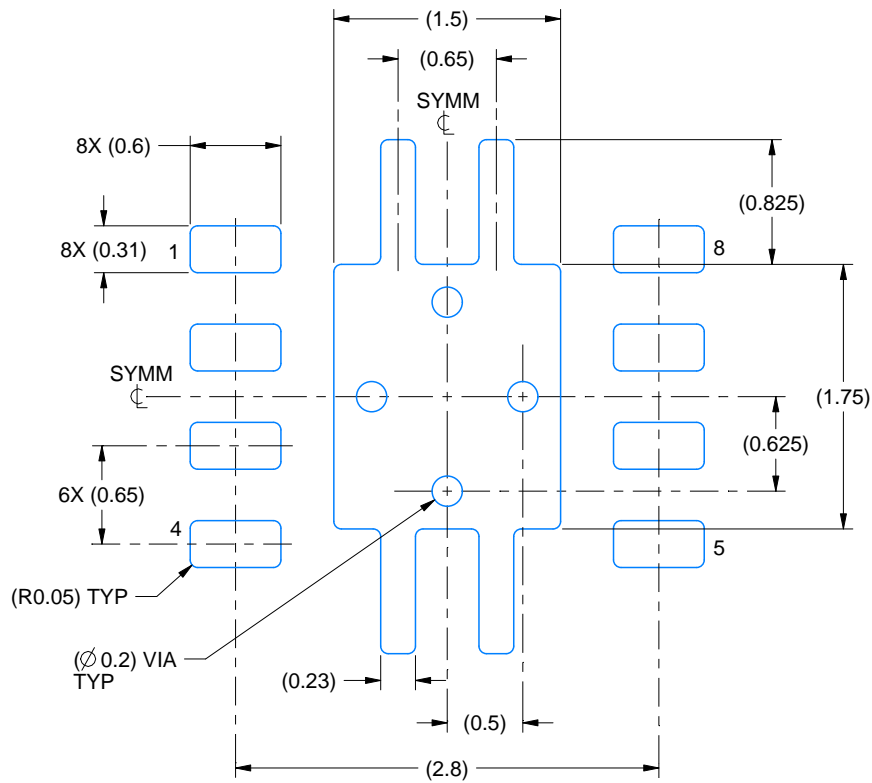


# EXAMPLE BOARD LAYOUT

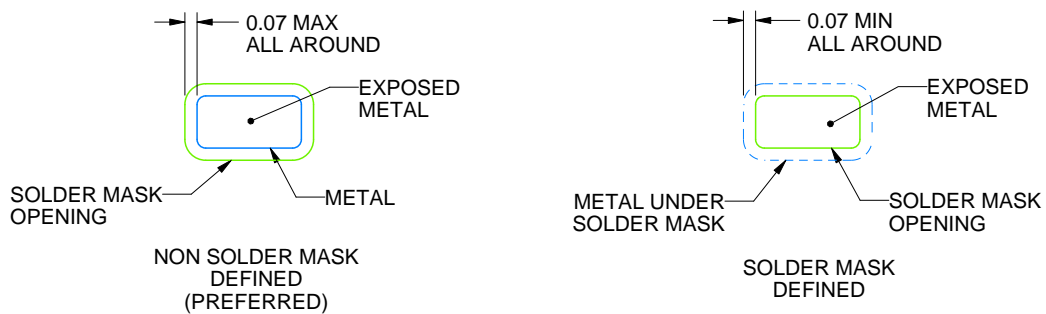
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

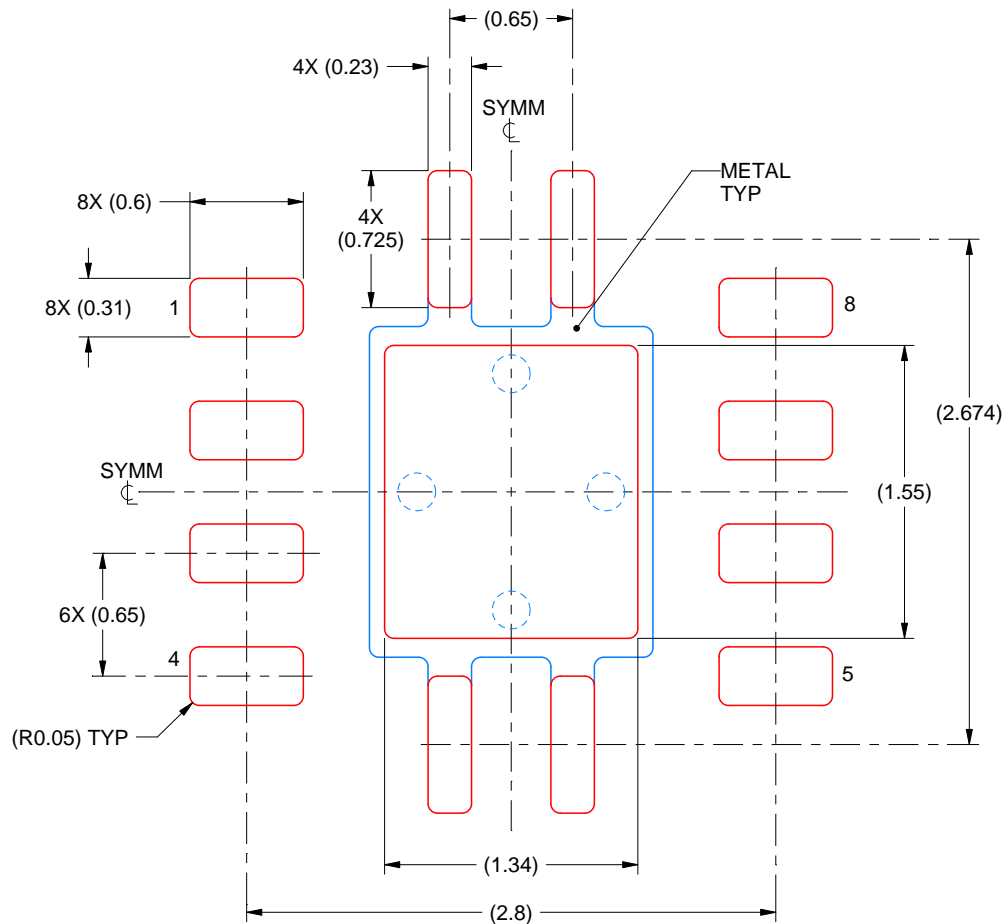
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
84% PRINTED SOLDER COVERAGE BY AREA  
SCALE:25X

4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.





- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

## IMPORTANT NOTICE

Texas Instruments Incorporated (TI) reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

TI's published terms of sale for semiconductor products (<http://www.ti.com/sc/docs/stdterms.htm>) apply to the sale of packaged integrated circuit products that TI has qualified and released to market. Additional terms may apply to the use or sale of other types of TI products and services.

Reproduction of significant portions of TI information in TI data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such reproduced documentation. Information of third parties may be subject to additional restrictions. Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Buyers and others who are developing systems that incorporate TI products (collectively, "Designers") understand and agree that Designers remain responsible for using their independent analysis, evaluation and judgment in designing their applications and that Designers have full and exclusive responsibility to assure the safety of Designers' applications and compliance of their applications (and of all TI products used in or for Designers' applications) with all applicable regulations, laws and other applicable requirements. Designer represents that, with respect to their applications, Designer has all the necessary expertise to create and implement safeguards that (1) anticipate dangerous consequences of failures, (2) monitor failures and their consequences, and (3) lessen the likelihood of failures that might cause harm and take appropriate actions. Designer agrees that prior to using or distributing any applications that include TI products, Designer will thoroughly test such applications and the functionality of such TI products as used in such applications.

TI's provision of technical, application or other design advice, quality characterization, reliability data or other services or information, including, but not limited to, reference designs and materials relating to evaluation modules, (collectively, "TI Resources") are intended to assist designers who are developing applications that incorporate TI products; by downloading, accessing or using TI Resources in any way, Designer (individually or, if Designer is acting on behalf of a company, Designer's company) agrees to use any particular TI Resource solely for this purpose and subject to the terms of this Notice.

TI's provision of TI Resources does not expand or otherwise alter TI's applicable published warranties or warranty disclaimers for TI products, and no additional obligations or liabilities arise from TI providing such TI Resources. TI reserves the right to make corrections, enhancements, improvements and other changes to its TI Resources. TI has not conducted any testing other than that specifically described in the published documentation for a particular TI Resource.

Designer is authorized to use, copy and modify any individual TI Resource only in connection with the development of applications that include the TI product(s) identified in such TI Resource. NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT OF TI OR ANY THIRD PARTY IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information regarding or referencing third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of TI Resources may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI RESOURCES ARE PROVIDED "AS IS" AND WITH ALL FAULTS. TI DISCLAIMS ALL OTHER WARRANTIES OR REPRESENTATIONS, EXPRESS OR IMPLIED, REGARDING RESOURCES OR USE THEREOF, INCLUDING BUT NOT LIMITED TO ACCURACY OR COMPLETENESS, TITLE, ANY EPIDEMIC FAILURE WARRANTY AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY DESIGNER AGAINST ANY CLAIM, INCLUDING BUT NOT LIMITED TO ANY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON ANY COMBINATION OF PRODUCTS EVEN IF DESCRIBED IN TI RESOURCES OR OTHERWISE. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, DIRECT, SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF TI RESOURCES OR USE THEREOF, AND REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.

Unless TI has explicitly designated an individual product as meeting the requirements of a particular industry standard (e.g., ISO/TS 16949 and ISO 26262), TI is not responsible for any failure to meet such industry standard requirements.

Where TI specifically promotes products as facilitating functional safety or as compliant with industry functional safety standards, such products are intended to help enable customers to design and create their own applications that meet applicable functional safety standards and requirements. Using products in an application does not by itself establish any safety features in the application. Designers must ensure compliance with safety-related requirements and standards applicable to their applications. Designer may not use any TI products in life-critical medical equipment unless authorized officers of the parties have executed a special contract specifically governing such use. Life-critical medical equipment is medical equipment where failure of such equipment would cause serious bodily injury or death (e.g., life support, pacemakers, defibrillators, heart pumps, neurostimulators, and implantables). Such equipment includes, without limitation, all medical devices identified by the U.S. Food and Drug Administration as Class III devices and equivalent classifications outside the U.S.

TI may expressly designate certain products as completing a particular qualification (e.g., Q100, Military Grade, or Enhanced Product). Designers agree that it has the necessary expertise to select the product with the appropriate qualification designation for their applications and that proper product selection is at Designers' own risk. Designers are solely responsible for compliance with all legal and regulatory requirements in connection with such selection.

Designer will fully indemnify TI and its representatives against any damages, costs, losses, and/or liabilities arising out of Designer's non-compliance with the terms and provisions of this Notice.



# 1 MSPS, 12-/10-/8-Bit ADCs in 6-Lead SOT-23

## AD7476/AD7477/AD7478

### FEATURES

**Fast throughput rate: 1 MSPS**

**Specified for  $V_{DD}$  of 2.35 V to 5.25 V**

**Low power**

**3.6 mW at 1 MSPS with 3 V supplies**

**15 mW at 1 MSPS with 5 V supplies**

**Wide input bandwidth**

**70 dB SNR at 100 kHz input frequency**

**Flexible power/serial clock speed management**

**No pipeline delays**

**High speed serial interface**

**SPI<sup>®</sup>-/QSPI<sup>™</sup>-/MICROWIRE<sup>™</sup>-/DSP-compatible**

**Standby mode: 1  $\mu$ A maximum**

**6-lead SOT-23 package**

### APPLICATIONS

**Battery-powered systems**

**Personal digital assistants**

**Medical instruments**

**Mobile communications**

**Instrumentation and control systems**

**Data acquisition systems**

**High speed modems**

**Optical sensors**

### GENERAL DESCRIPTION

The AD7476/AD7477/AD7478<sup>1</sup> are, respectively, 12-bit, 10-bit, and 8-bit, high speed, low power, successive approximation ADCs. The parts operate from a single 2.35 V to 5.25 V power supply and feature throughput rates up to 1 MSPS. Each part contains a low noise, wide bandwidth track-and-hold amplifier that can handle input frequencies in excess of 6 MHz.

The conversion process and data acquisition are controlled using  $\overline{CS}$  and the serial clock, allowing the devices to interface with microprocessors or DSPs. The input signal is sampled on the falling edge of  $\overline{CS}$  and the conversion is initiated at this point. There are no pipeline delays associated with these parts.

The AD7476/AD7477/AD7478 use advanced design techniques to achieve very low power dissipation at high throughput rates. The reference for the parts is taken internally from  $V_{DD}$ . This allows the widest dynamic input range to the ADC. Thus, the analog input range for the parts are 0 V to  $V_{DD}$ . The conversion rate is determined by the SCLK.

<sup>1</sup> Protected by U.S. Patent No. 6,681,332.

### Rev. F

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

### FUNCTIONAL BLOCK DIAGRAM

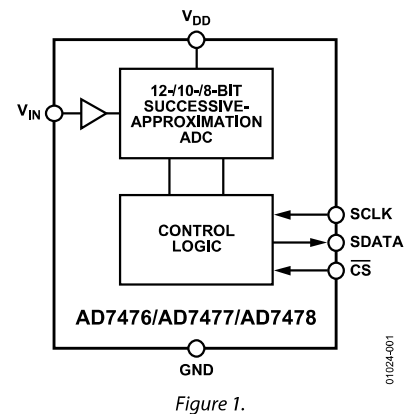


Figure 1.

### PRODUCT HIGHLIGHTS

1. First 12-/10-/8-Bit ADCs in SOT-23 Packages.
2. High Throughput with Low Power Consumption.
3. Flexible Power/Serial Clock Speed Management. The conversion rate is determined by the serial clock, allowing the conversion time to be reduced through the serial clock speed increase. This allows the average power consumption to be reduced while not converting. The parts also feature a shutdown mode to maximize power efficiency at lower throughput rates. Current consumption is 1  $\mu$ A maximum when in shutdown mode.
4. Reference Derived from the Power Supply.
5. No Pipeline Delay. The parts feature a standard successive approximation ADC with accurate control of the sampling instant via a  $\overline{CS}$  input and once-off conversion control.

**TABLE OF CONTENTS**

Features .....	1	Typical Performance Characteristics .....	11
Applications.....	1	Terminology.....	12
Functional Block Diagram .....	1	Theory of Operation .....	13
General Description.....	1	Circuit Information.....	13
Product Highlights .....	1	Converter Operation.....	13
Revision History .....	2	ADC Transfer Function.....	13
Specifications.....	3	Typical Connection Diagram .....	14
AD7476 Specifications.....	3	Modes of Operation .....	15
AD7477 Specifications.....	5	Power vs. Throughput Rate.....	17
AD7478 Specifications.....	7	Serial Interface .....	18
Timing Specifications .....	8	Microprocessor Interfacing.....	19
Absolute Maximum Ratings.....	9	Outline Dimensions .....	21
ESD Caution.....	9	Ordering Guide .....	22
Pin Configuration and Function Descriptions.....	10		

**REVISION HISTORY**

**1/09—Rev. E to Rev. F**

Changes to Features.....	1
Changes to Ordering Guide .....	22

**4/06—Rev. D to Rev. E**

Updated Format.....	Universal
Changes to Table 1 Endnotes .....	3
Changes to Table 2 Endnotes .....	5
Changes to Table 3 Endnotes .....	7
Updated Outline Dimensions .....	21
Changes to Ordering Guide .....	22

**3/04—Rev. C to Rev. D**

Added U.S. Patent Number .....	1
Changes to Specifications.....	2
Changes to Absolute Maximum Ratings.....	6
Changes to AD7476/AD7477/AD7478 to ADSP-21xx Interface section.....	16

**2/03—Rev. B to Rev. C**

Changes to General Description .....	1
Changes to Specifications.....	2
Changes to Absolute Maximum Ratings.....	6
Changes to Ordering Guide .....	6
Changes to Typical Connection Diagram section .....	10
Changes to Figure 8 caption.....	11
Changes to Figure 19.....	16
Changes to Figure 20.....	17
Updated Outline Dimensions.....	18

# SPECIFICATIONS

## AD7476 SPECIFICATIONS

A version:  $V_{DD} = 2.7\text{ V to }5.25\text{ V}$ ,  $f_{SCLK} = 20\text{ MHz}$ ,  $f_{SAMPLE} = 1\text{ MSPS}$ , unless otherwise noted; S and B versions:  $V_{DD} = 2.35\text{ V to }5.25\text{ V}$ ,  $f_{SCLK} = 12\text{ MHz}$ ,  $f_{SAMPLE} = 600\text{ kSPS}$ , unless otherwise noted;  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.

Table 1.

Parameter	A Version <sup>1,2</sup>	B Version <sup>1,2</sup>	S Version <sup>1,2</sup>	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-(Noise + Distortion) (SINAD) <sup>3</sup>	69	70	69	dB min	$f_{IN} = 100\text{ kHz}$ sine wave B version, $V_{DD} = 2.4\text{ V to }5.25\text{ V}$ $T_A = 25^\circ\text{C}$
	70		70	dB min	
Signal-to-Noise Ratio (SNR) <sup>3</sup>		71.5		dB typ	B version, $V_{DD} = 2.4\text{ V to }5.25\text{ V}$
	70	71	70	dB min	
		72.5		dB typ	
Total Harmonic Distortion (THD) <sup>3</sup>	-80	-78	-78	dB typ	
Peak Harmonic or Spurious Noise (SFDR) <sup>3</sup>	-82	-80	-80	dB typ	
<b>Intermodulation Distortion (IMD)<sup>3</sup></b>					
Second-Order Terms	-78	-78	-78	dB typ	$f_a = 103.5\text{ kHz}$ , $f_b = 113.5\text{ kHz}$
Third-Order Terms	-78	-78	-78	dB typ	$f_a = 103.5\text{ kHz}$ , $f_b = 113.5\text{ kHz}$
Aperture Delay	10	10	10	ns typ	
Aperture Jitter	30	30	30	ps typ	
Full Power Bandwidth	6.5	6.5	6.5	MHz typ	@ 3 dB
<b>DC ACCURACY</b>					
Resolution	12	12	12	Bits	S, B versions, $V_{DD} = (2.35\text{ V to }3.6\text{ V})^4$ ; A version, $V_{DD} = (2.7\text{ V to }3.6\text{ V})$
Integral Nonlinearity <sup>3</sup>		$\pm 1.5$	$\pm 1.5$	LSB max	Guaranteed no missed codes to 12 bits
	$\pm 1$	$\pm 0.6$	$\pm 0.6$	LSB typ	
Differential Nonlinearity <sup>3</sup>		$-0.9/+1.5$	$-0.9/+1.5$	LSB max	
	$\pm 0.75$	$\pm 0.75$	$\pm 0.75$	LSB typ	
Offset Error <sup>3</sup>		$\pm 1.5$	$\pm 2$	LSB max	
	$\pm 0.5$			LSB typ	
Gain Error <sup>3</sup>		$\pm 1.5$	$\pm 2$	LSB max	
	$\pm 0.5$			LSB typ	
<b>ANALOG INPUT</b>					
Input Voltage Ranges	0 to $V_{DD}$	0 to $V_{DD}$	0 to $V_{DD}$	V	
DC Leakage Current	$\pm 1$	$\pm 1$	$\pm 1$	$\mu\text{A max}$	
Input Capacitance	30	30	30	pF typ	
<b>LOGIC INPUT</b>					
Input High Voltage, $V_{INH}$	2.4	2.4	2.4	V min	$V_{DD} = 2.35\text{ V}$ $V_{DD} = 3\text{ V}$ $V_{DD} = 5\text{ V}$ Typically $10\text{ nA}$ , $V_{IN} = 0\text{ V or }V_{DD}$
	1.8	1.8	1.8	V min	
Input Low Voltage, $V_{INL}$	0.4	0.4	0.4	V max	
	0.8	0.8	0.8	V max	
Input Current, $I_{IN}$ , SCLK Pin	$\pm 1$	$\pm 1$	$\pm 1$	$\mu\text{A max}$	
Input Current, $I_{IN}$ , $\overline{\text{CS}}$ Pin	$\pm 1$	$\pm 1$	$\pm 1$	$\mu\text{A typ}$	
Input Capacitance, $C_{IN}^5$	10	10	10	pF max	
<b>LOGIC OUTPUT</b>					
Output High Voltage, $V_{OH}$	$V_{DD} - 0.2$	$V_{DD} - 0.2$	$V_{DD} - 0.2$	V min	$I_{SOURCE} = 200\text{ }\mu\text{A}$ ; $V_{DD} = 2.35\text{ V to }5.25\text{ V}$ $I_{SINK} = 200\text{ }\mu\text{A}$
Output Low Voltage, $V_{OL}$	0.4	0.4	0.4	V max	
Floating-State Leakage Current	$\pm 10$	$\pm 10$	$\pm 10$	$\mu\text{A max}$	
Floating-State Output Capacitance <sup>5</sup>	10	10	10	pF max	
Output Coding	Straight (Natural) Binary				



# AD7476/AD7477/AD7478

Parameter	A Version <sup>1,2</sup>	B Version <sup>1,2</sup>	S Version <sup>1,2</sup>	Unit	Test Conditions/Comments
<b>CONVERSION RATE</b>					
Conversion Time	0.8	1.33	1.33	μs max	16 SCLK cycles
Track-and-Hold Acquisition Time	500	500	500	ns max	Full-scale step input
	350	400	400	ns max	Sine wave input ≤ 100 kHz
Throughput Rate	1000	600	600	kSPS max	See Serial Interface section
<b>POWER REQUIREMENTS</b>					
V <sub>DD</sub>	2.35/5.25	2.35/5.25	2.35/5.25	V min/max	Digital I/Ps = 0 V or V <sub>DD</sub>
I <sub>DD</sub>					
Normal Mode (Static)	2	2	2	mA typ	V <sub>DD</sub> = 4.75 V to 5.25 V, SCLK on or off
	1	1	1	mA typ	V <sub>DD</sub> = 2.35 V to 3.6 V, SCLK on or off
Normal Mode (Operational)	3.5	3	3	mA max	V <sub>DD</sub> = 4.75 V to 5.25 V, f <sub>SAMPLE</sub> = f <sub>SAMPLEMAX</sub> <sup>6</sup>
	1.6	1.4	1.4	mA max	V <sub>DD</sub> = 2.35 V to 3.6 V, f <sub>SAMPLE</sub> = f <sub>SAMPLEMAX</sub> <sup>6</sup>
Full Power-Down Mode	1	1	1	μA max	SCLK off
	80	80	80	μA max	SCLK on
Power Dissipation <sup>7</sup>					
Normal Mode (Operational)	17.5	15	15	mW max	V <sub>DD</sub> = 5 V, f <sub>SAMPLE</sub> = f <sub>SAMPLEMAX</sub> <sup>6</sup>
	4.8	4.2	4.2	mW max	V <sub>DD</sub> = 3 V, f <sub>SAMPLE</sub> = f <sub>SAMPLEMAX</sub> <sup>6</sup>
Full Power-Down	5	5	5	μW max	V <sub>DD</sub> = 5 V, SCLK off
	3	3	3	μW max	V <sub>DD</sub> = 3 V, SCLK off

<sup>1</sup> Temperature range for A and B versions is –40°C to +85°C; temperature range for S version is –55°C to +125°C.

<sup>2</sup> Operational from V<sub>DD</sub> = 2.0 V.

<sup>3</sup> See the Terminology section.

<sup>4</sup> Maximum B and S version specifications apply as typical figures when V<sub>DD</sub> = 5.25 V.

<sup>5</sup> Guaranteed by characterization.

<sup>6</sup> For A version: f<sub>SAMPLEMAX</sub> = 1 MSPS; B and S versions: f<sub>SAMPLEMAX</sub> = 600 kSPS.

<sup>7</sup> See the Power vs. Throughput Rate section.

**AD7477 SPECIFICATIONS**

$V_{DD} = 2.7\text{ V to }5.25\text{ V}$ ,  $f_{SCLK} = 20\text{ MHz}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.

**Table 2.**

Parameter	A Version <sup>1,2</sup>	S Version <sup>1,2</sup>	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>				
Signal-to-(Noise + Distortion) (SINAD)	61	61	dB min	$f_{IN} = 100\text{ kHz sine wave}$ , $f_{SAMPLE} = 1\text{ MSPS}$  $f_a = 103.5\text{ kHz}$ , $f_b = 113.5\text{ kHz}$ $f_a = 103.5\text{ kHz}$ , $f_b = 113.5\text{ kHz}$  @ 3 dB
Total Harmonic Distortion (THD) <sup>3</sup>	-73	-73	dB max	
Peak Harmonic or Spurious Noise (SFDR) <sup>3</sup>	-74	-74	dB max	
Intermodulation Distortion (IMD) <sup>3</sup>				
Second-Order Terms	-78	-78	dB typ	
Third-Order Terms	-78	-78	dB typ	
Aperture Delay	10	10	ns typ	
Aperture Jitter	30	30	ps typ	
Full Power Bandwidth	6.5	6.5	MHz typ	
<b>DC ACCURACY</b>				
Resolution	10	10	Bits	Guaranteed no missed codes to 10 bits
Integral Nonlinearity <sup>3</sup>	±1	±1	LSB max	
Differential Nonlinearity <sup>3</sup>	±0.9	±0.9	LSB max	
Offset Error <sup>3</sup>	±1	±1	LSB max	
Gain Error <sup>3</sup>	±1	±1	LSB max	
<b>ANALOG INPUT</b>				
Input Voltage Ranges	0 to $V_{DD}$	0 to $V_{DD}$	V	
DC Leakage Current	±1	±1	µA max	
Input Capacitance	30	30	pF typ	
<b>LOGIC INPUTS</b>				
Input High Voltage, $V_{INH}$	2.4	2.4	V min	$V_{DD} = 5\text{ V}$ $V_{DD} = 3\text{ V}$ Typically 10 nA, $V_{IN} = 0\text{ V or }V_{DD}$
Input Low Voltage, $V_{INL}$	0.8	0.8	V max	
	0.4	0.4	V max	
Input Current, $I_{IN}$ , SCLK Pin	±1	±1	µA max	
Input Current, $I_{IN}$ , $\overline{CS}$ Pin	±1	±1	µA typ	
Input Capacitance, $C_{IN}^4$	10	10	pF max	
<b>LOGIC OUTPUTS</b>				
Output High Voltage, $V_{OH}$	$V_{DD} - 0.2$	$V_{DD} - 0.2$	V min	$I_{SOURCE} = 200\text{ µA}$ , $V_{DD} = 2.7\text{ V to }5.25\text{ V}$ $I_{SINK} = 200\text{ µA}$
Output Low Voltage, $V_{OL}$	0.4	0.4	V max	
Floating-State Leakage Current	±10	±10	µA max	
Floating-State Output Capacitance <sup>4</sup>	10	10	pF max	
Output Coding	Straight (Natural) Binary			
<b>CONVERSION RATE</b>				
Conversion Time	800	800	ns max	16 SCLK cycles with SCLK at 20 MHz
Track-and-Hold Acquisition Time	400	400	ns max	
Throughput Rate	1	1	MSPS max	See Serial Interface section

# AD7476/AD7477/AD7478

Parameter	A Version <sup>1,2</sup>	S Version <sup>1,2</sup>	Unit	Test Conditions/Comments
<b>POWER REQUIREMENTS</b>				
V <sub>DD</sub>	2.7/5.25	2.7/5.25	V min/max	
I <sub>DD</sub>				Digital I/Ps = 0 V or V <sub>DD</sub>
Normal Mode (Static)	2	2	mA typ	V <sub>DD</sub> = 4.75 V to 5.25 V; SCLK on or off
	1	1	mA typ	V <sub>DD</sub> = 2.7 V to 3.6 V; SCLK on or off
Normal Mode (Operational)	3.5	3.5	mA max	V <sub>DD</sub> = 4.75 V to 5.25 V; f <sub>SAMPLE</sub> = 1 MSPS
	1.6	1.6	mA max	V <sub>DD</sub> = 2.7 V to 3.6 V; f <sub>SAMPLE</sub> = 1 MSPS
Full Power-Down Mode	1	1	μA max	SCLK off
	80	80	μA max	SCLK on
Power Dissipation <sup>5</sup>				
Normal Mode (Operational)	17.5	17.5	mW max	V <sub>DD</sub> = 5 V; f <sub>SAMPLE</sub> = 1 MSPS
	4.8	4.8	mW max	V <sub>DD</sub> = 3 V; f <sub>SAMPLE</sub> = 1 MSPS
Full Power-Down	5	5	μW max	V <sub>DD</sub> = 5 V; SCLK off

<sup>1</sup> Temperature range for A version is -40°C to +85°C; temperature range for S version is -55°C to +125°C.

<sup>2</sup> Operational from V<sub>DD</sub> = 2.0 V, with input high voltage, V<sub>NH</sub> = 1.8 V minimum.

<sup>3</sup> See the Terminology section.

<sup>4</sup> Guaranteed by characterization.

<sup>5</sup> See the Power vs. Throughput Rate section.

**AD7478 SPECIFICATIONS**

$V_{DD} = 2.7\text{ V to }5.25\text{ V}$ ,  $f_{SCLK} = 20\text{ MHz}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.

**Table 3.**

Parameter	A Version <sup>1,2</sup>	S Version <sup>1,2</sup>	Unit	Test Conditions/Comments
<b>DYNAMIC PERFORMANCE</b>				
Signal-to-(Noise + Distortion) (SINAD) <sup>3</sup>	49	49	dB min	$f_{IN} = 100\text{ kHz sine wave, }f_{SAMPLE} = 1\text{ MSPS}$
Total Harmonic Distortion (THD) <sup>3</sup>	-65	-65	dB max	
Peak Harmonic or Spurious Noise (SFDR) <sup>3</sup>	-65	-65	dB max	
Intermodulation Distortion (IMD) <sup>3</sup>				
Second-Order Terms	-68	-68	dB typ	$f_a = 498.7\text{ kHz, }f_b = 508.7\text{ kHz}$
Third-Order Terms	-68	-68	dB typ	$f_a = 498.7\text{ kHz, }f_b = 508.7\text{ kHz}$
Aperture Delay	10	10	ns typ	
Aperture Jitter	30	30	ps typ	
Full Power Bandwidth	6.5	6.5	MHz typ	@ 3 dB
<b>DC ACCURACY</b>				
Resolution	8	8	Bits	
Integral Nonlinearity <sup>3</sup>	±0.5	±0.5	LSB max	Guaranteed no missed codes to eight bits
Differential Nonlinearity <sup>3</sup>	±0.5	±0.5	LSB max	
Offset Error	±0.5	±0.5	LSB max	
Gain Error	±0.5	±0.5	LSB max	
Total Unadjusted Error (TUE)	±0.5	±0.5	LSB max	
<b>ANALOG INPUT</b>				
Input Voltage Ranges	0 to $V_{DD}$	0 to $V_{DD}$	V	
DC Leakage Current	±1	±1	µA max	
Input Capacitance	30	30	pF typ	
<b>LOGIC INPUTS</b>				
Input High Voltage, $V_{INH}$	2.4	2.4	V min	$V_{DD} = 5\text{ V}$ $V_{DD} = 3\text{ V}$ Typically 10 nA, $V_{IN} = 0\text{ V or }V_{DD}$
Input Low Voltage, $V_{INL}$	0.8	0.8	V max	
	0.4	0.4	V max	
Input Current, $I_{IN}$ , SCLK Pin	±1	±1	µA max	
Input Current, $I_{IN}$ , $\overline{CS}$ Pin	±1	±1	µA typ	
Input Capacitance, $C_{IN}^4$	10	10	pF max	
<b>LOGIC OUTPUTS</b>				
Output High Voltage, $V_{OH}$	$V_{DD} - 0.2$	$V_{DD} - 0.2$	V min	$I_{SOURCE} = 200\text{ }\mu\text{A, }V_{DD} = 2.7\text{ V to }5.25\text{ V}$ $I_{SINK} = 200\text{ }\mu\text{A}$
Output Low Voltage, $V_{OL}$	0.4	0.4	V max	
Floating-State Leakage Current	±10	±10	µA max	
Floating-State Output Capacitance <sup>4</sup>	10	10	pF max	
Output Coding	Straight (Natural) Binary			
<b>CONVERSION RATE</b>				
Conversion Time	800	800	ns max	16 SCLK cycles with SCLK at 20 MHz
Track-and-Hold Acquisition Time	400	400	ns max	
Throughput Rate	1	1	MSPS max	See Serial Interface section
<b>POWER REQUIREMENTS</b>				
$V_{DD}$	2.7/5.25	2.7/5.25	V min/max	Digital I/Ps = 0 V or $V_{DD}$ $V_{DD} = 4.75\text{ V to }5.25\text{ V, SCLK on or off}$ $V_{DD} = 2.7\text{ V to }3.6\text{ V, SCLK on or off}$ $V_{DD} = 4.75\text{ V to }5.25\text{ V, }f_{SAMPLE} = 1\text{ MSPS}$ $V_{DD} = 2.7\text{ V to }3.6\text{ V, }f_{SAMPLE} = 1\text{ MSPS}$ SCLK off SCLK on
$I_{DD}$				
Normal Mode (Static)	2	2	mA typ	
	1	1	mA typ	
Normal Mode (Operational)	3.5	3.5	mA max	
	1.6	1.6	mA max	
Full Power-Down Mode	1	1	µA max	
	80	80	µA max	

# AD7476/AD7477/AD7478

Parameter	A Version <sup>1,2</sup>	S Version <sup>1,2</sup>	Unit	Test Conditions/Comments
Power Dissipation <sup>5</sup>				
Normal Mode (Operational)	17.5	17.5	mW max	$V_{DD} = 5\text{ V}$ , $f_{SAMPLE} = 1\text{ MSPS}$
	4.8	4.8	mW max	$V_{DD} = 3\text{ V}$ , $f_{SAMPLE} = 1\text{ MSPS}$
Full Power-Down	5	5	$\mu\text{W max}$	$V_{DD} = 5\text{ V}$ , SCLK off

<sup>1</sup> Temperature range for A version is  $-40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$ ; temperature range for S version is  $-55^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ .

<sup>2</sup> Operational from  $V_{DD} = 2.0\text{ V}$ , with input high voltage,  $V_{NH} = 1.8\text{ V}$  minimum.

<sup>3</sup> See the Terminology section.

<sup>4</sup> Guaranteed by characterization.

<sup>5</sup> See the Power vs. Throughput Rate section.

## TIMING SPECIFICATIONS

$V_{DD} = 2.35\text{ V}$  to  $5.25\text{ V}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.

Table 4.

Parameter <sup>2,3</sup>	Limit at $T_{MIN}$ , $T_{MAX}$ <sup>1</sup>		Unit	Description
	3 V	5 V		
$f_{SCLK}$ <sup>4</sup>	10	10	kHz min	A version
	20	20	MHz max	
	12	12	MHz max	B version
$t_{CONVERT}$	$16 \times t_{SCLK}$	$16 \times t_{SCLK}$		
$t_{QUIET}$	50	50	ns min	Minimum quiet time required between bus relinquish and start of next conversion
$t_1$	10	10	ns min	Minimum $\overline{CS}$ pulsewidth
$t_2$	10	10	ns min	$\overline{CS}$ to SCLK setup time
$t_3$ <sup>5</sup>	20	20	ns max	Delay from $\overline{CS}$ until SDATA three-state disabled
$t_4$ <sup>5</sup>	40	20	ns max	Data access time after SCLK falling edge, A version
	70	20	ns max	Data access time after SCLK falling edge, B version
$t_5$	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK low pulsewidth
	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns min	SCLK high pulsewidth
$t_7$	10	10	ns min	SCLK to data valid hold time
$t_8$ <sup>6</sup>	10	10	ns min	SCLK falling edge to SDATA high impedance
	25	25	ns max	SCLK falling edge to SDATA high impedance
$t_{POWER-UP}$ <sup>7</sup>	1	1	$\mu\text{s typ}$	Power-up time from full power-down

<sup>1</sup> 3 V specifications apply from  $V_{DD} = 2.7\text{ V}$  to  $3.6\text{ V}$  for A version; 3 V specifications apply from  $V_{DD} = 2.35\text{ V}$  to  $3.6\text{ V}$  for B version; 5 V specifications apply from  $V_{DD} = 4.75\text{ V}$  to  $5.25\text{ V}$ .

<sup>2</sup> Guaranteed by characterization. All input signals are specified with  $t_r = t_f = 5\text{ ns}$  (10% to 90% of  $V_{DD}$ ) and timed from a voltage level of  $1.6\text{ V}$ .

<sup>3</sup> Version A timing specifications apply to the AD7477 and AD7478 S version; B version timing specifications apply to the AD7476 S version.

<sup>4</sup> Mark/space ratio for the SCLK input is 40/60 to 60/40.

<sup>5</sup> Measured with the load circuit of Figure 2 and defined as the time required for the output to cross  $0.8\text{ V}$  or  $2.0\text{ V}$ .

<sup>6</sup>  $t_8$  is derived from the measured time taken by the data output to change  $0.5\text{ V}$  when loaded with the circuit in Figure 2. The measured number is then extrapolated to remove the effects of charging or discharging the  $50\text{ pF}$  capacitor. This means that the time,  $t_8$ , is the true bus relinquish time of the part and is independent of the bus loading.

<sup>7</sup> See Power-Up Time section.

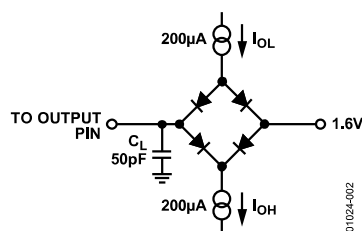


Figure 2. Load Circuit for Digital Output Timing Specifications

## ABSOLUTE MAXIMUM RATINGS

$T_A = 25^\circ\text{C}$ , unless otherwise noted.

**Table 5.**

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to +7 V
Digital Output Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Input Current to Any Pin Except Supplies <sup>1</sup>	$\pm 10$ mA
Operating Temperature Range	
Commercial Range (A, B Versions)	$-40^\circ\text{C}$ to $+85^\circ\text{C}$
Military Range (S Version)	$-55^\circ\text{C}$ to $+125^\circ\text{C}$
Storage Temperature Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Junction Temperature	$150^\circ\text{C}$
SOT-23 Package	
$\theta_{JA}$ Thermal Impedance	$230^\circ\text{C}/\text{W}$
$\theta_{JC}$ Thermal Impedance	$92^\circ\text{C}/\text{W}$
Lead Temperature, Soldering Reflow	
(10 sec to 30 sec)	$235$ (0/+5) $^\circ\text{C}$
Pb-free Temperature Soldering Reflow	$255$ (0/+5) $^\circ\text{C}$
ESD	$3.5$ kV

<sup>1</sup>Transient currents of up to 100 mA do not cause SCR latch-up.

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### ESD CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although this product features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.



# AD7476/AD7477/AD7478

## PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

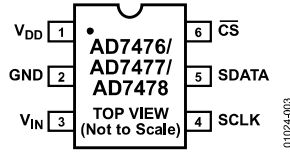


Figure 3. Pin Configuration

Table 6. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	V <sub>DD</sub>	Power Supply Input. The V <sub>DD</sub> range for the AD7476/AD7477/AD7478 is from 2.35 V to 5.25 V.
2	GND	Analog Ground. Ground reference point for all circuitry on the part. All analog input signals should be referred to this GND voltage.
3	V <sub>IN</sub>	Analog Input. Single-ended analog input channel. The input range is 0 V to V <sub>DD</sub> .
4	SCLK	Serial Clock. Logic input. SCLK provides the serial clock for accessing data from the part. This clock input is also used as the clock source for the AD7476/AD7477/AD7478 conversion process.
5	SDATA	Data Out. Logic output. The conversion result is provided on this output as a serial data stream. The bits are clocked out on the falling edge of the SCLK input. The data stream from the AD7476 consists of four leading zeros followed by the 12 bits of conversion data; this is provided MSB first. The data stream from the AD7477 consists of four leading zeros followed by the 10 bits of conversion data, followed by two trailing zeros, which is also provided MSB first. The data stream from the AD7478 consists of four leading zeros followed by the eight bits of conversion data, followed by four trailing zeros, which is provided MSB first.
6	$\overline{\text{CS}}$	Chip Select. Active low logic input. This input provides the dual function of initiating conversions on the AD7476/AD7477/AD7478 and framing the serial data transfer.

TYPICAL PERFORMANCE CHARACTERISTICS

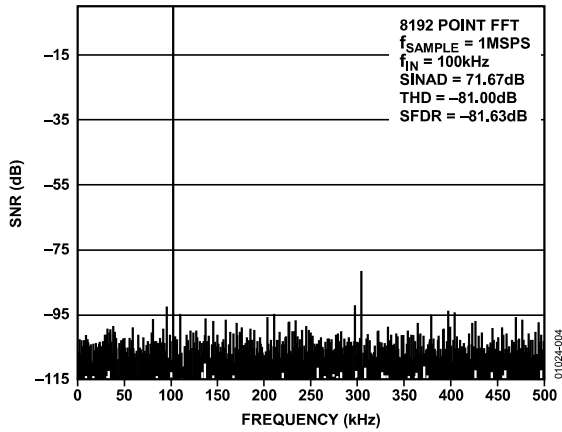


Figure 4. AD7476 Dynamic Performance at 1 MSPS

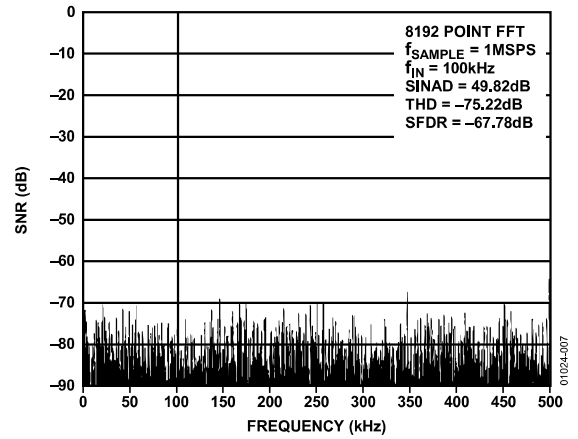


Figure 7. AD7478 Dynamic Performance at 1 MSPS

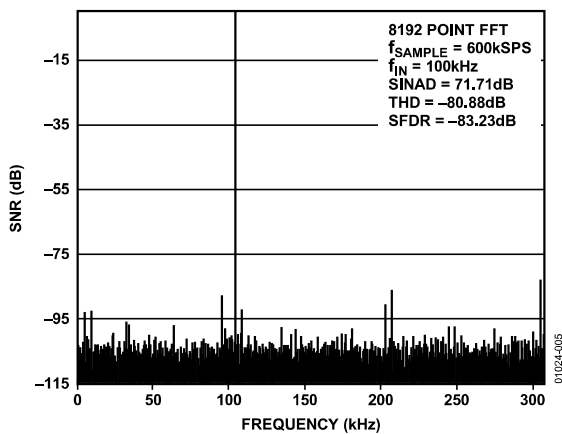


Figure 5. AD7476 Dynamic Performance at 600 kSPS

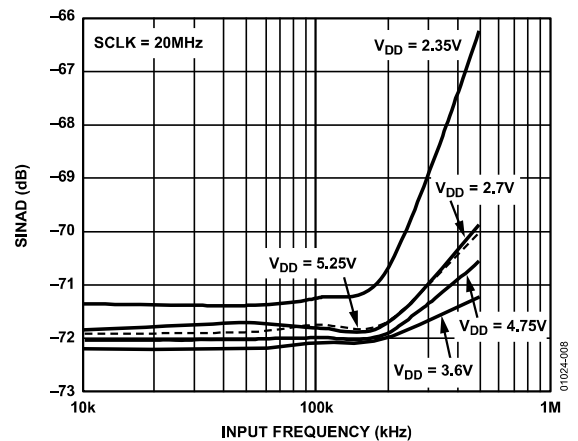


Figure 8. AD7476 SINAD vs. Input Frequency at 993 kSPS

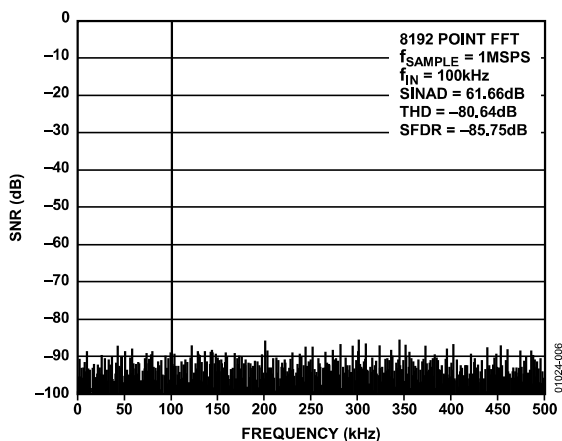


Figure 6. AD7477 Dynamic Performance at 1 MSPS

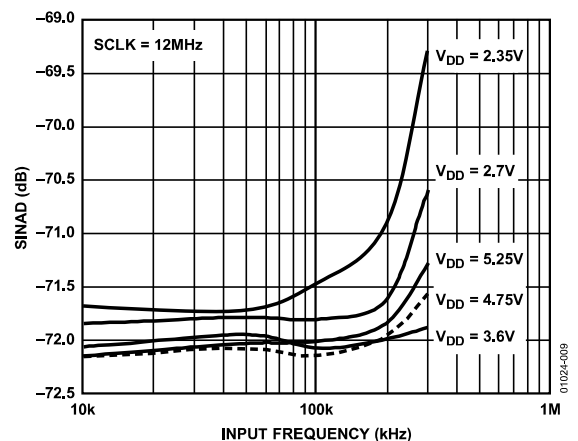


Figure 9. AD7476 SINAD vs. Input Frequency at 605 kSPS



## TERMINOLOGY

### Integral Nonlinearity

This is the maximum deviation from a straight line passing through the endpoints of the ADC transfer function. For the AD7476/AD7477, the endpoints of the transfer function are zero scale, a point ½ LSB below the first code transition, and full scale, a point ½ LSB above the last code transition. For the AD7478, the endpoints of the transfer function are zero scale, a point 1 LSB below the first code transition, and full scale, a point 1 LSB above the last code transition.

### Differential Nonlinearity

This is the difference between the measured and the ideal 1 LSB change between any two adjacent codes in the ADC.

### Offset Error

This is the deviation of the first code transition (00 . . . 000) to (00 . . . 001) from the ideal (such as AGND + 0.5 LSB). For the AD7478, this is the deviation of the first code transition (00 . . . 000) to (00 . . . 001) from the ideal (such as AGND + 1 LSB).

### Gain Error

For the AD7476/AD7477, this is the deviation of the last code transition (111 . . . 110) to (111 . . . 111) from the ideal (such as  $V_{REF} - 1.5$  LSB) after the offset error has been adjusted out. For the AD7478, this is the deviation of the last code transition (111 . . . 110) to (111 . . . 111) from the ideal (such as  $V_{REF} - 1$  LSB) after the offset error has been adjusted.

### Track-and-Hold Acquisition Time

The track-and-hold amplifier returns into track mode after the end of conversion. Track-and-hold acquisition time is the time required for the output of the track-and-hold amplifier to reach its final value, within  $\pm 0.5$  LSB, after the end of conversion. See the Serial Interface section for more details.

### Signal-to-(Noise + Distortion) Ratio

This is the measured ratio of signal-to-(noise + distortion) at the output of the ADC. The signal is the rms amplitude of the fundamental. Noise is the sum of all nonfundamental signals up to half the sampling frequency ( $f_s/2$ ), excluding dc.

The ratio is dependent on the number of quantization levels in the digitization process; the more levels, the smaller the quantization noise. The theoretical signal-to-(noise + distortion) ratio for an ideal N-bit converter with a sine wave input is given by

$$\text{Signal-to-(Noise + Distortion)} = (6.02N + 1.76) \text{ dB}$$

Thus, for a 12-bit converter, this is 74 dB; for a 10-bit converter it is 62 dB; and for an 8-bit converter it is 50 dB.

### Total Unadjusted Error

This is a comprehensive specification that includes gain error, linearity error, and offset error.

### Total Harmonic Distortion (THD)

Total harmonic distortion is the ratio of the rms sum of harmonics to the fundamental. For the AD7476/AD7477/AD7478, it is defined as:

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

where  $V_1$  is the rms amplitude of the fundamental and  $V_2$ ,  $V_3$ ,  $V_4$ ,  $V_5$ , and  $V_6$  are the rms amplitudes of the second through the sixth harmonics.

### Peak Harmonic or Spurious Noise

Peak harmonic or spurious noise is defined as the ratio of the rms value of the next largest component in the ADC output spectrum (up to  $f_s/2$  and excluding dc) to the rms value of the fundamental. Normally, the value of this specification is determined by the largest harmonic in the spectrum, but for ADCs where the harmonics are buried in the noise floor, it is a noise peak.

### Intermodulation Distortion

With inputs consisting of sine waves at two frequencies,  $f_a$  and  $f_b$ , any active device with nonlinearities creates distortion products at sum and difference frequencies of  $m f_a \pm n f_b$  where  $m, n = 0, 1, 2, 3$ , and so on. Intermodulation distortion terms are those for which neither  $m$  nor  $n$  is equal to zero. For example, the second-order terms include  $(f_a + f_b)$  and  $(f_a - f_b)$ , while the third-order terms include  $(2f_a + f_b)$ ,  $(2f_a - f_b)$ ,  $(f_a + 2f_b)$ , and  $(f_a - 2f_b)$ .

The AD7476/AD7477/AD7478 are tested using the CCIF standard where two input frequencies are used ( $f_a = 498.7$  kHz and  $f_b = 508.7$  kHz). In this case, the second-order terms are usually distanced in frequency from the original sine waves while the third-order terms are usually at a frequency close to the input frequencies. As a result, the second- and third-order terms are specified separately. The calculation of the intermodulation distortion is as per the THD specification where it is the ratio of the rms sum of the individual distortion products to the rms amplitude of the sum of the fundamentals, expressed in dB.

## THEORY OF OPERATION

### CIRCUIT INFORMATION

The AD7476/AD7477/AD7478 are, respectively, 12-bit, 10-bit, and 8-bit, fast, micropower, single-supply ADCs. The parts can be operated from a 2.35 V to 5.25 V supply. When operated from either a 5 V supply or a 3 V supply, the AD7476/AD7477/AD7478 are capable of throughput rates of 1 MSPS when provided with a 20 MHz clock.

Each AD7476/AD7477/AD7478 provides an on-chip, track-and-hold ADC and a serial interface housed in a tiny 6-lead SOT-23 package, which offers considerable space-saving advantages. The serial clock input accesses data from the part and provides the clock source for the successive-approximation ADC. The analog input range is 0 V to  $V_{DD}$ . An external reference is not required for the ADC, nor is there a reference on-chip. The reference for the AD7476/AD7477/AD7478 is derived from the power supply and thus provides the widest dynamic input range.

The AD7476/AD7477/AD7478 also feature a power-down option to save power between conversions. The power-down feature is implemented across the standard serial interface as described in the Modes of Operation section.

### CONVERTER OPERATION

The AD7476/AD7477/AD7478 are successive-approximation analog-to-digital converters based around a charge redistribution DAC. Figure 1 and Figure 11 show simplified schematics of the ADC. Figure 10 shows the ADC during its acquisition phase. SW2 is closed and SW1 is in Position A, the comparator is held in a balanced condition, and the sampling capacitor acquires the signal on  $V_{IN}$ .

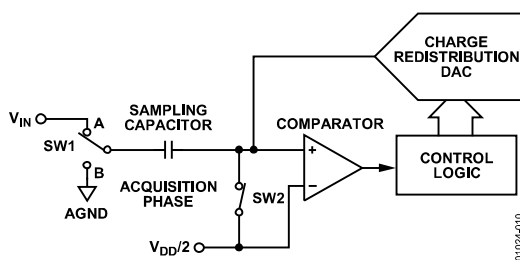


Figure 10. ADC Acquisition Phase

When the ADC starts a conversion (see Figure 11), SW2 opens and SW1 moves to Position B, causing the comparator to become unbalanced. The control logic and the charge redistribution DAC are used to add and subtract fixed amounts of charge from the sampling capacitor to bring the comparator back into a balanced condition. When the comparator is rebalanced, the conversion is complete. The control logic generates the ADC output code. Figure 12 and Figure 13 show the ADC transfer function.

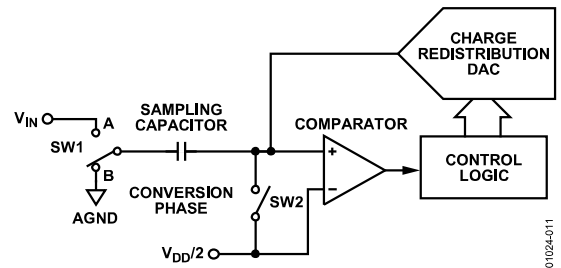


Figure 11. ADC Conversion Phase

### ADC TRANSFER FUNCTION

The output coding of the AD7476/AD7477/AD7478 is straight binary. For the AD7476/AD7477, designed code transitions occur midway between successive integer LSB values, such as  $\frac{1}{2}$  LSB,  $1\frac{1}{2}$  LSB, and so on. The LSB size for the AD7476 is  $V_{DD}/4096$ , and the LSB size for the AD7477 is  $V_{DD}/1024$ . The ideal transfer characteristic for the AD7476/AD7477 is shown in Figure 12.

For the AD7478, designed code transitions occur midway between successive integer LSB values, such as 1 LSB, 2 LSB, and so on. The LSB size for the AD7478 is  $V_{DD}/256$ . The ideal transfer characteristic for the AD7478 is shown in Figure 13.

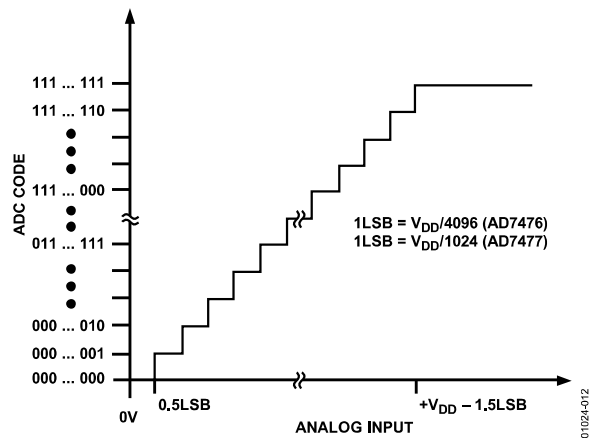


Figure 12. Transfer Characteristic for the AD7476/AD7477

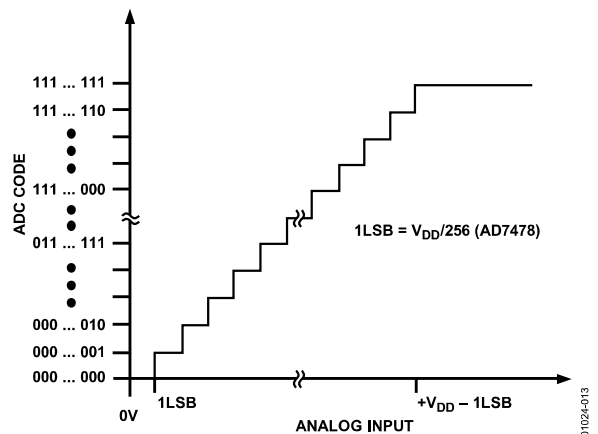


Figure 13. Transfer Characteristic for AD7478

# AD7476/AD7477/AD7478

## TYPICAL CONNECTION DIAGRAM

Figure 14 shows a typical connection diagram for the AD7476/AD7477/AD7478.  $V_{REF}$  is taken internally from  $V_{DD}$  and as such,  $V_{DD}$  should be well decoupled. This provides an analog input range of 0 V to  $V_{DD}$ . The conversion result is output in a 16-bit word with four leading zeros followed by the MSB of the 12-bit, 10-bit, or 8-bit result. The 10-bit result from the AD7477 is followed by two trailing zeros. The 8-bit result from the AD7478 is followed by four trailing zeros.

Alternatively, because the supply current required by the AD7476/AD7477/AD7478 is so low, a precision reference can be used as the supply source to the part. A REF19x voltage reference (REF195 for 5 V or REF193 for 3 V) can be used to supply the required voltage to the ADC (see Figure 14). This configuration is especially useful if the power supply is quite noisy or if the system supply voltages are at some value other than 5 V or 3 V, such as 15 V.

The REF19x outputs a steady voltage to the AD7476/AD7477/AD7478. If the low dropout REF193 is used, the current it typically needs to supply to the AD7476/AD7477/AD7478 is 1 mA. When the ADC is converting at a rate of 1 MSPS, the REF193 needs to supply a maximum of 1.6 mA to the AD7476/AD7477/AD7478. The load regulation of the REF193 is typically 10 ppm/mA (REF193,  $V_S = 5$  V), which results in an error of 16 ppm (48  $\mu$ V) for the 1.6 mA drawn from it. This corresponds to a 0.065 LSB error for the AD7476 with  $V_{DD} = 3$  V from the REF193, a 0.016 LSB error for the AD7477, and a 0.004 LSB error for the AD7478.

For applications where power consumption is of concern, the power-down mode of the ADC and the sleep mode of the REF19x reference should be used to improve power performance. See the Modes of Operation section.

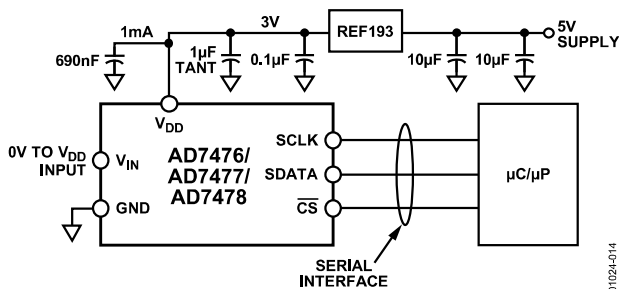


Figure 14. REF193 as Power Supply

Table 7 provides some typical performance data with various references used as a  $V_{DD}$  source with a low frequency analog input. Under the same setup conditions, the references are compared and the AD780 proved the optimum reference.

Table 7.

Reference Tied to $V_{DD}$	AD7476 SNR Performance 1 kHz Input (dB)
AD780 @ 3 V	71.17
REF193	70.4
AD780 @ 2.5 V	71.35
REF192	70.93
AD1582	70.05

## Analog Input

Figure 15 shows an equivalent circuit of the analog input structure of the AD7476/AD7477/AD7478. The two diodes, D1 and D2, provide ESD protection for the analog input. Take care to ensure that the analog input signal never exceeds the supply rails by more than 300 mV. This causes these diodes to become forward-biased and start conducting current into the substrate. These diodes can conduct a maximum of 10 mA without causing irreversible damage to the part.

The Capacitor C1 in Figure 15 is typically about 4 pF and can primarily be attributed to pin capacitance. The Resistor R1 is a lumped component made up of the on resistance of a switch. This resistor is typically about 100  $\Omega$ . The Capacitor C2 is the ADC sampling capacitor and typically has a capacitance of 30 pF. For ac applications, removing high frequency components from the analog input signal is recommended by use of a band-pass filter on the relevant analog input pin. In applications where harmonic distortion and signal-to-noise ratio are critical, the analog input should be driven from a low impedance source. Large source impedances significantly affect the ac performance of the ADC. This may necessitate using an input buffer amplifier. The choice of the op amp is a function of the particular application.

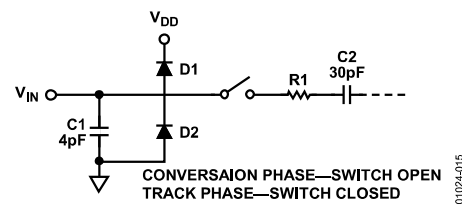


Figure 15. Equivalent Analog Input Circuit

When no amplifier is used to drive the analog input, the source impedance should be limited to low values. The maximum source impedance depends on the amount of total harmonic distortion (THD) that can be tolerated. The THD increases as the source impedance increases and performance degrades. Figure 16 shows a graph of the total harmonic distortion versus source impedance for different analog input frequencies when using a supply voltage of 2.7 V and sampling at a rate of 605 kSPS. Figure 17 and Figure 18 each show a graph of the total harmonic distortion vs. analog input signal frequency for various supply voltages while sampling at 993 kSPS with an SCLK frequency of 20 MHz and 605 kSPS with an SCLK frequency of 12 MHz, respectively.

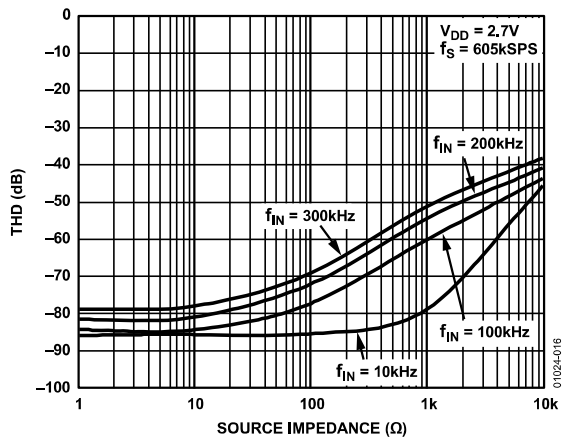


Figure 16. THD vs. Source Impedance for Various Analog Input Frequencies

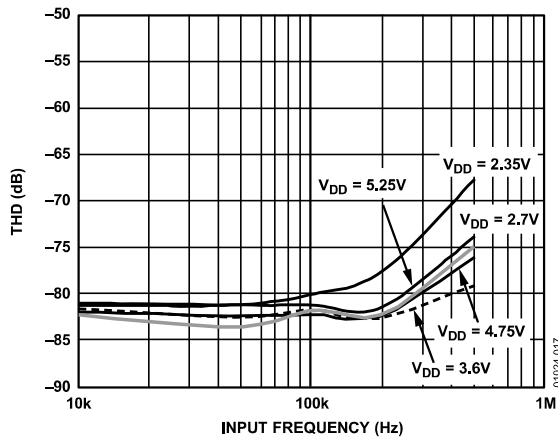


Figure 17. THD vs. Analog Input Frequency,  $f_s = 993$  kSPS

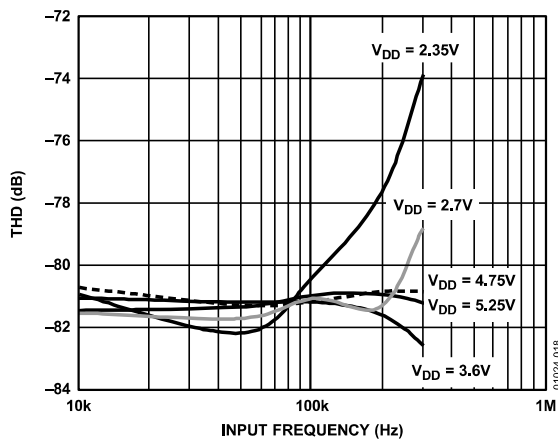


Figure 18. THD vs. Analog Input Frequency,  $f_s = 605$  kSPS

## Digital Input

The digital input applied to the AD7476/AD7477/AD7478 is not limited by the maximum ratings that limit the analog input. Instead, the digital input applied can go to 7 V and is not restricted by the  $V_{DD} + 0.3$  V limit as on the analog input. For example, if the AD7476/AD7477/AD7478 are operated with a  $V_{DD}$  of 3 V, then 5 V logic levels can be used on the digital input. However, note that the data output on SDATA still has 3 V logic levels when  $V_{DD} = 3$  V. Another advantage of SCLK and  $\overline{CS}$  not being restricted by the  $V_{DD} + 0.3$  V limit is that power supply sequencing issues are avoided. If  $\overline{CS}$  or SCLK is applied before  $V_{DD}$ , there is no risk of latch-up as there is on the analog input when a signal greater than 0.3 V is applied prior to  $V_{DD}$ .

## MODES OF OPERATION

Select the mode of operation of the AD7476/AD7477/AD7478 by controlling the (logic) state of the  $\overline{CS}$  signal during a conversion. The two possible modes of operation are normal mode and power-down mode. The point at which  $\overline{CS}$  is pulled high after the conversion has been initiated determines whether or not the AD7476/AD7477/AD7478 enters power-down mode. Similarly, if already in power-down,  $\overline{CS}$  can control whether the device returns to normal operation or remains in power-down. These modes of operation are designed to provide flexible power management options. These options can be chosen to optimize the power dissipation/throughput rate ratio for different application requirements.

### Normal Mode

This mode is intended for fastest throughput rate performance. Users do not have to worry about power-up times with the AD7476/AD7477/AD7478 remaining fully powered at all times. Figure 19 shows the general diagram of the AD7476/AD7477/AD7478 in normal mode.

The conversion is initiated on the falling edge of  $\overline{CS}$  as described in the Serial Interface section. To ensure the part remains fully powered up at all times,  $\overline{CS}$  must remain low until at least 10 SCLK falling edges have elapsed after the falling edge of  $\overline{CS}$ . If  $\overline{CS}$  is brought high any time after the tenth SCLK falling edge, but before the sixteenth SCLK falling edge, the part remains powered up, but the conversion terminates and SDATA goes back into three-state. Sixteen serial clock cycles are required to complete the conversion and access the complete conversion result.  $\overline{CS}$  may idle high until the next conversion or may idle low until  $\overline{CS}$  returns high sometime prior to the next conversion (effectively idling  $\overline{CS}$  low).

Once a data transfer is complete, (SDATA has returned to three-state), another conversion can be initiated after the quiet time,  $t_{QUIET}$ , has elapsed by again bringing  $\overline{CS}$  low.

# AD7476/AD7477/AD7478

## Power-Down Mode

This mode is intended for use in applications where slower throughput rates are required; either the ADC is powered between each conversion, or a series of conversions can be performed at a high throughput rate and the ADC is then powered down for a relatively long duration between these bursts of several conversions. When the AD7476/AD7477/AD7478 is in power-down mode, all analog circuitry is powered down.

To enter power-down, the conversion process must be interrupted by bringing  $\overline{CS}$  high any time after the second falling edge of SCLK and before the tenth falling edge of SCLK, as shown in Figure 20. Once  $\overline{CS}$  is brought high in this window of SCLKs, the part enters power-down and the conversion initiated by the falling edge of  $\overline{CS}$  is terminated and SDATA goes back into three-state.

If  $\overline{CS}$  is brought high before the second SCLK falling edge, the part remains in normal mode and does not power down. This avoids accidental power-down due to glitches on the  $\overline{CS}$  line.

To exit this mode of operation and power up the AD7476/AD7477/AD7478 again, perform a dummy conversion. On the falling edge of  $\overline{CS}$ , the device begins to power up, and continues to power up as long as  $\overline{CS}$  is held low until after the falling edge of the tenth SCLK. The device is fully powered up once 16 SCLKs have elapsed and, as shown in Figure 21, valid data results from the next conversion. If  $\overline{CS}$  is brought high before the tenth falling edge of SCLK, the AD7476/AD7477/AD7478 again goes back into power-down. This avoids accidental power-up due to glitches on the  $\overline{CS}$  line or an inadvertent burst of eight SCLK cycles while  $\overline{CS}$  is low. Although the device may begin to power up on the falling edge of  $\overline{CS}$ , it powers down again on the rising edge of  $\overline{CS}$  as long as it occurs before the tenth SCLK falling edge.

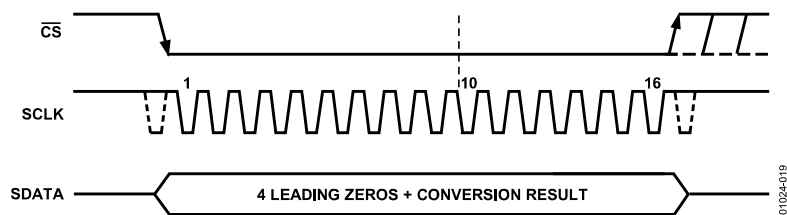


Figure 19. Normal Mode Operation

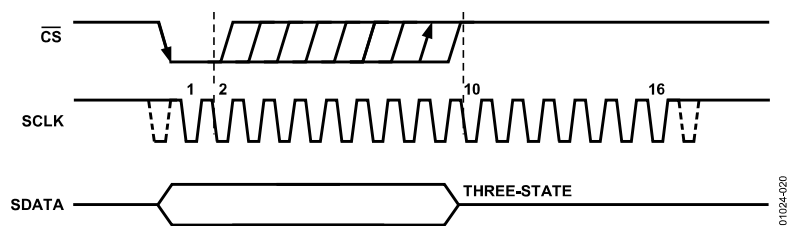


Figure 20. Entering Power-Down Mode

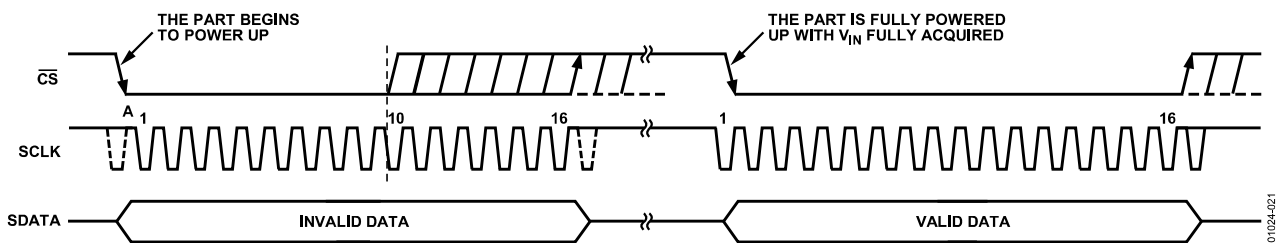


Figure 21. Exiting Power-Down Mode

**Power-Up Time**

The power-up time of the AD7476/AD7477/AD7478 is typically 1 μs, which means that with any frequency of SCLK up to 20 MHz, one dummy cycle is always sufficient to allow the device to power up. Once the dummy cycle is complete, the ADC is fully powered up and the input signal is acquired properly. The quiet time ( $t_{\text{QUIET}}$ ) must still be allowed from the point at which the bus goes back into three-state (after the dummy conversion), to the next falling edge of  $\overline{\text{CS}}$ . When running at 1 MSPS throughput rate, the AD7476/AD7477/AD7478 powers up and acquires a signal within ±0.5 LSB in one dummy cycle, such as 1 μs.

When powering up from the power-down mode with a dummy cycle, as shown in Figure 21, the track-and-hold, that was in hold mode while the part was powered down, returns to track mode after the first SCLK edge the part receives after the falling edge of  $\overline{\text{CS}}$ . This is shown as Point A in Figure 21. Although at any SCLK frequency, one dummy cycle is sufficient to power up the device and acquire  $V_{\text{IN}}$ , this does not necessarily mean that a full dummy cycle of 16 SCLKs must always elapse to power up the device and fully acquire  $V_{\text{IN}}$ ; 1 μs is sufficient to power up the device and acquire the input signal. If, for example, a 5 MHz SCLK frequency is applied to the ADC, the cycle time is 3.2 μs. In one dummy cycle, 3.2 μs, the part is powered up and  $V_{\text{IN}}$  is fully acquired. However, after 1 μs with a 5 MHz SCLK, only five SCLK cycles elapse. At this stage, the ADC is fully powered up and the signal acquired. In this case, the  $\overline{\text{CS}}$  can be brought high after the tenth SCLK falling edge and brought low again after a time,  $t_{\text{QUIET}}$ , to initiate the conversion.

When power supplies are first applied to the AD7476/AD7477/AD7478, the ADC may power up in either power-down mode or normal mode. Allow a dummy cycle to elapse to ensure the part is fully powered up before attempting a valid conversion. Likewise, to keep the part in the power-down mode while not in use and then to power up the part in power-down mode, use the dummy cycle to ensure the device is in power-down by executing a cycle such as that shown in Figure 20. Once supplies are applied to the AD7476/AD7477/AD7478, the power-up time is the same when powering up from the power-down mode. It takes approximately 1 μs to fully power up if the part powers up in normal mode. It is not necessary to wait 1 μs before executing a dummy cycle to ensure the desired mode of operation. Instead, the dummy cycle can occur directly after power is supplied to the ADC. If the first valid conversion is then performed directly after the dummy conversion, ensure that adequate acquisition time has been allowed.

When powering up from power-down mode, the part returns to track upon the first SCLK edge applied after the falling edge of  $\overline{\text{CS}}$ . However, when the ADC powers up initially after supplies are applied, the track-and-hold is already in track.

This means that if the ADC powers up in the desired mode of operation, and a dummy cycle is not required to change mode, then a dummy cycle is not required to place the track-and-hold into track.

**POWER VS. THROUGHPUT RATE**

By using the power-down mode on the AD7476/AD7477/AD7478 when not converting, the average power consumption of the ADC decreases at lower throughput rates. Figure 22 shows that as the throughput rate reduces, the device remains in its power-down state longer, and the average power consumption over time drops accordingly.

For example, if the AD7476/AD7477/AD7478 operates in continuous sampling mode with a throughput rate of 100 kSPS and a SCLK of 20 MHz ( $V_{\text{DD}} = 5 \text{ V}$ ), and the device is placed in the power-down mode between conversions, then the power consumption is calculated as follows. The power dissipation during normal operation is 17.5 mW ( $V_{\text{DD}} = 5 \text{ V}$ ). If the power-up time is one dummy cycle, such as 1 μs, and the remaining conversion time is another cycle, such as 1 μs, then the part is said to dissipate 17.5 mW for 2 μs during each conversion cycle. If the throughput rate is 100 kSPS, the cycle time is 10 μs and the average power dissipated during each cycle is  $(2/10) \times (17.5 \text{ mW}) = 3.5 \text{ mW}$ . If  $V_{\text{DD}} = 3 \text{ V}$ , SCLK = 20 MHz, and the device is again in power-down mode between conversions, the power dissipation during normal operation is 4.8 mW.

The AD7476/AD7477/AD7478 can now be said to dissipate 4.8 mW for 2 μs during each conversion cycle. With a throughput rate of 100 kSPS, the average power dissipated during each cycle is  $(2/10) \times (4.8 \text{ mW}) = 0.96 \text{ mW}$ . Figure 22 shows the power vs. throughput rate when using the power-down mode between conversions with both 5 V and 3 V supplies.

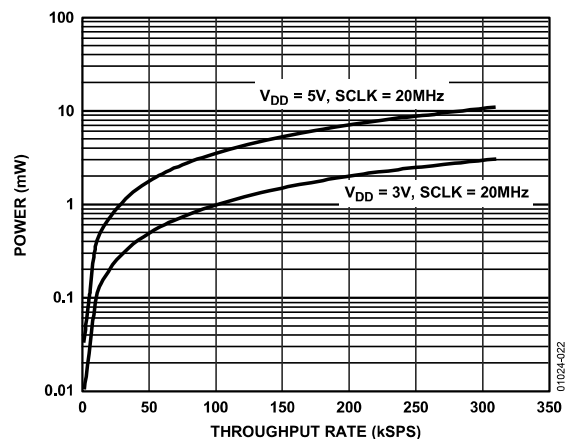


Figure 22. Power vs. Throughput Rate

Power-down mode is intended for use with throughput rates of approximately 333 kSPS and under. At higher sampling rates, power is not saved by using power-down mode.

# AD7476/AD7477/AD7478

## SERIAL INTERFACE

Figure 23, Figure 24, and Figure 25 show the detailed timing diagrams for serial interfacing to the AD7476, AD7477, and AD7478, respectively. The serial clock provides the conversion clock and controls the transfer of information from the part during conversion.

The  $\overline{CS}$  signal initiates the data transfer and conversion process. The falling edge of  $\overline{CS}$  puts the track-and-hold into hold mode, takes the bus out of three-state, and samples the analog input at this point. The conversion initiates and requires 16 SCLK cycles to complete. Once 13 SCLK falling edges have elapsed, the track-and-hold goes back into track on the next SCLK rising edge as shown at Point B in Figure 23, Figure 24, and Figure 25. On the sixteenth SCLK falling edge, the SDATA line will go back into three-state. If the rising edge of  $\overline{CS}$  occurs before 16 SCLKs have elapsed, the conversion terminates and the SDATA line goes back into three-state; otherwise, SDATA returns to three-state on the 16th SCLK falling edge as shown in Figure 23, Figure 24, and Figure 25.

Sixteen serial clock cycles are required to perform the conversion process and to access data from the AD7476/AD7477/AD7478.

$\overline{CS}$  going low provides the first leading zero to be read by the microcontroller or DSP. The remaining data is then clocked out by subsequent SCLK falling edges, beginning with the second leading zero. Thus, the first falling clock edge on the serial clock has the first leading zero provided and also clocks out the second leading zero. The final bit in the data transfer is valid on the 16th falling edge, having clocked out on the previous (15th) falling edge. In applications with a slower SCLK, it is possible to read data on each SCLK rising edge, although the first leading zero has to be read on the first SCLK falling edge after the  $\overline{CS}$  falling edge. Therefore, the first rising edge of SCLK after the  $\overline{CS}$  falling edge provides the second leading zero. The 15th rising SCLK edge has DB0 provided or the final zero for the AD7477 and AD7478. This may not work with most microcontrollers/DSPs, but could possibly be used with FPGAs and ASICs.

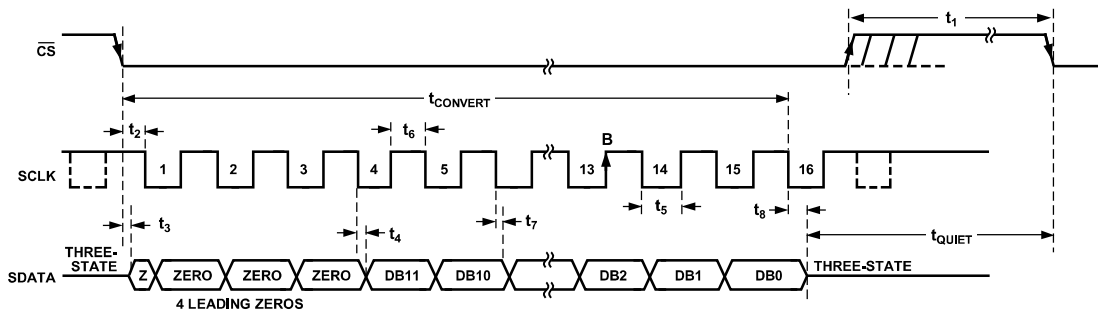


Figure 23. AD7476 Serial Interface Timing Diagram

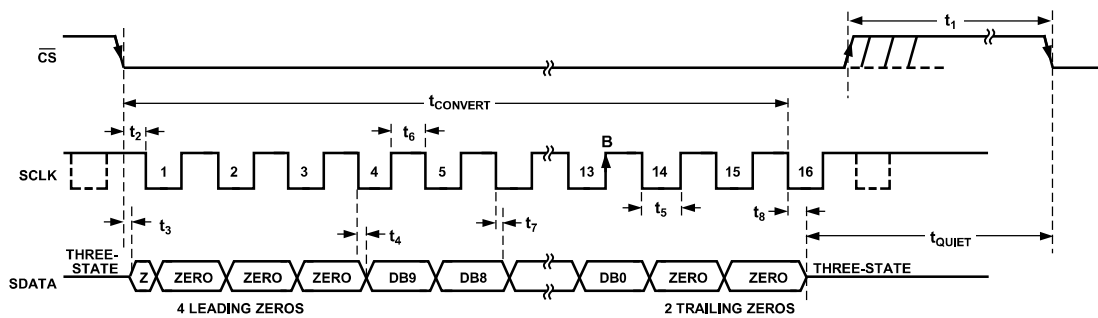


Figure 24. AD7477 Serial Interface Timing Diagram

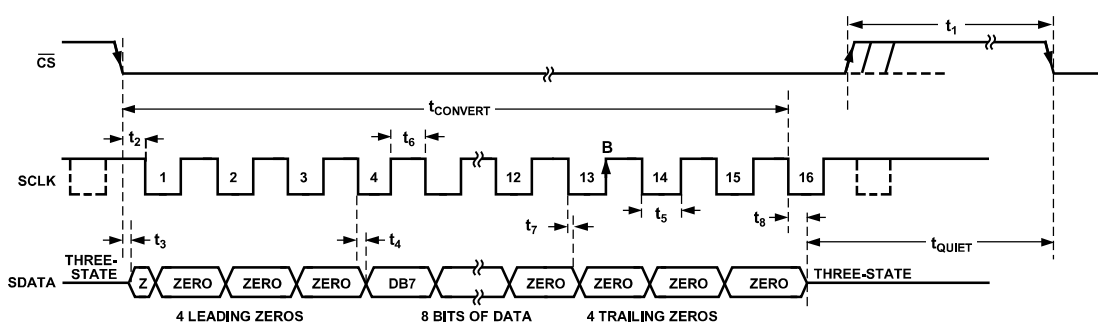


Figure 25. AD7478 Serial Interface Timing Diagram

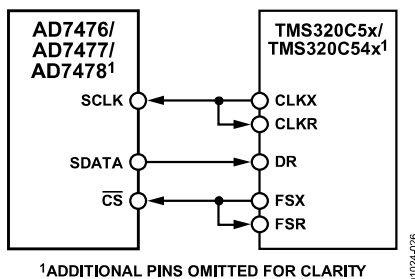
## MICROPROCESSOR INTERFACING

The serial interface on the AD7476/AD7477/AD7478 allows the part to be directly connected to a range of many different microprocessors. This section explains how to interface the AD7476/AD7477/AD7478 with some of the more common microcontroller and DSP serial interface protocols.

### AD7476/AD7477/AD7478 to TMS320C5x/C54x Interface

The serial interface on the TMS320C5x uses a continuous serial clock and frame synchronization signals to synchronize the data transfer operations with peripheral devices such as the AD7476/AD7477/AD7478. The  $\overline{CS}$  input allows easy interfacing between the TMS320C5x/C54x and the AD7476/AD7477/AD7478 without any glue logic required. In addition, the serial port of the TMS320C5x/C54x is set up to operate in burst mode with internal CLKX (Tx serial clock) and FSX (Tx frame sync).

The serial port control register (SPC) must have the following setup: FO = 0, FSM = 1, MCM = 1, and TXM = 1. The format bit, FO, can be set to 1 to set the word length to eight bits, in order to implement the power-down mode on the AD7476/AD7477/AD7478. The connection diagram is shown in Figure 26. Note that for signal processing applications, it is imperative that the frame synchronization signal from the TMS320C5x/C54x provides equidistant sampling.



1ADDITIONAL PINS OMITTED FOR CLARITY  
Figure 26. Interfacing to the TMS320C5x/C54x

### AD7476/AD7477/AD7478 to ADSP-21xx Interface

The ADSP-21xx family of DSPs are interfaced directly to the AD7476/AD7477/AD7478 without any glue logic required. The SPORT control register is set up as follows:

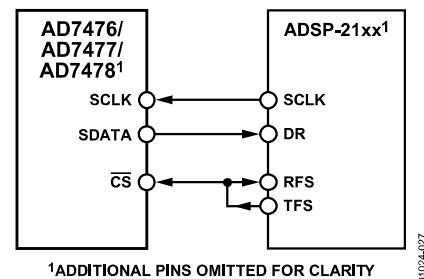
- TFSW = RFSW = 1, Alternate Framing
- INVRFS = INVTFS = 1, Active Low Frame Signal
- DTYPE = 00, Right Justify Data
- SLEN = 1111, 16-Bit Data-Words
- ISCLK = 1, Internal Serial Clock
- TFSR = RFSR = 1, Frame Every Word
- IRFS = 0
- ITFS = 1

To implement the power-down mode, SLEN is set to 0111 to issue an 8-bit SCLK burst. The connection diagram is shown in Figure 27. The ADSP-21xx has the TFS and RFS of the SPORT tied together, with TFS set as an output and RFS set as an input. The DSP operates in alternate framing mode and the SPORT control register is set up as described.

The frame synchronization signal generated on the TFS is tied to  $\overline{CS}$  and, as with all signal processing applications, equidistant sampling is necessary. However, in this example, the timer interrupt controls the sampling rate of the ADC and, under certain conditions, equidistant sampling may not be achieved.

The timer registers, for example, are loaded with a value that provides an interrupt at the required sample interval. When an interrupt is received, a value is transmitted with TFS/DT (ADC control word). The TFS controls the RFS and, therefore, the reading of data. The frequency of the serial clock is set in the SCLKDIV register. When the instruction to transmit with TFS is given, such as, TX0 = AX0, the state of the SCLK is checked. The DSP waits until the SCLK has gone high, low, and high before transmission starts. If the timer and SCLK values are chosen such that the instruction to transmit occurs on or near the rising edge of SCLK, the data could be transmitted, or it could wait until the next clock edge.

For example, the ADSP-2111 has a master clock frequency of 16 MHz. If the SCLKDIV register is loaded with the value 3, a SCLK of 2 MHz is obtained, and eight master clock periods elapse for every one SCLK period. If the timer registers are loaded with the value 803, 100.5 SCLKs occur between interrupts and, subsequently, between transmit instructions. This situation results in nonequidistant sampling as the transmit instruction is occurring on an SCLK edge. If the number of SCLKs between interrupts is a whole integer figure of N, equidistant sampling is implemented by the DSP.



1ADDITIONAL PINS OMITTED FOR CLARITY  
Figure 27. Interfacing to the ADSP-21xx

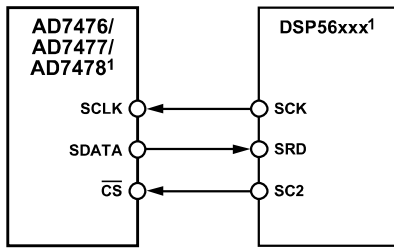
### AD7476/AD7477/AD7478 to DSP56xxx Interface

The connection diagram in Figure 28 shows how the AD7476/AD7477/AD7478 can be connected to the synchronous serial interface (SSI) of the DSP56xxx family of DSPs from Motorola. The SSI is operated in synchronous mode (SYN bit in CRB = 1) with internally generated word frame sync for both Tx and Rx (Bits FSL1 = 0 and FSL0 = 0 in CRB). Set the word length to 16 by setting bits WL1 = 1 and WL0 = 0 in CRA.

To implement the power-down mode on the AD7476/AD7477/AD7478, the word length can be changed to eight bits by setting bits WL1 = 0 and WL0 = 0 in CRA. Note that for signal processing applications, it is imperative that the frame synchronization signal from the DSP56xxx provides equidistant sampling.

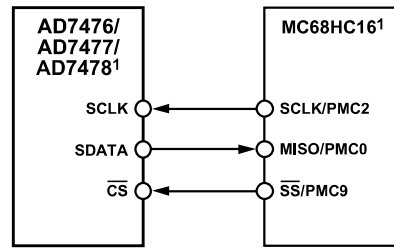


# AD7476/AD7477/AD7478



<sup>1</sup>ADDITIONAL PINS OMITTED FOR CLARITY  
 Figure 28. Interfacing to the DSP56xxx

01024-028



<sup>1</sup>ADDITIONAL PINS OMITTED FOR CLARITY  
 Figure 29. Interfacing to the MC68HC16

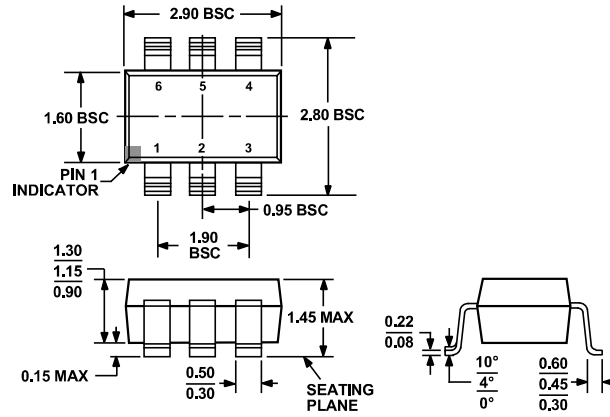
01024-029

## AD7476/AD7477/AD7478 to MC68HC16 Interface

The serial peripheral interface (SPI) on the MC68HC16 is configured for master mode (MSTR = 1), the clock polarity bit (CPOL) = 1, and the clock phase bit (CPHA) = 0. The SPI is configured by writing to the SPI Control Register (SPCR). For more information on the MC68HC16, check with Motorola for the related documentation.

The serial transfer takes place as a 16-bit operation when the SIZE bit in the SPCR register is set to SIZE = 1. To implement the power-down mode with an 8-bit transfer, set SIZE = 0. A connection diagram is shown in Figure 29.

OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MO-178-AB

Figure 30. 6-Lead Small Outline Transistor Package [SOT-23] (RJ-6)

Dimensions shown in millimeters

# AD7476/AD7477/AD7478

## ORDERING GUIDE

Model	Temperature Range	Linearity Error (LSB) <sup>1</sup>	Package Option <sup>2</sup>	Branding
AD7476ARTZ-500RL <sup>3</sup>	-40°C to +85°C	±1 typical	RJ-6	CEA#
AD7476ARTZ-REEL <sup>3</sup>	-40°C to +85°C	±1 typical	RJ-6	CEA#
AD7476ARTZ-REEL <sup>3</sup>	-40°C to +85°C	±1 typical	RJ-6	CEA#
AD7476BRTZ-R2 <sup>3</sup>	-40°C to +85°C	±1.5 maximum	RJ-6	CEB#
AD7476BRTZ-REEL <sup>3</sup>	-40°C to +85°C	±1.5 maximum	RJ-6	CEB#
AD7476BRTZ-REEL <sup>3</sup>	-40°C to +85°C	±1.5 maximum	RJ-6	CEB#
AD7476SRTZ-500RL <sup>3</sup>	-55°C to +125°C	±1.5 maximum	RJ-6	CES#
AD7476SRTZ-R2 <sup>3</sup>	-55°C to +125°C	±1.5 maximum	RJ-6	CES#
AD7476SRTZ-REEL <sup>3</sup>	-55°C to +125°C	±1.5 maximum	RJ-6	CES#
AD7476SRTZ-REEL <sup>3</sup>	-55°C to +125°C	±1.5 maximum	RJ-6	CES#
AD7476WARJZ-RL <sup>3,4</sup>	-40°C to +85°C	±1 typical	RJ-6	CEA#
AD7477ARTZ-500RL <sup>3</sup>	-40°C to +85°C	±1 maximum	RJ-6	C46 <sup>5</sup>
AD7477ARTZ-REEL <sup>3</sup>	-40°C to +85°C	±1 maximum	RJ-6	C46 <sup>5</sup>
AD7477ARTZ-REEL <sup>3</sup>	-40°C to +85°C	±1 maximum	RJ-6	C46 <sup>5</sup>
AD7477SRTZ-REEL <sup>3</sup>	-55°C to +125°C	±1 maximum	RJ-6	C3F
AD7478ARTZ-500RL <sup>3</sup>	-40°C to +85°C	±0.5 maximum	RJ-6	C3Z
AD7478ARTZ-REEL <sup>3</sup>	-40°C to +85°C	±0.5 maximum	RJ-6	C3Z
AD7478ARTZ-REEL <sup>3</sup>	-40°C to +85°C	±0.5 maximum	RJ-6	C3Z
AD7478SRTZ-REEL <sup>3</sup>	-55°C to +125°C	±0.5 maximum	RJ-6	C3Y
AD7478WARTZ-RL <sup>3,4</sup>	-40°C to +85°C	±0.5 maximum	RJ-6	C3Z
EVAL-AD7476CBZ <sup>3,6</sup>			Evaluation Board	
EVAL-AD7477CBZ <sup>3,6</sup>			Evaluation Board	
EVAL-CONTROL BRD2 <sup>7</sup>			Control Board	

<sup>1</sup> Linearity error refers to integral linearity error.

<sup>2</sup> RJ = 6-Lead SOT-23.

<sup>3</sup> Z = RoHS Compliant Part, # denotes RoHS compliant part maybe top or bottom marked.

<sup>4</sup> Qualified for automotive.

<sup>5</sup> Prior to 0523 date code, parts are marked with CFA#.

<sup>6</sup> This can be used as a standalone evaluation board or in conjunction with the EVAL-CONTROL BOARD for evaluation/demonstration purposes.

<sup>7</sup> This board is a complete unit allowing a PC to control and communicate with all Analog Devices evaluation boards ending in the CB designators. To order a complete evaluation kit, users need to order the particular ADC evaluation board, such as the EVAL-AD7476CB, the EVAL-CONTROL BRD2, and a 12 V ac transformer. See relevant evaluation board application note for more information.

**NOTES**

**AD7476/AD7477/AD7478**

**NOTES**

## FEATURES

- Ultracompact SC70 and SOT-23 packages
- Low temperature coefficient: 75 ppm/°C (maximum)
- Pin compatible with LM4040/LM4050
- Initial accuracy:  $\pm 0.1\%$
- No external capacitor required
- Wide operating current range: 50  $\mu\text{A}$  to 15 mA
- Extended temperature range:  $-40^\circ\text{C}$  to  $+125^\circ\text{C}$
- Qualified for automotive applications

## APPLICATIONS

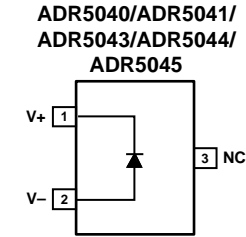
- Portable, battery-powered equipment
- Automotives
- Power supplies
- Data acquisition systems
- Instrumentation and process control
- Energy management

## GENERAL DESCRIPTION

Designed for space-critical applications, the ADR5040/ADR5041/ADR5043/ADR5044/ADR5045 are high precision shunt voltage references, housed in ultrasmall SC70 and SOT-23 packages. These voltage references are multipurpose, easy-to-use references that can be used in a vast array of applications. They feature low temperature drift, an initial accuracy of better than 0.1%, and fast settling time.

Available in output voltages of 2.048 V, 2.5 V, 3.0 V, 4.096 V, and 5.0 V, the advanced design of the ADR5040/ADR5041/ADR5043/ADR5044/ADR5045 eliminates the need for compensation by an external capacitor, yet the references are stable with any capacitive load. The minimum operating current increases from 50  $\mu\text{A}$  to a maximum of 15 mA. This low operating current and ease of use make these references ideally suited for handheld, battery-powered applications. This family of references has been characterized over the extended temperature range of  $-40^\circ\text{C}$  to  $+125^\circ\text{C}$ . The ADR5041W and the ADR5044W are qualified for automotive applications and are available in a 3-lead SOT-23 package.

## PIN CONFIGURATION



- NOTES  
 1. NC = NO CONNECT.  
 2. PIN 3 MUST BE LEFT FLOATING OR CONNECTED TO GROUND.

06926-001

Figure 1. 3-Lead SC70 (KS) and 3-Lead SOT-23 (RT)

Table 1. Selection Table

Part	Voltage (V)	Initial Accuracy (%)	Temperature Coefficient (ppm/°C)
ADR5040A	2.048	$\pm 0.2$	100
ADR5040B	2.048	$\pm 0.1$	75
ADR5041A	2.5	$\pm 0.2$	100
ADR5041B	2.5	$\pm 0.1$	75
ADR5043A	3.0	$\pm 0.2$	100
ADR5043B	3.0	$\pm 0.1$	75
ADR5044A	4.096	$\pm 0.2$	100
ADR5044B	4.096	$\pm 0.1$	75
ADR5045A	5.0	$\pm 0.2$	100
ADR5045B	5.0	$\pm 0.1$	75

### Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

**TABLE OF CONTENTS**

Features .....	1	Absolute Maximum Ratings .....	6
Applications.....	1	Thermal Resistance.....	6
Pin Configuration.....	1	ESD Caution.....	6
General Description .....	1	Typical Performance Characteristics .....	7
Revision History .....	2	Terminology .....	10
Specifications.....	3	Theory of Operation .....	11
ADR5040 Electrical Characteristics .....	3	Applications Information.....	11
ADR5041 Electrical Characteristics .....	3	Outline Dimensions .....	13
ADR5043 Electrical Characteristics .....	4	Ordering Guide .....	14
ADR5044 Electrical Characteristics .....	4	Automotive Products.....	15
ADR5045 Electrical Characteristics .....	5		

**REVISION HISTORY**

**8/12—Rev. A to Rev. B**

Changes to Features Section and General Description Section .....	1
Updated Outline Dimensions .....	13
Moved Ordering Guide.....	14
Changes to Ordering Guide .....	14
Added Automotive Products Section .....	15

**12/07—Rev. 0 to Rev. A**

Changes to Features.....	1
Changes to Initial Accuracy and Temperature Coefficient	

Parameters in Table 2 Through Table 6.....	3
Updated Outline Dimensions.....	13
Changes to Ordering Guide.....	13

**1/07—Revision 0: Initial Version**

## SPECIFICATIONS

### ADR5040 ELECTRICAL CHARACTERISTICS

$I_{IN} = 50 \mu\text{A}$  to  $15 \text{ mA}$ ,  $T_A = 25^\circ\text{C}$ , unless otherwise noted.

Table 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
OUTPUT VOLTAGE	$V_{OUT}$	$I_{IN} = 100 \mu\text{A}$				
Grade A			2.044	2.048	2.052	V
Grade B			2.046	2.048	2.050	V
INITIAL ACCURACY	$V_{OERR}$	$I_{IN} = 100 \mu\text{A}$				
Grade A			-4.096		+4.096	mV
					$\pm 0.2$	%
Grade B			-2.048		+2.048	mV
					$\pm 0.1$	%
TEMPERATURE COEFFICIENT <sup>1</sup>	$TCV_{OUT}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$				
Grade A				10	100	ppm/ $^\circ\text{C}$
Grade B				10	75	ppm/ $^\circ\text{C}$
OUTPUT VOLTAGE CHANGE vs. $I_{IN}$	$\Delta V_R$	$I_{IN} = 50 \mu\text{A}$ to $1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.4	1.75	mV
		$I_{IN} = 1 \text{ mA}$ to $15 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		4	8	mV
DYNAMIC OUTPUT IMPEDANCE	$(\Delta V_R / \Delta I_R)$	$I_{IN} = 50 \mu\text{A}$ to $15 \text{ mA}$			0.2	$\Omega$
MINIMUM OPERATING CURRENT	$I_{IN}$	$T_A = 25^\circ\text{C}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			50	$\mu\text{A}$
					60	$\mu\text{A}$
VOLTAGE NOISE	$e_N$	$I_{IN} = 100 \mu\text{A}$ ; 0.1 Hz to 10 Hz		2.8		$\mu\text{V rms}$
		$I_{IN} = 100 \mu\text{A}$ ; 10 Hz to 10 kHz		120		$\mu\text{V rms}$
TURN-ON SETTLING TIME	$t_R$	$C_{LOAD} = 0 \mu\text{F}$		28		$\mu\text{s}$
OUTPUT VOLTAGE HYSTERESIS	$\Delta V_{OUT\_HYS}$	$I_{IN} = 1 \text{ mA}$		40		ppm

<sup>1</sup> Guaranteed by design.

### ADR5041 ELECTRICAL CHARACTERISTICS

$I_{IN} = 50 \mu\text{A}$  to  $15 \text{ mA}$ ,  $T_A = 25^\circ\text{C}$ , unless otherwise noted.

Table 3.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
OUTPUT VOLTAGE	$V_{OUT}$	$I_{IN} = 100 \mu\text{A}$				
Grade A			2.495	2.500	2.505	V
Grade B			2.4975	2.500	2.5025	V
INITIAL ACCURACY	$V_{OERR}$	$I_{IN} = 100 \mu\text{A}$				
Grade A			-5		+5	mV
					$\pm 0.2$	%
Grade B			-2.5		+2.5	mV
					$\pm 0.1$	%
TEMPERATURE COEFFICIENT <sup>1</sup>	$TCV_{OUT}$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$				
Grade A				10	100	ppm/ $^\circ\text{C}$
Grade B				10	75	ppm/ $^\circ\text{C}$
OUTPUT VOLTAGE CHANGE vs. $I_{IN}$	$\Delta V_R$	$I_{IN} = 50 \mu\text{A}$ to $1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.5	1.8	mV
		$I_{IN} = 1 \text{ mA}$ to $15 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		4	8	mV



Parameter	Symbol	Conditions	Min	Typ	Max	Unit
DYNAMIC OUTPUT IMPEDANCE	$(\Delta V_R/\Delta I_R)$	$I_{IN} = 50 \mu A$ to 15 mA			0.2	$\Omega$
MINIMUM OPERATING CURRENT	$I_{IN}$	$T_A = 25^\circ C$ $-40^\circ C < T_A < +125^\circ C$			50 60	$\mu A$ $\mu A$
VOLTAGE NOISE	$e_N$	$I_{IN} = 100 \mu A$ ; 0.1 Hz to 10 Hz $I_{IN} = 100 \mu A$ ; 10 Hz to 10 kHz		3.2 150		$\mu V$ rms $\mu V$ rms
TURN-ON SETTLING TIME	$t_R$	$C_{LOAD} = 0 \mu F$		35		$\mu s$
OUTPUT VOLTAGE HYSTERESIS	$\Delta V_{OUT\_HYS}$	$I_{IN} = 1$ mA		40		ppm

<sup>1</sup> Guaranteed by design.

### ADR5043 ELECTRICAL CHARACTERISTICS

$I_{IN} = 50 \mu A$  to 15 mA,  $T_A = 25^\circ C$ , unless otherwise noted.

Table 4.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
OUTPUT VOLTAGE	$V_{OUT}$	$I_{IN} = 100 \mu A$				
Grade A			2.994	3.000	3.006	V
Grade B			2.997	3.000	3.003	V
INITIAL ACCURACY	$V_{OERR}$	$I_{IN} = 100 \mu A$				
Grade A			-6		+6	mV
Grade B			-3		+3	mV
					$\pm 0.2$ $\pm 0.1$	% %
TEMPERATURE COEFFICIENT <sup>1</sup>	$TCV_{OUT}$	$-40^\circ C < T_A < +125^\circ C$				
Grade A				10	100	ppm/ $^\circ C$
Grade B				10	75	ppm/ $^\circ C$
OUTPUT VOLTAGE CHANGE vs. $I_{IN}$	$\Delta V_R$	$I_{IN} = 50 \mu A$ to 1 mA $-40^\circ C < T_A < +125^\circ C$ $I_{IN} = 1$ mA to 15 mA $-40^\circ C < T_A < +125^\circ C$				
				0.7	2.2	mV
				4	8	mV
DYNAMIC OUTPUT IMPEDANCE	$(\Delta V_R/\Delta I_R)$	$I_{IN} = 50 \mu A$ to 15 mA			0.2	$\Omega$
MINIMUM OPERATING CURRENT	$I_{IN}$	$T_A = 25^\circ C$ $-40^\circ C < T_A < +125^\circ C$			50 60	$\mu A$ $\mu A$
VOLTAGE NOISE	$e_N$	$I_{IN} = 100 \mu A$ ; 0.1 Hz to 10 Hz $I_{IN} = 100 \mu A$ ; 10 Hz to 10 kHz		4.3 180		$\mu V$ rms $\mu V$ rms
TURN-ON SETTLING TIME	$t_R$	$C_{LOAD} = 0 \mu F$		42		$\mu s$
OUTPUT VOLTAGE HYSTERESIS	$\Delta V_{OUT\_HYS}$	$I_{IN} = 1$ mA		40		ppm

<sup>1</sup> Guaranteed by design.

### ADR5044 ELECTRICAL CHARACTERISTICS

$I_{IN} = 50 \mu A$  to 15 mA,  $T_A = 25^\circ C$ , unless otherwise noted.

Table 5.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
OUTPUT VOLTAGE	$V_{OUT}$	$I_{IN} = 100 \mu A$				
Grade A			4.088	4.096	4.104	V
Grade B			4.092	4.096	4.100	V
INITIAL ACCURACY	$V_{OERR}$	$I_{IN} = 100 \mu A$				
Grade A			-8.192		+8.192	mV
Grade B			-4.096		+4.096	mV
					$\pm 0.2$ $\pm 0.1$	% %

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
TEMPERATURE COEFFICIENT <sup>1</sup> Grade A Grade B	TCV <sub>OUT</sub>	-40°C < T <sub>A</sub> < +125°C		10 10	100 75	ppm/°C ppm/°C
OUTPUT VOLTAGE CHANGE vs. I <sub>IN</sub>	ΔV <sub>R</sub>	I <sub>IN</sub> = 50 μA to 1 mA -40°C < T <sub>A</sub> < +125°C I <sub>IN</sub> = 1 mA to 15 mA -40°C < T <sub>A</sub> < +125°C		0.7 4	3 8	mV mV
DYNAMIC OUTPUT IMPEDANCE	(ΔV <sub>R</sub> /ΔI <sub>R</sub> )	I <sub>IN</sub> = 50 μA to 15 mA			0.2	Ω
MINIMUM OPERATING CURRENT	I <sub>IN</sub>	T <sub>A</sub> = 25°C -40°C < T <sub>A</sub> < +125°C			50 60	μA μA
VOLTAGE NOISE	e <sub>N</sub>	I <sub>IN</sub> = 100 μA; 0.1 Hz to 10 Hz I <sub>IN</sub> = 100 μA; 10 Hz to 10 kHz		5.4 240		μV rms μV rms
TURN-ON SETTLING TIME	t <sub>R</sub>	C <sub>LOAD</sub> = 0 μF		56		μs
OUTPUT VOLTAGE HYSTERESIS	ΔV <sub>OUT_HYS</sub>	I <sub>IN</sub> = 1 mA		40		ppm

<sup>1</sup> Guaranteed by design.

### ADR5045 ELECTRICAL CHARACTERISTICS

I<sub>IN</sub> = 50 μA to 15 mA, T<sub>A</sub> = 25°C, unless otherwise noted.

Table 6.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
OUTPUT VOLTAGE Grade A Grade B	V <sub>OUT</sub>	I <sub>IN</sub> = 100 μA	4.990 4.995	5.000 5.000	5.010 5.005	V V
INITIAL ACCURACY Grade A Grade B	V <sub>OERR</sub>	I <sub>IN</sub> = 100 μA	-10 -5		+10 ±0.2 +5 ±0.1	mV % mV %
TEMPERATURE COEFFICIENT <sup>1</sup> Grade A Grade B	TCV <sub>OUT</sub>	-40°C < T <sub>A</sub> < +125°C		10 10	100 75	ppm/°C ppm/°C
OUTPUT VOLTAGE CHANGE vs. I <sub>IN</sub>	ΔV <sub>R</sub>	I <sub>IN</sub> = 50 μA to 1 mA -40°C < T <sub>A</sub> < +125°C I <sub>IN</sub> = 1 mA to 15 mA -40°C < T <sub>A</sub> < +125°C		0.8 4	4 8	mV mV
DYNAMIC OUTPUT IMPEDANCE	(ΔV <sub>R</sub> /ΔI <sub>R</sub> )	I <sub>IN</sub> = 50 μA to 15 mA			0.2	Ω
MINIMUM OPERATING CURRENT	I <sub>IN</sub>	T <sub>A</sub> = 25°C -40°C < T <sub>A</sub> < +125°C			50 60	μA μA
VOLTAGE NOISE	e <sub>N</sub>	I <sub>IN</sub> = 100 μA; 0.1 Hz to 10 Hz I <sub>IN</sub> = 100 μA; 10 Hz to 10 kHz		6.6 280		μV rms μV rms
TURN-ON SETTLING TIME	t <sub>R</sub>	C <sub>LOAD</sub> = 0 μF		70		μs
OUTPUT VOLTAGE HYSTERESIS	ΔV <sub>OUT_HYS</sub>	I <sub>IN</sub> = 1 mA		40		ppm

<sup>1</sup> Guaranteed by design.

## ABSOLUTE MAXIMUM RATINGS

Ratings apply at 25°C, unless otherwise noted.

Table 7.

Parameter	Rating
Reverse Current	25 mA
Forward Current	20 mA
Storage Temperature Range	-65°C to +150°C
Extended Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## THERMAL RESISTANCE

$\theta_{JA}$  is specified for the worst-case conditions, that is, a device soldered in a circuit board for surface-mount packages.

Table 8. Thermal Resistance

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
3-Lead SC70 (KS)	580.5	177.4	°C/W
3-Lead SOT-23 (RT)	270	102	°C/W

## ESD CAUTION



**ESD (electrostatic discharge) sensitive device.** Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

### TYPICAL PERFORMANCE CHARACTERISTICS

T<sub>A</sub> = 25°C, I<sub>IN</sub> = 100 μA, unless otherwise noted.

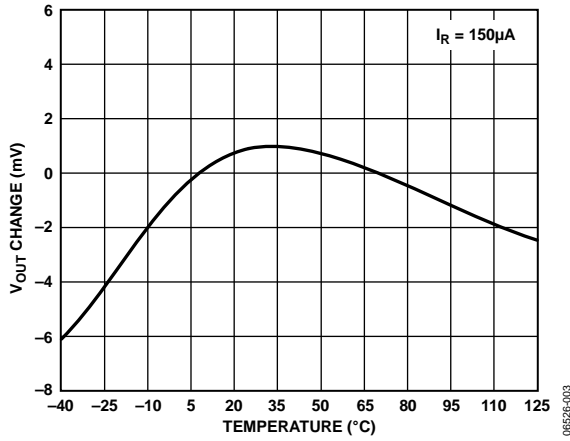


Figure 2. ADR5041 V<sub>OUT</sub> Change vs. Temperature

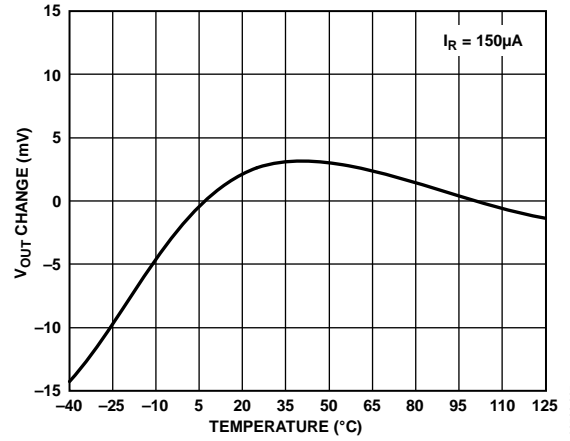


Figure 5. ADR5045 V<sub>OUT</sub> Change vs. Temperature

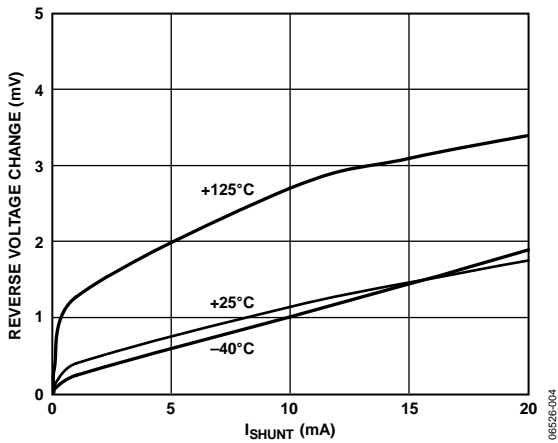


Figure 3. ADR5041 Reverse Voltage Change vs. I<sub>SHUNT</sub>

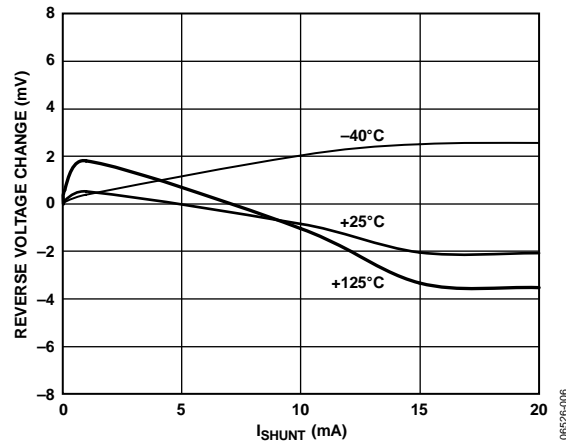


Figure 6. ADR5045 Reverse Voltage Change vs. I<sub>SHUNT</sub>

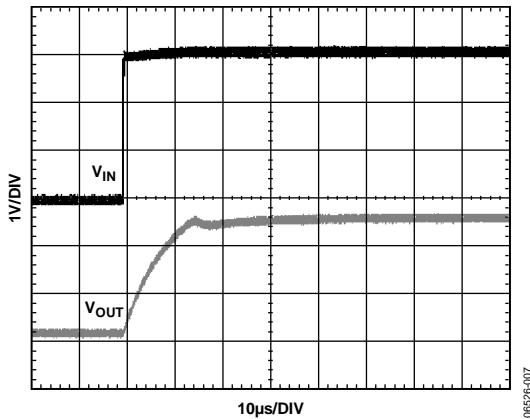


Figure 4. ADR5041 Start-Up Characteristics

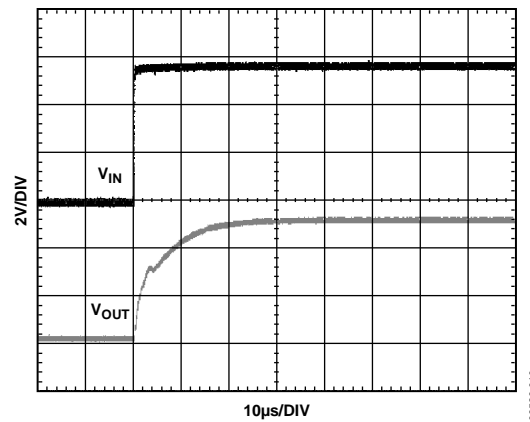


Figure 7. ADR5045 Start-Up Characteristics

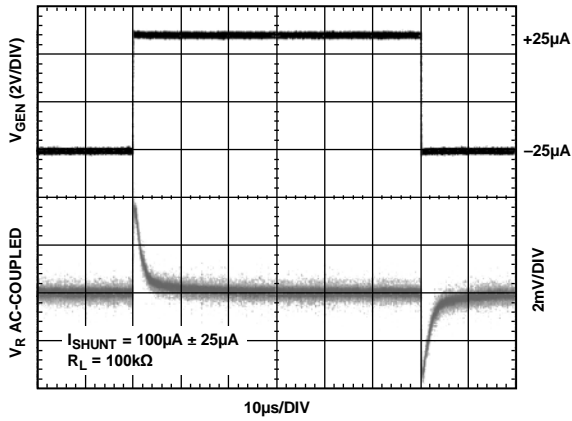


Figure 8. ADR5041 Load Transient Response

06526-008

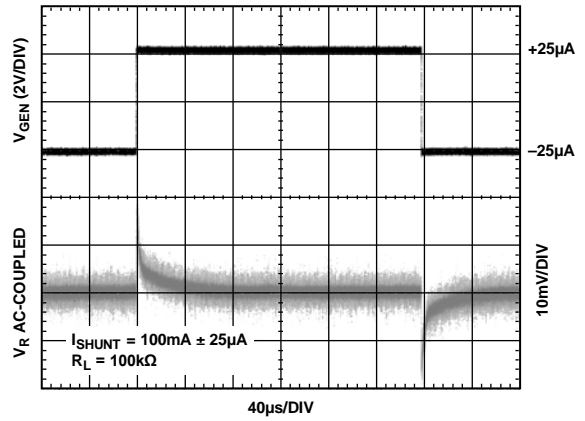


Figure 11. ADR5045 Load Transient Response

06526-011

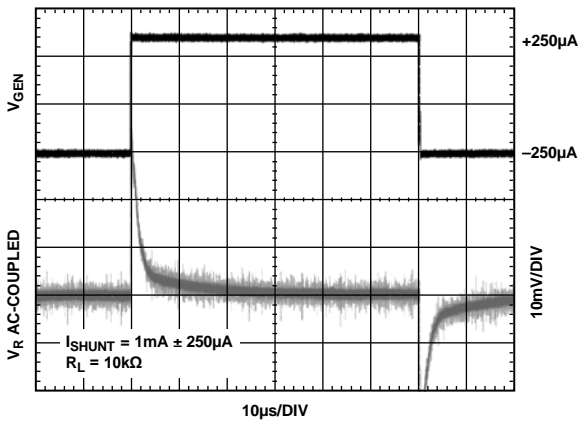


Figure 9. ADR5041 Transient Response

06526-009

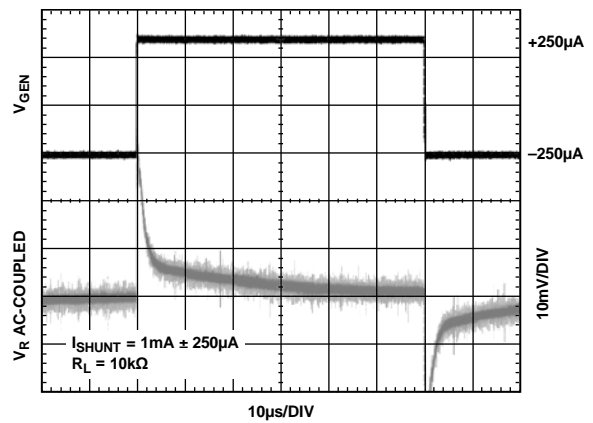


Figure 12. ADR5045 Transient Response

06526-012

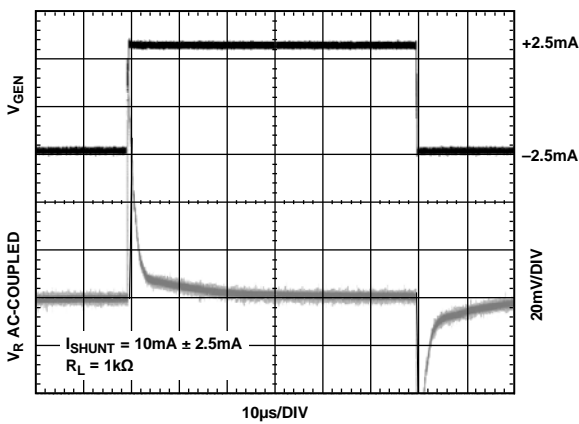


Figure 10. ADR5041 Transient Response

06526-013

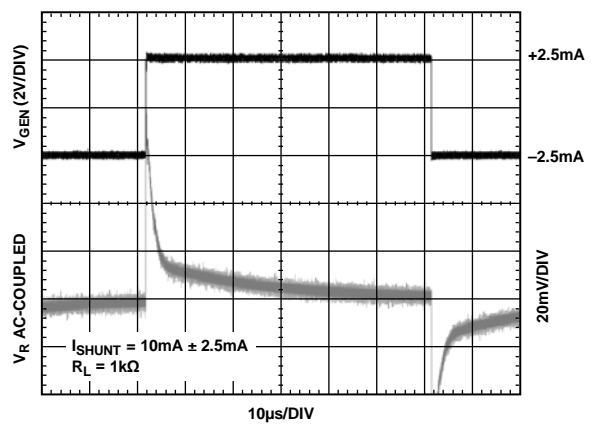


Figure 13. ADR5045 Transient Response

06526-016

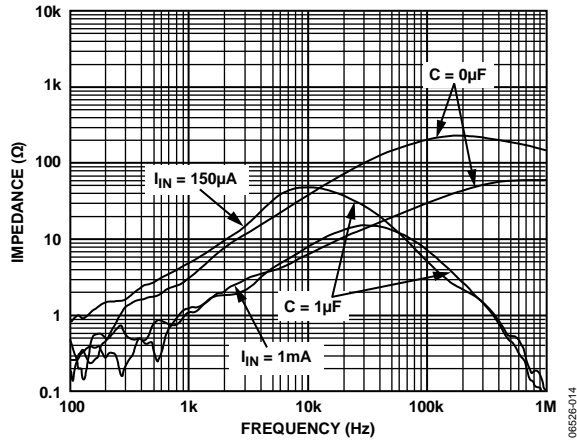


Figure 14. ADR5041 Output Impedance vs. Frequency

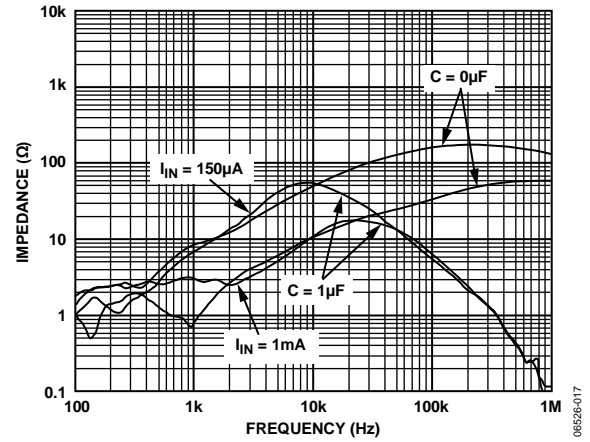


Figure 17. ADR5045 Output Impedance vs. Frequency

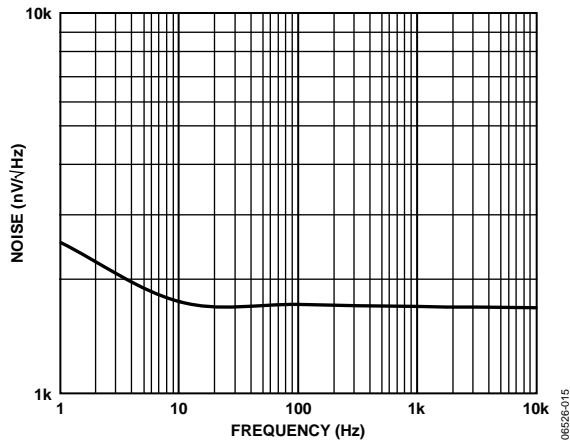


Figure 15. ADR5041 Voltage Noise Density

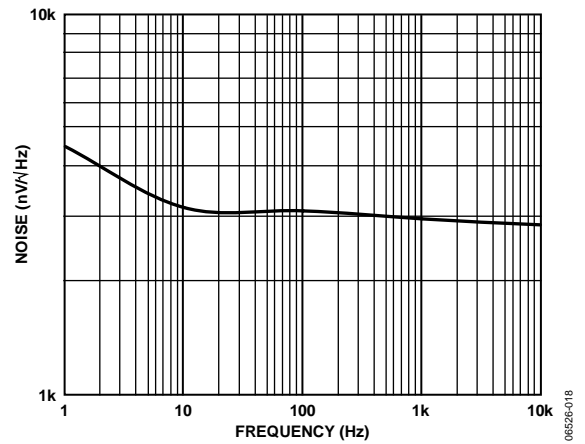


Figure 18. ADR5045 Voltage Noise Density

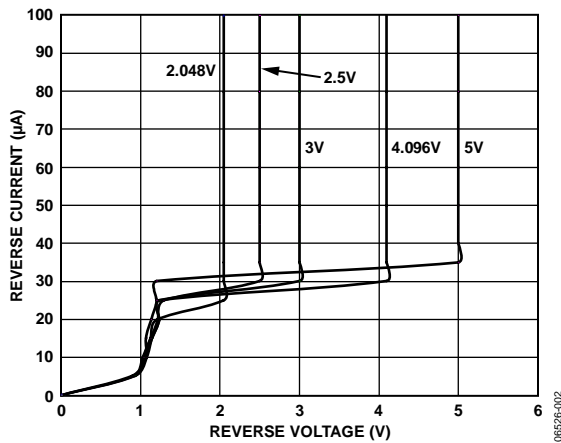


Figure 16. ADR504x Reverse Characteristics and Minimum Operating Current

## TERMINOLOGY

### Temperature Coefficient

The change in output voltage with respect to operating temperature changes. It is normalized by an output voltage of 25°C. This parameter is expressed in ppm/°C and is determined by the following equation:

$$TCV_{OUT} \left[ \frac{\text{ppm}}{^{\circ}\text{C}} \right] = \frac{V_{OUT}(T_2) - V_{OUT}(T_1)}{V_{OUT}(25^{\circ}\text{C}) \times (T_2 - T_1)} \times 10^6 \quad (1)$$

where:

$V_{OUT}(25^{\circ}\text{C}) = V_{OUT}$  at 25°C.

$V_{OUT}(T_1) = V_{OUT}$  at Temperature 1.

$V_{OUT}(T_2) = V_{OUT}$  at Temperature 2.

### Thermal Hysteresis

The change in output voltage after the device is cycled through temperatures ranging from +25°C to -40°C, then to +125°C, and back to +25°C. This is common in precision reference and is caused by thermal-mechanical package stress. Changes in environmental storage temperature, board mounting temperature, and the operating temperature are some of the factors that can contribute to thermal hysteresis. The following equation expresses a typical value from a sample of parts put through such a cycle:

$$V_{OUT\_HYS} = V_{OUT}(25^{\circ}\text{C}) - V_{OUT\_TC}$$

$$V_{OUT\_HYS} [\text{ppm}] = \frac{V_{OUT}(25^{\circ}\text{C}) - V_{OUT\_TC}}{V_{OUT}(25^{\circ}\text{C})} \times 10^6 \quad (2)$$

where:

$V_{OUT}(25^{\circ}\text{C}) = V_{OUT}$  at 25°C.

$V_{OUT\_TC} = V_{OUT}$  at 25°C after a temperature cycle from +25°C to -40°C, then to +125°C, and back to +25°C.

## THEORY OF OPERATION

The ADR504x family uses the band gap concept to produce a stable, low temperature coefficient voltage reference suitable for high accuracy data acquisition components and systems. The devices use the physical nature of a silicon transistor base-emitter voltage in the forward-biased operating region. All such transistors have approximately a  $-2 \text{ mV}/^\circ\text{C}$  temperature coefficient (TC), making them unsuitable for direct use as a low temperature coefficient reference. Extrapolation of the temperature characteristic of any one of these devices to absolute zero (with the collector current proportional to the absolute temperature), however, reveals that its  $V_{BE}$  approaches approximately the silicon band gap voltage. Therefore, if a voltage develops with an opposing temperature coefficient to sum the  $V_{BE}$ , a zero temperature coefficient reference results.

## APPLICATIONS INFORMATION

The ADR5040/ADR5041/ADR5043/ADR5044/ADR5045 are a series of precision shunt voltage references. They are designed to operate without an external capacitor between the positive and negative terminals. If a bypass capacitor is used to filter the supply, the references remain stable.

For a stable voltage, all shunt voltage references require an external bias resistor ( $R_{BIAS}$ ) between the supply voltage and the reference (see Figure 19). The  $R_{BIAS}$  sets the current that flows through the load ( $I_L$ ) and the reference ( $I_{IN}$ ). Because the load and the supply voltage can vary, the  $R_{BIAS}$  needs to be chosen based on the following considerations:

- $R_{BIAS}$  must be small enough to supply the minimum  $I_{IN}$  current to the ADR5040/ADR5041/ADR5043/ADR5044/ADR5045, even when the supply voltage is at its minimum value and the load current is at its maximum value.
- $R_{BIAS}$  must be large enough so that  $I_{IN}$  does not exceed 15 mA when the supply voltage is at its maximum value and the load current is at its minimum value.

Given these conditions,  $R_{BIAS}$  is determined by the supply voltage ( $V_S$ ), the ADR5040/ADR5041/ADR5043/ADR5044/ADR5045 load and operating current ( $I_L$  and  $I_{IN}$ ), and the ADR5040/ADR5041/ADR5043/ADR5044/ADR5045 output voltage ( $V_{OUT}$ ).

$$R_{BIAS} = \frac{V_S - V_{OUT}}{I_L + I_{IN}} \quad (3)$$

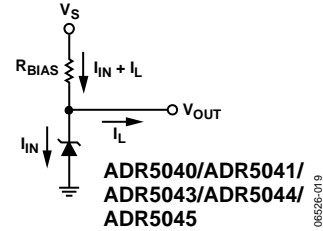


Figure 19. Shunt Reference

### Precision Negative Voltage Reference

The ADR5040/ADR5041/ADR5043/ADR5044/ADR5045 are suitable for applications where a precise negative voltage is desired. Figure 20 shows the ADR5045 configured to provide a negative output. Caution should be exercised in using a low temperature sensitive resistor to avoid errors from the resistor.

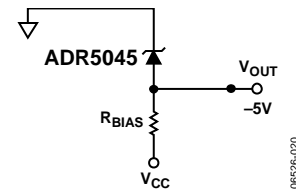


Figure 20. Negative Precision Reference Configuration

### Stacking the ADR504x for User-Definable Outputs

Multiple ADR504x parts can be stacked together to allow the user to obtain a desired higher voltage. Figure 21a shows three ADR5045 devices configured to give 15 V. The bias resistor,  $R_{BIAS}$ , is chosen using Equation 3, noting that the same bias current flows through all the shunt references in series. Figure 21b shows three ADR5045 devices stacked together to give  $-15 \text{ V}$ .  $R_{BIAS}$  is calculated in the same manner as before. Parts of different voltages can also be added together; that is, an ADR5041 and an ADR5045 can be added together to give an output of  $+7.5 \text{ V}$  or  $-7.5 \text{ V}$ , as desired. Note, however, that the initial accuracy error is the sum of the errors of all the stacked parts, as are the temperature coefficient and output voltage change vs. input current.

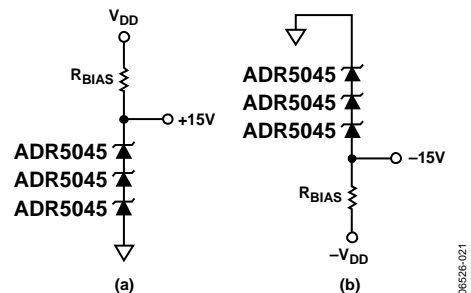


Figure 21.  $\pm 15 \text{ V}$  Output with Stacked ADR5045 Devices



**Adjustable Precision Voltage Source**

The ADR5040/ADR5041/ADR5043/ADR5044/ADR5045, combined with a precision low input bias op amp such as the AD8610, can be used to output a precise adjustable voltage. Figure 22 illustrates the implementation of this application using the ADR5040/ADR5041/ADR5043/ADR5044/ADR5045. The output of the op amp,  $V_{OUT}$ , is determined by the gain of the circuit, which is completely dependent on the resistors, R1 and R2.

$$V_{OUT} = (1 + R2/R1)V_{REF}$$

An additional capacitor, C1, in parallel with R2, can be added to filter out high frequency noise. The value of C1 is dependent on the value of R2.

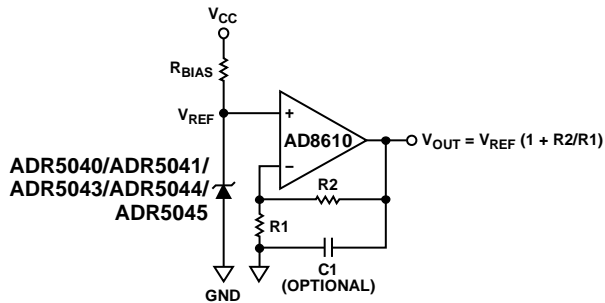


Figure 22. Adjustable Voltage Source

06526-022

**Programmable Current Source**

By using just a few ultrasmall and inexpensive parts, it is possible to build a programmable current source, as shown in Figure 23. The constant voltage on the gate of the transistor sets the current through the load. Varying the voltage on the gate changes the current. The AD5247 is a digital potentiometer with I<sup>2</sup>C® digital interface, and the AD8601 is a precision rail-to-rail input op amp. Each incremental step of the digital potentiometer increases or decreases the voltage at the noninverting input of the op amp. Therefore, this voltage varies with respect to the reference voltage.

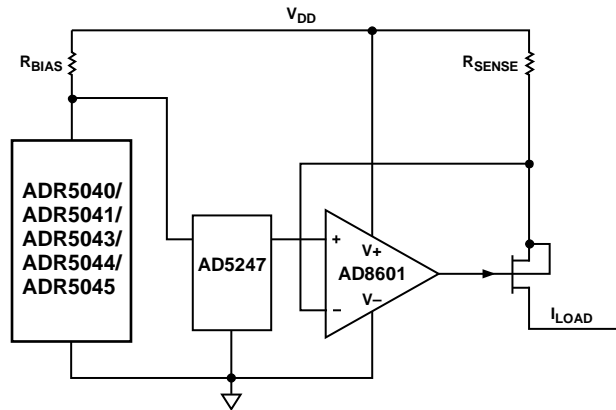
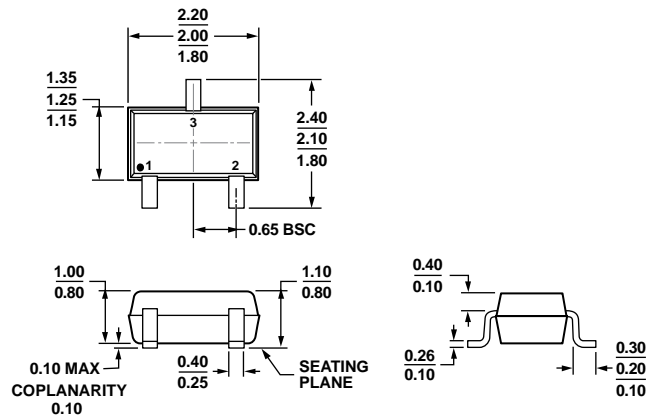


Figure 23. Programmable Current Source

06526-023

OUTLINE DIMENSIONS

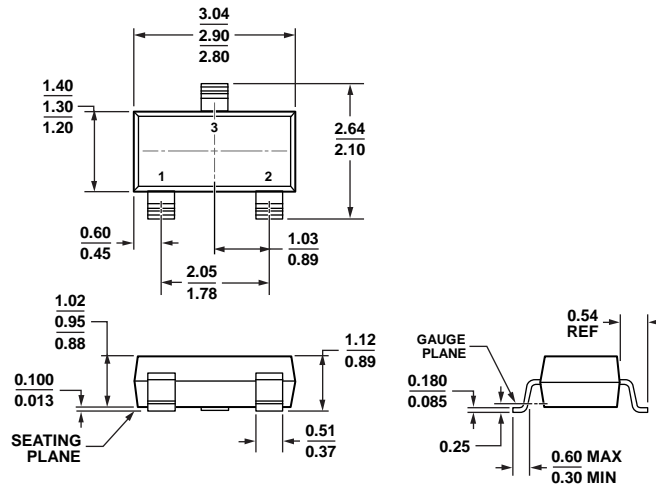


ALL DIMENSIONS COMPLIANT WITH EIAJ SC70

Figure 24. 3-Lead Thin Shrink Small Outline Transistor Package [SC70] (KS-3)

Dimensions shown in millimeters

072809-A



COMPLIANT TO JEDEC STANDARDS TO-236-AB

Figure 25. 3-Lead Small Outline Transistor Package [SOT-23-3] (RT-3)

Dimensions shown in millimeters

011909-C

**ORDERING GUIDE**

<b>Model<sup>1,2</sup></b>	<b>Output Voltage (V)</b>	<b>Initial Accuracy (mV)</b>	<b>Tempco Industrial (ppm/°C)</b>	<b>Temperature Range</b>	<b>Package Description</b>	<b>Package Option</b>	<b>Ordering Quantity</b>	<b>Branding</b>
ADR5040AKSZ-R2	2.048	4.096	100	-40°C to +125°C	3-Lead SC70	KS-3	250	R2J
ADR5040AKSZ-REEL	2.048	4.096	100	-40°C to +125°C	3-Lead SC70	KS-3	10,000	R2J
ADR5040AKSZ-REEL7	2.048	4.096	100	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2J
ADR5040ARTZ-R2	2.048	4.096	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2J
ADR5040ARTZ-REEL	2.048	4.096	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	10,000	R2J
ADR5040ARTZ-REEL7	2.048	4.096	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2J
ADR5040BKSZ-R2	2.048	2.048	75	-40°C to +125°C	3-Lead SC70	KS-3	250	R2L
ADR5040BKSZ-REEL7	2.048	2.048	75	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2L
ADR5040BRTZ-R2	2.048	2.048	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2L
ADR5040BRTZ-REEL7	2.048	2.048	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2L
ADR5041AKSZ-R2	2.500	5	100	-40°C to +125°C	3-Lead SC70	KS-3	250	R2N
ADR5041AKSZ-REEL	2.500	5	100	-40°C to +125°C	3-Lead SC70	KS-3	10,000	R2N
ADR5041AKSZ-REEL7	2.500	5	100	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2N
ADR5041ARTZ-R2	2.500	5	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2N
ADR5041ARTZ-REEL	2.500	5	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	10,000	R2N
ADR5041ARTZ-REEL7	2.500	5	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2N
ADR5041BKSZ-R2	2.500	2.5	75	-40°C to +125°C	3-Lead SC70	KS-3	250	R2Q
ADR5041BKSZ-REEL7	2.500	2.5	75	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2Q
ADR5041BRTZ-R2	2.500	2.5	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2Q
ADR5041BRTZ-REEL7	2.500	2.5	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2Q
ADR5041WARTZ-R7	2500	5	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2N
ADR5041WBRTZ-R7	2.500	2.5	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2Q
ADR5043AKSZ-R2	3.0	6	100	-40°C to +125°C	3-Lead SC70	KS-3	250	R2S
ADR5043AKSZ-REEL	3.0	6	100	-40°C to +125°C	3-Lead SC70	KS-3	10,000	R2S
ADR5043AKSZ-REEL7	3.0	6	100	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2S
ADR5043ARTZ-R2	3.0	6	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2S
ADR5043ARTZ-REEL	3.0	6	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	10,000	R2S
ADR5043ARTZ-REEL7	3.0	6	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2S
ADR5043BKSZ-R2	3.0	3	75	-40°C to +125°C	3-Lead SC70	KS-3	250	R2U
ADR5043BKSZ-REEL7	3.0	3	75	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2U
ADR5043BRTZ-R2	3.0	3	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2U
ADR5043BRTZ-REEL7	3.0	3	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2U
ADR5044AKSZ-R2	4.096	8.192	100	-40°C to +125°C	3-Lead SC70	KS-3	250	R2W
ADR5044AKSZ-REEL	4.096	8.192	100	-40°C to +125°C	3-Lead SC70	KS-3	10,000	R2W
ADR5044AKSZ-REEL7	4.096	8.192	100	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2W
ADR5044ARTZ-R2	4.096	8.192	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2W
ADR5044ARTZ-REEL	4.096	8.192	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	10,000	R2W
ADR5044ARTZ-REEL7	4.096	8.192	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2W
ADR5044BKSZ-R2	4.096	4.096	75	-40°C to +125°C	3-Lead SC70	KS-3	250	R2Y
ADR5044BKSZ-REEL7	4.096	4.096	75	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R2Y
ADR5044BRTZ-R2	4.096	4.096	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R2Y
ADR5044BRTZ-REEL7	4.096	4.096	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2Y
ADR5044WARTZ-R7	4.096	8.192	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2W
ADR5044WBRTZ-R7	4.096	4.096	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R2Y

Model <sup>1,2</sup>	Output Voltage (V)	Initial Accuracy (mV)	Tempco Industrial (ppm/°C)	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADR5045AKSZ-R2	5.0	10	100	-40°C to +125°C	3-Lead SC70	KS-3	250	R30
ADR5045AKSZ-REEL	5.0	10	100	-40°C to +125°C	3-Lead SC70	KS-3	10,000	R30
ADR5045AKSZ-REEL7	5.0	10	100	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R30
ADR5045ARTZ-R2	5.0	10	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R30
ADR5045ARTZ-REEL	5.0	10	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	10,000	R30
ADR5045ARTZ-REEL7	5.0	10	100	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R30
ADR5045BKSZ-R2	5.0	5	75	-40°C to +125°C	3-Lead SC70	KS-3	250	R32
ADR5045BKSZ-REEL7	5.0	5	75	-40°C to +125°C	3-Lead SC70	KS-3	3,000	R32
ADR5045BRTZ-R2	5.0	5	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	250	R32
ADR5045BRTZ-REEL7	5.0	5	75	-40°C to +125°C	3-Lead SOT-23-3	RT-3	3,000	R32

<sup>1</sup> Z = RoHS Compliant Part.

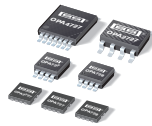
<sup>2</sup> W = Qualified for Automotive Applications.

## AUTOMOTIVE PRODUCTS

The ADR5041W and ADR5044W models are available with controlled manufacturing to support the quality and reliability requirements of automotive applications. Note that these automotive models may have specifications that differ from the commercial models; therefore, designers should review the Specifications section of this data sheet carefully. Only the automotive grade products shown are available for use in automotive applications. Contact your local Analog Devices account representative for specific product ordering information and to obtain the specific Automotive Reliability reports for these models.

**NOTES**

Purchase of licensed I<sup>2</sup>C components of Analog Devices or one of its sublicensed Associated Companies conveys a license for the purchaser under the Philips I<sup>2</sup>C Patent Rights to use these components in an I<sup>2</sup>C system, provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.



# e-trim™ 20MHz, High Precision CMOS Operational Amplifier

## FEATURES

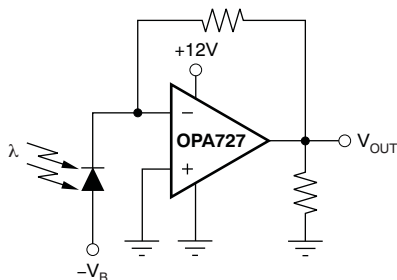
- **OFFSET:** 15μV (typ), 150μV (max)
- **DRIFT:** 0.3μV/°C (typ), 1.5μV/°C (max)
- **BANDWIDTH:** 20MHz
- **SLEW RATE:** 30V/μs
- **BIAS CURRENT:** 500pA (max)
- **LOW NOISE:** 6nV/√Hz at 100kHz
- **THD+N:** 0.0003% at 1kHz
- **QUIESCENT CURRENT:** 4.3mA/ch
- **SUPPLY VOLTAGE:** 4V to 12V
- **SHUTDOWN MODE (OPA728):** 6μA

## APPLICATIONS

- OPTICAL NETWORKING
- TRANSIMPEDANCE AMPLIFIERS
- INTEGRATORS
- ACTIVE FILTERS
- A/D CONVERTER DRIVERS
- I/V CONVERTER FOR DACs
- HIGH PERFORMANCE AUDIO
- PROCESS CONTROL
- TEST EQUIPMENT

## OPAx727 AND OPAx728 RELATED PRODUCTS

FEATURES	PRODUCT
20MHz, 3mV, 4μV/°C (non-e-trim version of OPA727)	<a href="#">OPA726</a>
20MHz, 3mV, 4μV/°C, Shutdown (non-e-trim version of OPA728)	<a href="#">OPA726</a>



## DESCRIPTION

The OPA727 and OPA728 series op amps use a state-of-the-art 12V analog CMOS process and *e-trim*, a package-level trim, offering outstanding dc precision and ac performance. The extremely low offset (150μV max) and drift (1.5μV/°C) are achieved by trimming the IC digitally after packaging to avoid the shift in parameters as a result of stresses during package assembly. To correct for offset drift, the OPA727 and OPA728 family is trimmed over temperature. The devices feature very high CMRR and open-loop gain to minimize errors.

Excellent ac characteristics, such as 20MHz GBW, 30V/μs slew rate and 0.0003% THD+N make the OPA727 and OPA728 well-suited for communication, high-end audio, and active filter applications. With a bias current of less than 500pA, they are well suited for use as transimpedance (I/V-conversion) amplifiers for monitoring optical power in ONET applications.

Optimized for single-supply operation up to 12V, the input common-mode range extends to GND for true single-supply functionality. The output swings to within 150mV of the rails, maximizing dynamic range. The low quiescent current of 4.3mA makes it well-suited for use in battery-operated equipment. The OPA728 shutdown version reduces the quiescent current to typically 6μA and features a reference pin for easy shutdown operation with standard CMOS logic in dual-supply applications.

For ease of use, the OPA727 and OPA728 op amp families are fully specified and tested over the supply range of 4V to 12V. The OPA727 (single) and OPA728 (single with shutdown) are available in MSOP-8 and DFN-8; the OPA2727 (dual) is available in DFN-8 and SO-8; and the quad version OPA4727 in TSSOP-14. All versions are specified for operation from -40°C to +125°C.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

e-trim is a trademark of Texas Instruments.  
All other trademarks are the property of their respective owners.



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

**PACKAGE/ORDERING INFORMATION<sup>(1)</sup>**

PRODUCT	PACKAGE-LEAD	PACKAGE DESIGNATOR	PACKAGE MARKING
<b>Non-Shutdown</b>			
OPA727	MSOP-8	DGK	AUE
	DFN-8	DRB	NSF
OPA2727	DFN-8	DRB	NSD
	SO-8	D	O2727A
OPA4727	TSSOP-14	PW	OPA4727
<b>Shutdown</b>			
OPA728	MSOP-8	DGK	AUF
	DFN-8	DRB	NSG

(1) For the most current package and ordering information see the Package Option Addendum at the end of this document, or see the TI web site at [www.ti.com](http://www.ti.com).

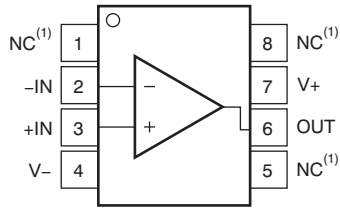
**ABSOLUTE MAXIMUM RATINGS<sup>(1)</sup>**

		OPA727, OPA2727 OPA4727, OPA728	UNIT
Supply Voltage		+13.2	V
Signal Input Terminals	Voltage <sup>(2)</sup>	-0.5 to (V+) + 0.5	V
	Current <sup>(2)</sup>	±10	mA
Output Short-Circuit <sup>(3)</sup>		Continuous	
Operating Temperature		-55 to +125	°C
Storage Temperature		-55 to +150	°C
Junction Temperature		+150	°C
ESD Rating	Human Body Model	2000	V
	Charged Device Model	1000	V

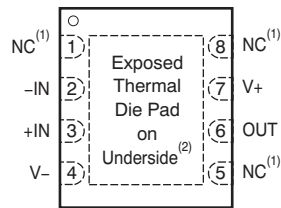
- (1) Stresses above these ratings may cause permanent damage. Exposure to absolute maximum conditions for extended periods may degrade device reliability. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those specified is not supported.
- (2) Input terminals are diode-clamped to the power-supply rails. Input signals that can swing more than 0.5V beyond the supply rails should be current limited to 10mA or less.
- (3) Short-circuit to ground, one amplifier per package.

## PIN CONFIGURATIONS

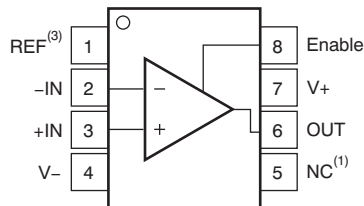
**OPA727  
MSOP-8  
(TOP VIEW)**



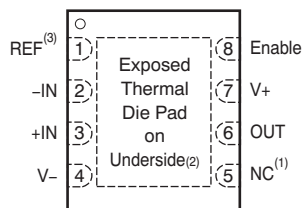
**OPA727  
DFN-8  
(TOP VIEW)**



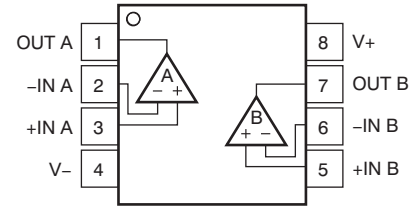
**OPA728  
MSOP-8  
(TOP VIEW)**



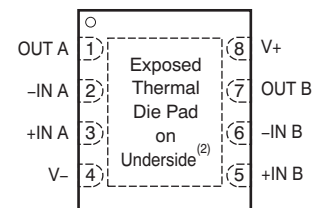
**OPA728  
DFN-8  
(TOP VIEW)**



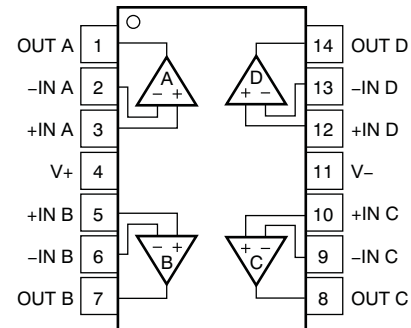
**OPA2727  
SO-8  
(TOP VIEW)**



**OPA2727  
DFN-8  
(TOP VIEW)**



**OPA4727  
TSSOP-14  
(TOP VIEW)**



### Notes:

1. NC denotes no internal connection.
2. Connect thermal die pad to V-.
3. REF is the reference voltage for ENABLE pin.



**ELECTRICAL CHARACTERISTICS:  $V_S = +4V$  to  $+12V$  or  $V_S = \pm 2V$  to  $\pm 6V$**

**Boldface** limits apply over the specified temperature range,  $T_A = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ .

At  $T_A = +25^\circ\text{C}$ ,  $R_L = 10\text{k}\Omega$  connected to  $V_S/2$ , and  $V_{OUT} = V_S/2$ , unless otherwise noted.

PARAMETER	CONDITIONS	OPA727, OPA728, OPA2727, OPA4727			UNIT
		MIN	TYP	MAX	
<b>OFFSET VOLTAGE</b>					
Input Offset Voltage	$V_{OS}$ $V_S = \pm 5V, V_{CM} = 0V$				
OPA727 DFN, OPA728 DFN Packages			15	150	$\mu\text{V}$
OPA727 MSOP, OPA728 MSOP Packages			15	300	$\mu\text{V}$
OPA2727			15	150	$\mu\text{V}$
OPA4727			15	175	$\mu\text{V}$
Drift	$dV_{OS}/dT$ $0^\circ\text{C}$ to $+85^\circ\text{C}$		0.3	1.5	$\mu\text{V}/^\circ\text{C}$
	$-40^\circ\text{C}$ to $+125^\circ\text{C}$		<b>0.6</b>	<b>3</b>	$\mu\text{V}/^\circ\text{C}$
vs Power Supply	PSRR $V_S = \pm 2V$ to $\pm 6V, V_{CM} = V-$		30	150	$\mu\text{V}/\text{V}$
<b>Over Temperature</b>	$V_S = \pm 2V$ to $\pm 6V, V_{CM} = V-$			<b>150</b>	$\mu\text{V}/\text{V}$
Channel Separation, dc			1		$\mu\text{V}/\text{V}$
<b>INPUT BIAS CURRENT</b>					
Input Bias Current			$\pm 85$	$\pm 500$	pA
<b>Over Temperature</b>			See Typical Characteristics		
Input Offset Current	$I_{OS}$		$\pm 10$	$\pm 100$	pA
<b>NOISE</b>					
Input Voltage Noise, $f = 0.1\text{Hz}$ to $10\text{Hz}$	$e_n$ $V_S = \pm 6V, V_{CM} = 0V$		10		$\mu\text{V}_{PP}$
Input Voltage Noise Density, $f = 10\text{kHz}$	$e_n$ $V_S = \pm 6V, V_{CM} = 0V$		10		$\text{nV}/\sqrt{\text{Hz}}$
Input Voltage Noise Density, $f = 100\text{kHz}$	$e_n$ $V_S = \pm 6V, V_{CM} = 0V$		6		$\text{nV}/\sqrt{\text{Hz}}$
Input Current Noise Density, $f = 1\text{kHz}$	$i_n$ $V_S = \pm 6V, V_{CM} = 0V$		2.5		$\text{fA}/\sqrt{\text{Hz}}$
<b>INPUT VOLTAGE RANGE</b>					
Common-Mode Voltage Range	$V_{CM}$	(V-)		(V+)-2.5	V
Common-Mode Rejection Ratio	CMRR	$(V-) \leq V_{CM} \leq (V+) - 2.5V$	86	94	dB
<b>Over Temperature</b>		$(V-) \leq V_{CM} \leq (V+) - 2.5V$	<b>84</b>		<b>dB</b>
		$(V-) \leq V_{CM} \leq (V+) - 3V$	94	100	dB
<b>Over Temperature</b>		$(V-) \leq V_{CM} \leq (V+) - 3V$	<b>84</b>		<b>dB</b>
<b>INPUT IMPEDANCE</b>					
Differential			$10^{11} \parallel 5$		$\Omega \parallel \text{pF}$
Common-Mode			$10^{11} \parallel 4$		$\Omega \parallel \text{pF}$
<b>OPEN-LOOP GAIN</b>					
Open-Loop Voltage Gain	$A_{OL}$	$R_L = 100\text{k}\Omega, 0.15V < V_O < (V+) - 0.15V$	110	120	dB
<b>Over Temperature</b>		$R_L = 100\text{k}\Omega, 0.15V < V_O < (V+) - 0.15V$	<b>100</b>		<b>dB</b>
		$R_L = 1\text{k}\Omega, 0.25V < V_O < (V+) - 0.25V$	106	116	dB
<b>Over Temperature, OPA727, OPA728</b>		$R_L = 1\text{k}\Omega, 0.25V < V_O < (V+) - 0.25V$	<b>96</b>		<b>dB</b>
<b>Over Temperature, OPA2727, OPA4727</b>		$R_L = 1\text{k}\Omega, 0.35V < V_O < (V+) - 0.35V$	<b>96</b>		<b>dB</b>
<b>FREQUENCY RESPONSE</b>					
Gain-Bandwidth Product	GBW	$C_L = 20\text{pF}$		20	MHz
Slew Rate	SR	$G = +1$		30	$\text{V}/\mu\text{s}$
Settling Time, 0.1%	$t_s$	$V_S = \pm 6V, 5V$ Step, $G = +1$		350	ns
0.01%		$V_S = \pm 6V, 5V$ Step, $G = +1$		450	ns
Overload Recovery Time		$V_{IN} \times \text{Gain} > V_S$		50	ns
Total Harmonic Distortion + Noise	THD+N	$V_S = \pm 6V, V_{OUT} = 2V_{RMS}, R_L = 600\Omega, G = +1, f = 1\text{kHz}$		0.003	%

**ELECTRICAL CHARACTERISTICS:  $V_S = +4V$  to  $+12V$  or  $V_S = \pm 2V$  to  $\pm 6V$  (continued)**

**Boldface** limits apply over the specified temperature range,  $T_A = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ .

At  $T_A = +25^\circ\text{C}$ ,  $R_L = 10\text{k}\Omega$  connected to  $V_S/2$ , and  $V_{OUT} = V_S/2$ , unless otherwise noted.

PARAMETER	CONDITIONS	OPA727, OPA728, OPA2727, OPA4727			UNIT
		MIN	TYP	MAX	
<b>OUTPUT</b>					
Voltage Output Swing from Rail					
	$R_L = 100\text{k}\Omega$ , $A_{OL} > 110\text{dB}$		100	150	mV
<b>Over Temperature</b>	<b><math>R_L = 100\text{k}\Omega</math>, <math>A_{OL} &gt; 100\text{dB}</math></b>			<b>150</b>	<b>mV</b>
	$R_L = 1\text{k}\Omega$ , $A_{OL} > 106\text{dB}$		200	250	mV
<b>Over Temperature, OPA727, OPA728</b>	<b><math>R_L = 1\text{k}\Omega</math>, <math>A_{OL} &gt; 96\text{dB}</math></b>			<b>250</b>	<b>mV</b>
<b>Over Temperature, OPA2727, OPA4727</b>	<b><math>R_L = 1\text{k}\Omega</math>, <math>A_{OL} &gt; 96\text{dB}</math></b>			<b>350</b>	<b>mV</b>
Output Current	$I_{OUT}$ $ V_S - V_{OUT}  < 1V$		40		mA
Short-Circuit Current	$I_{SC}$		$\pm 55$		mA
Capacitive Load Drive	$C_{LOAD}$	See <a href="#">Typical Characteristics</a>			
Open-Loop Output Impedance	$f = 1\text{MHz}$ , $I_O = 0$		40		$\Omega$
<b>ENABLE/SHUTDOWN (OPA728)</b>					
$t_{OFF}$			5		$\mu\text{s}$
$t_{ON}$			80		$\mu\text{s}$
Enable Reference (Ref Pin) Voltage Range		$V_-$		$(V_+) - 2$	V
$V_L$ (amplifier is disabled)				$< V_{DGND} + 0.8V$	V
$V_H$ (amplifier is enabled)		$> V_{DGND} + 2V$			V
Input Bias Current of Enable Pin			5		pA
$I_{QSD}$	Amplifier Disabled		6	15	$\mu\text{A}$
<b>POWER SUPPLY</b>					
Specified Voltage Range	$V_S$	4		12	V
Operating Voltage Range	$V_S$		3.5 to 13.2		V
Quiescent Current (per amplifier)	$I_Q$		4.3	6.5	mA
<b>Over Temperature</b>				<b>6.5</b>	<b>mA</b>
<b>TEMPERATURE RANGE</b>					
Specified Range		-40		+125	$^\circ\text{C}$
Operating Range		-55		+125	$^\circ\text{C}$
Storage Range		-55		+150	$^\circ\text{C}$
Thermal Resistance	$\theta_{JA}$				
MSOP-8, SO-8			150		$^\circ\text{C/W}$
TSSOP-14			100		$^\circ\text{C/W}$
DFN-8			46		$^\circ\text{C/W}$

### TYPICAL CHARACTERISTICS

At  $T_A = +25^\circ\text{C}$ ,  $V_S = \pm 6\text{V}$ ,  $R_L = 10\text{k}\Omega$  connected to  $V_S/2$ , and  $V_{OUT} = V_S/2$ , unless otherwise noted.

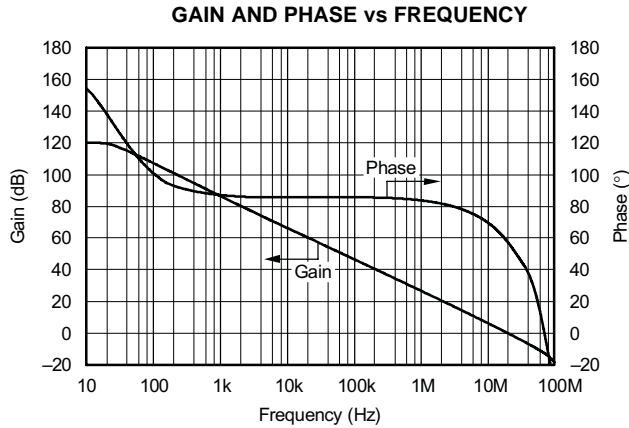


Figure 1.

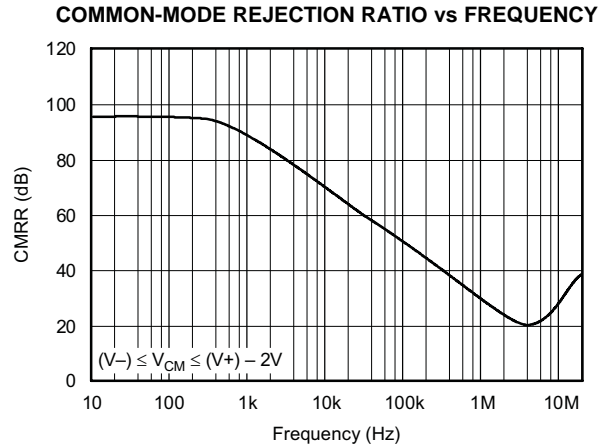


Figure 2.

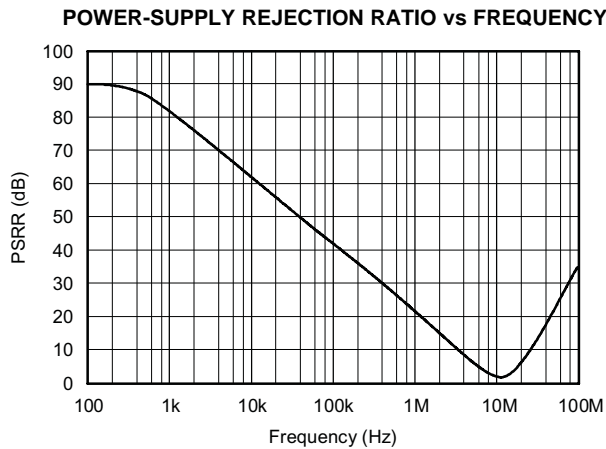


Figure 3.

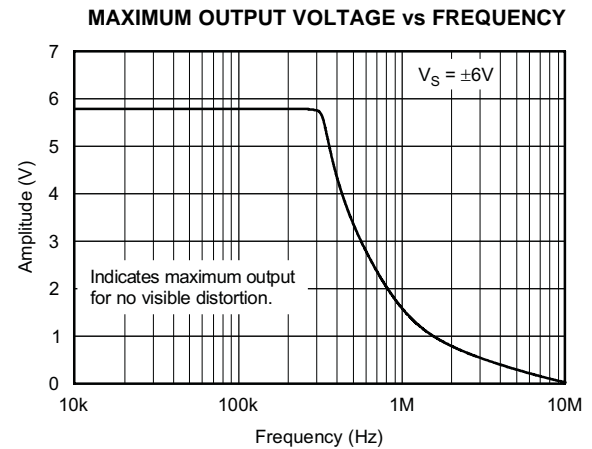


Figure 4.

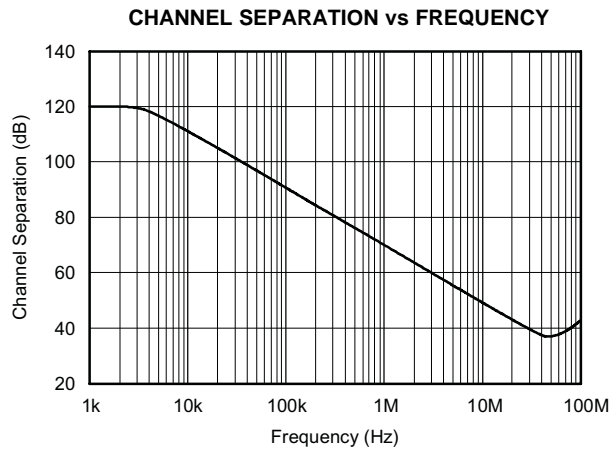


Figure 5.

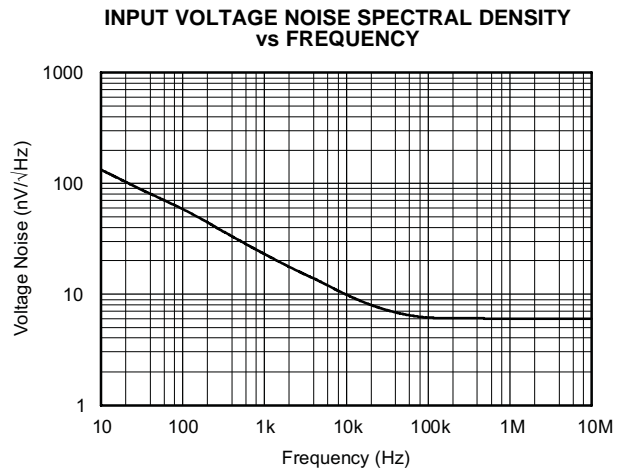


Figure 6.

**TYPICAL CHARACTERISTICS (continued)**

At  $T_A = +25^\circ\text{C}$ ,  $V_S = \pm 6\text{V}$ ,  $R_L = 10\text{k}\Omega$  connected to  $V_S/2$ , and  $V_{OUT} = V_S/2$ , unless otherwise noted.

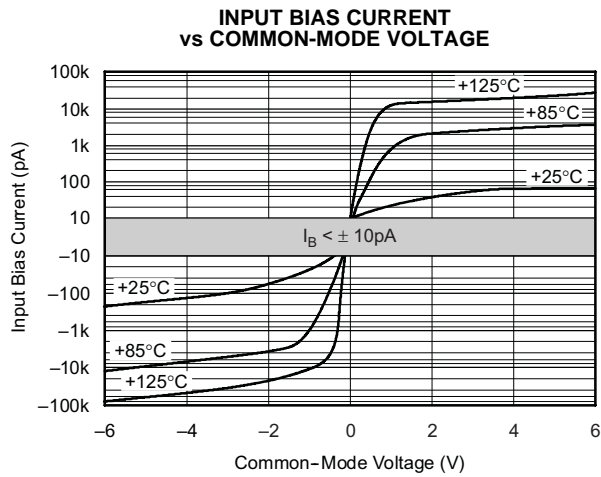


Figure 7.

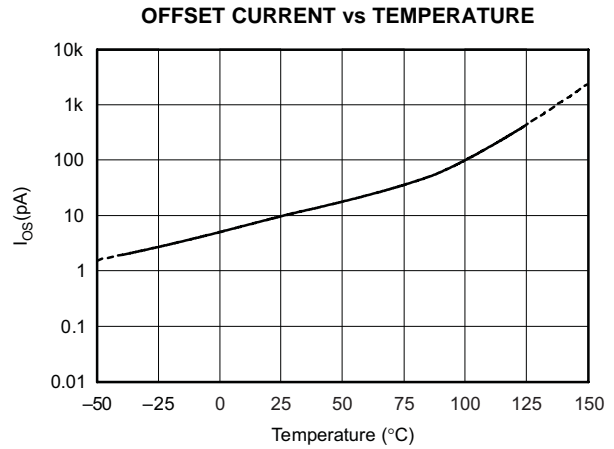


Figure 8.

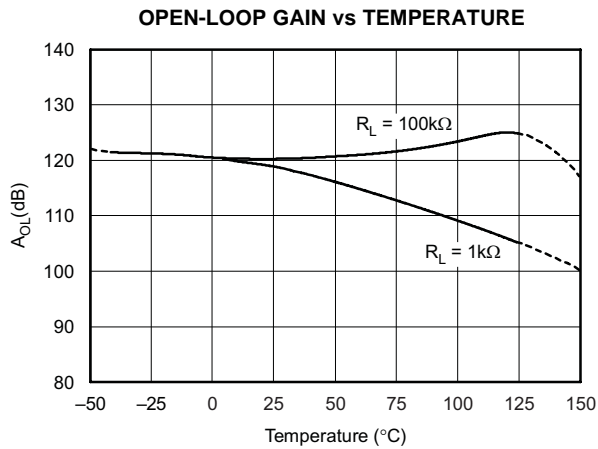


Figure 9.

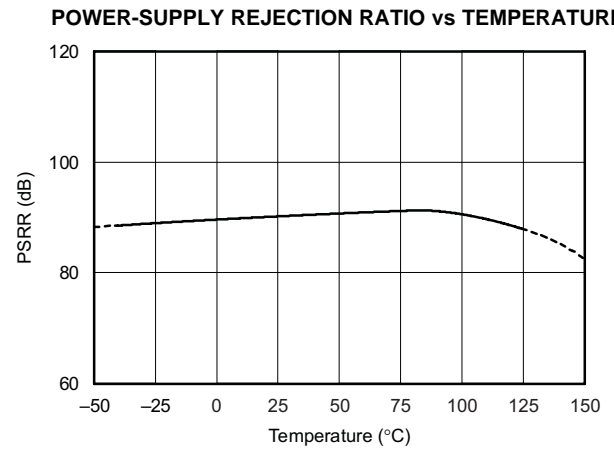


Figure 10.

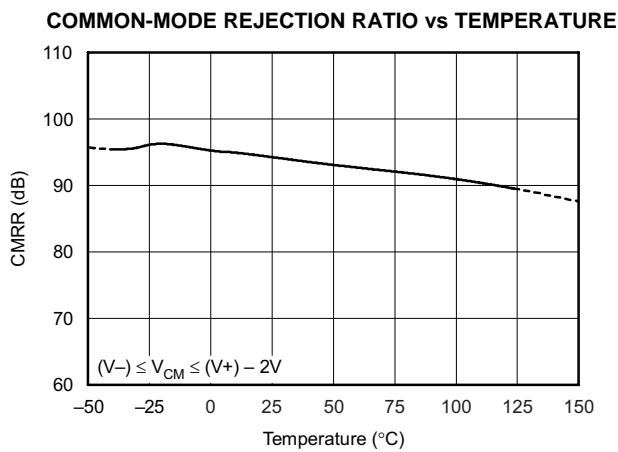


Figure 11.

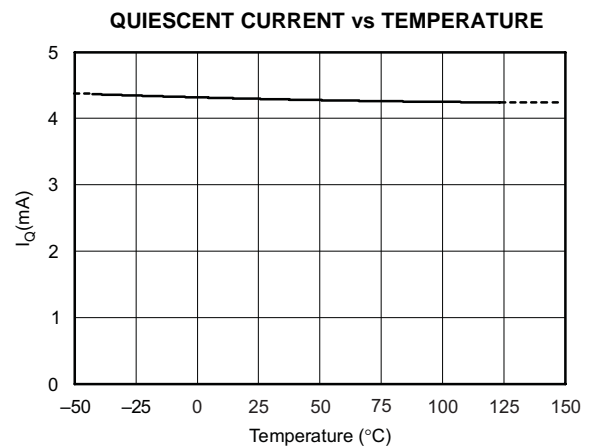


Figure 12.

**TYPICAL CHARACTERISTICS (continued)**

At  $T_A = +25^\circ\text{C}$ ,  $V_S = \pm 6\text{V}$ ,  $R_L = 10\text{k}\Omega$  connected to  $V_S/2$ , and  $V_{OUT} = V_S/2$ , unless otherwise noted.

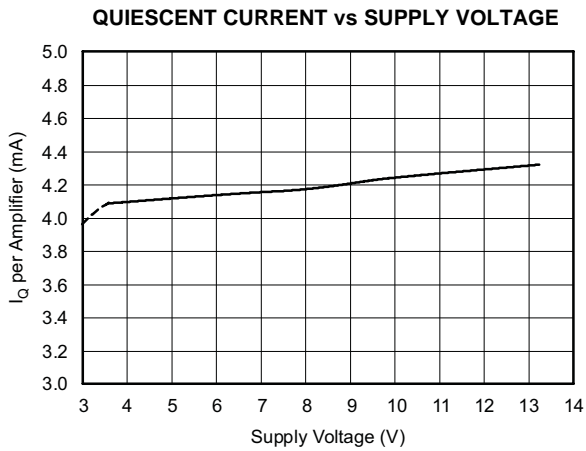


Figure 13.

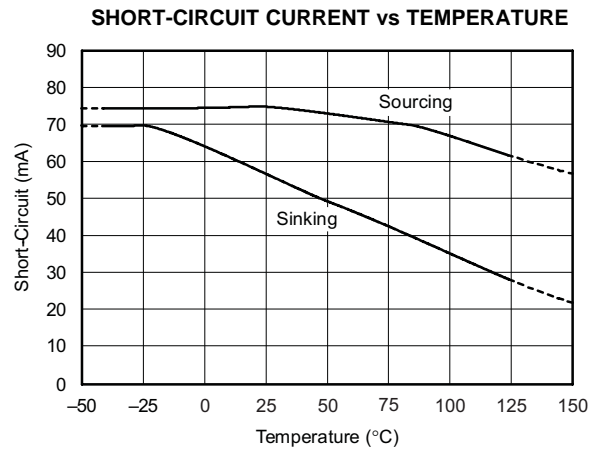


Figure 14.

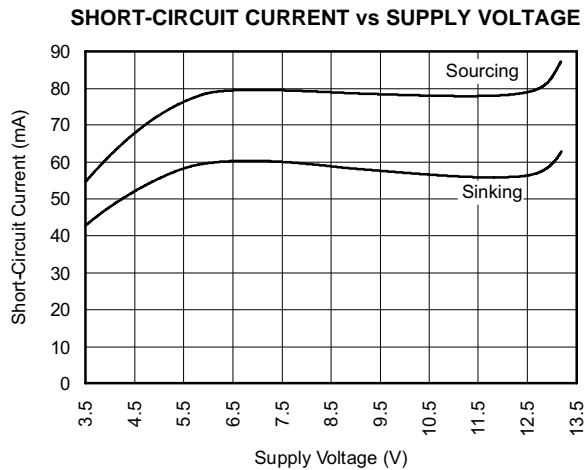


Figure 15.

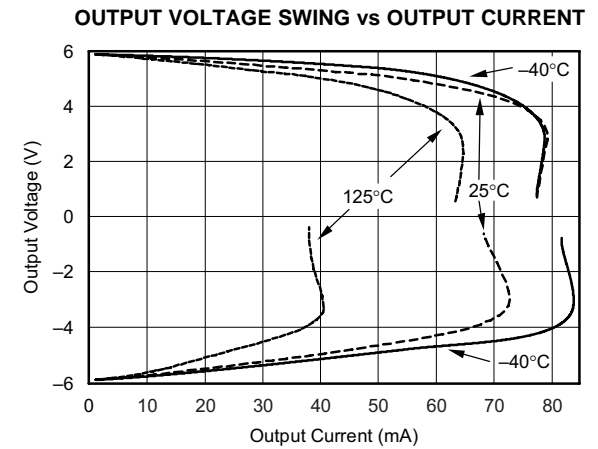


Figure 16.

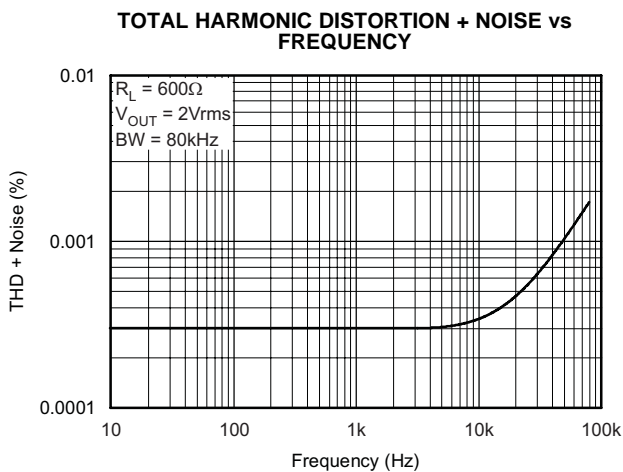


Figure 17.

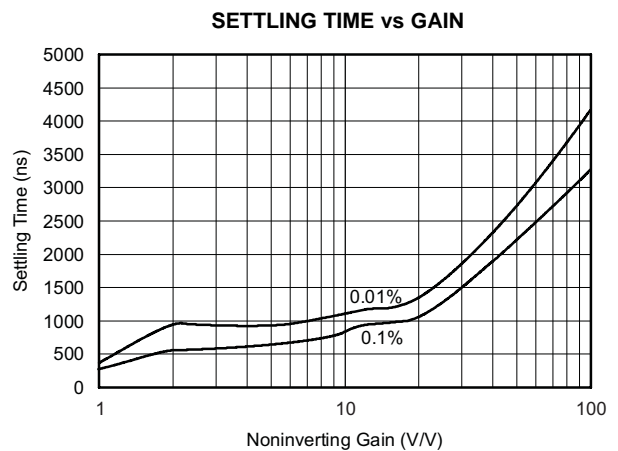


Figure 18.

### TYPICAL CHARACTERISTICS (continued)

At  $T_A = +25^\circ\text{C}$ ,  $V_S = \pm 6\text{V}$ ,  $R_L = 10\text{k}\Omega$  connected to  $V_S/2$ , and  $V_{OUT} = V_S/2$ , unless otherwise noted.

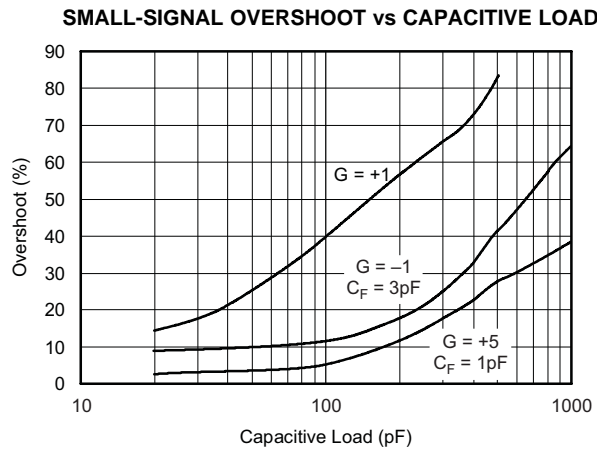


Figure 19.

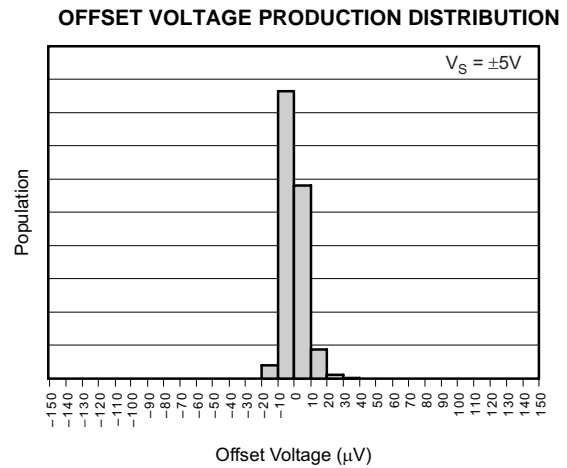


Figure 20.

OFFSET VOLTAGE DRIFT PRODUCTION DISTRIBUTION (0°C TO +85°C)

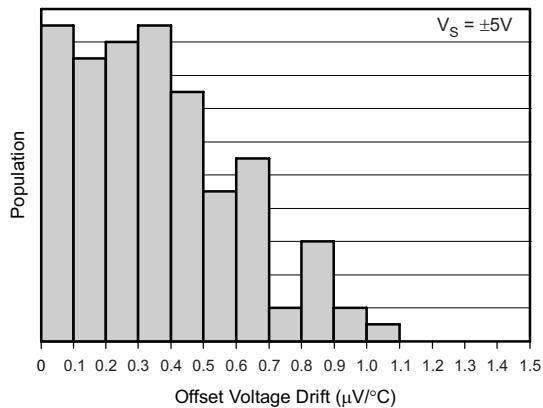


Figure 21.

OFFSET VOLTAGE DRIFT PRODUCTION DISTRIBUTION (-40°C TO +125°C)

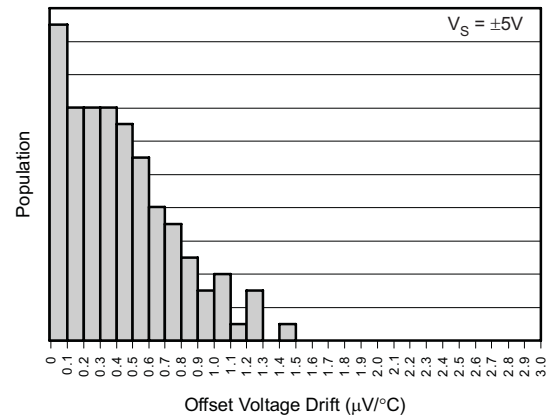


Figure 22.

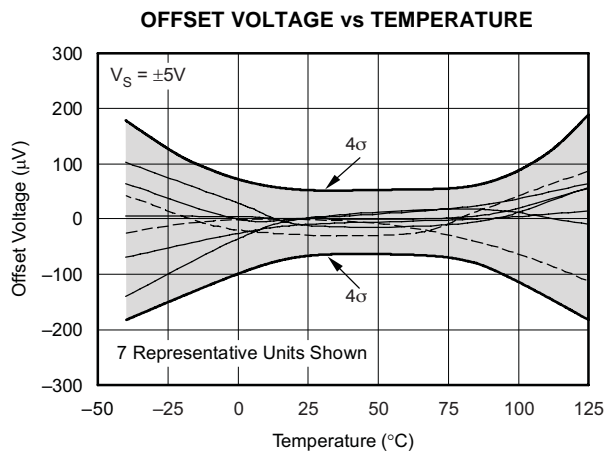


Figure 23.

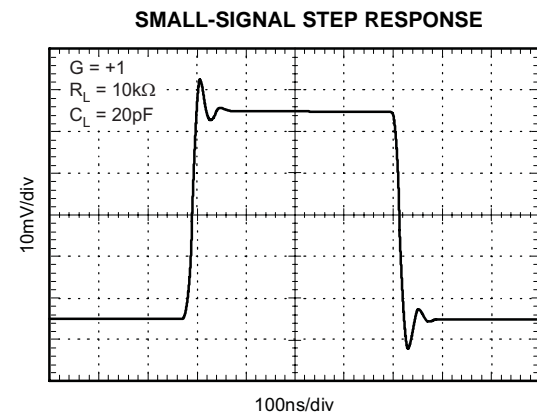
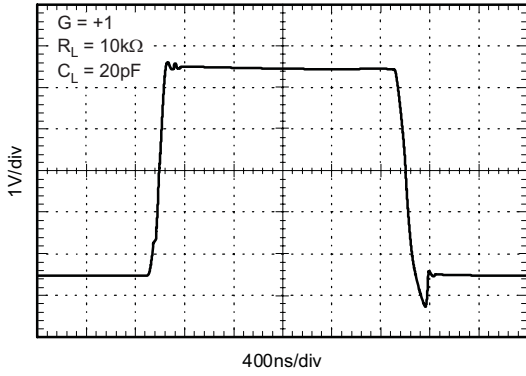


Figure 24.

**TYPICAL CHARACTERISTICS (continued)**

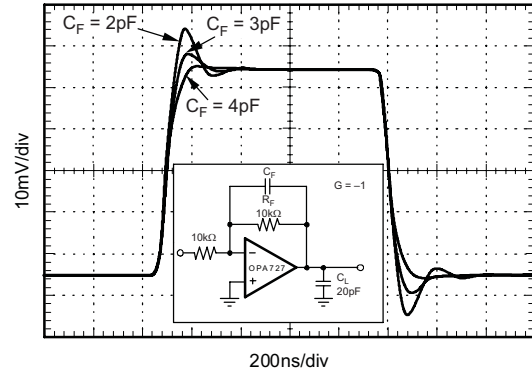
At  $T_A = +25^\circ\text{C}$ ,  $V_S = \pm 6\text{V}$ ,  $R_L = 10\text{k}\Omega$  connected to  $V_S/2$ , and  $V_{OUT} = V_S/2$ , unless otherwise noted.

**LARGE-SIGNAL STEP RESPONSE**



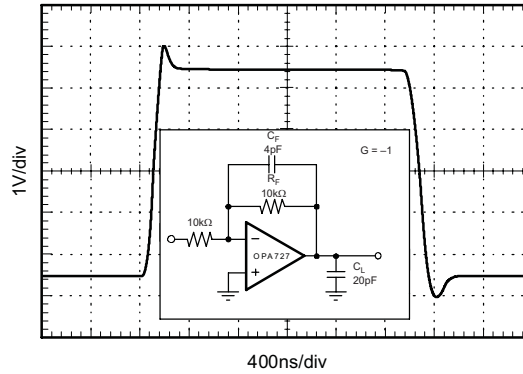
**Figure 25.**

**SMALL-SIGNAL STEP RESPONSE**



**Figure 26.**

**LARGE-SIGNAL STEP RESPONSE**



**Figure 27.**

## APPLICATIONS INFORMATION

The OPA727 and OPA728 family of op amps use *e-trim*, an adjustment to offset voltage and temperature drift made during the final steps of manufacturing after the plastic molding is completed. This compensates for performance shifts that can occur during the molding process. Through *e-trim*, the OPA727 and OPA728 deliver excellent offset voltage (150 $\mu$ V max) and extremely low offset voltage drift (1.5 $\mu$ V/ $^{\circ}$ C). Additionally, these 20MHz CMOS op amps have a fast slew rate, low noise, and excellent PSRR, CMRR, and  $A_{OL}$ . They can operate on typically 4.3mA quiescent current from a single (or split) supply in the range of 4V to 12V ( $\pm$ 2V to  $\pm$ 6V), making them highly versatile and easy to use. They are stable in a unity-gain configuration.

Power-supply pins should be bypassed with 1nF ceramic capacitors in parallel with 1 $\mu$ F tantalum capacitors.

### OPERATING VOLTAGE

OPA727 series op amps are specified from 4V to 12V supplies over a temperature range of  $-40^{\circ}$ C to  $+125^{\circ}$ C. They will operate well in  $\pm$ 5V or +5V to +12V power-supply systems. Parameters that vary significantly with operating voltage or temperature are shown in the Typical Characteristics.

### ENABLE/SHUTDOWN

OPA727 series op amps require approximately 4.3mA quiescent current. The enable/shutdown feature of the OPA728 allows the op amp to be shut off to reduce this current to approximately 6 $\mu$ A.

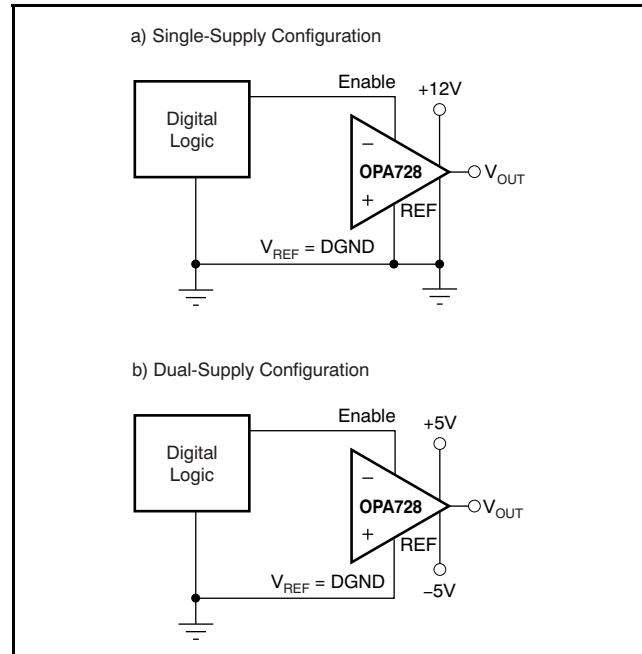
The enable/shutdown input is referenced to the Enable Reference Pin, REF (see [Pin Configurations](#)). This pin can be connected to logic ground in dual-supply op amp configurations to avoid level-shifting the enable logic signal, as shown in [Figure 28](#).

The Enable Reference Pin voltage,  $V_{REF}$ , must not exceed  $(V+) - 2V$ . It may be set as low as  $V-$ . The amplifier is enabled when the Enable Pin voltage is greater than  $V_{REF} + 2V$ . The amplifier is disabled (shutdown) if the Enable Pin voltage is less than  $V_{REF} + 0.8V$ . The Enable Pin is connected to internal pull-up circuitry and will enable the device if left unconnected.

### COMMON-MODE VOLTAGE RANGE

The input common-mode voltage range of the OPA727 and OPA728 series extends from  $V-$  to  $(V+) - 2.5V$ .

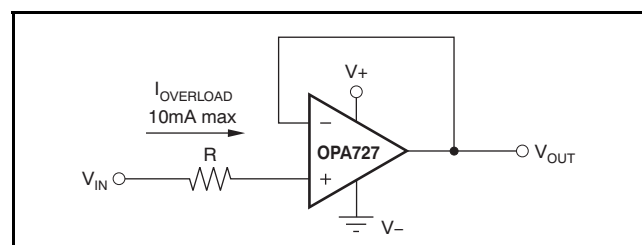
Common-mode rejection is excellent throughout the input voltage range from  $V-$  to  $(V+) - 3V$ . CMRR decreases somewhat as the common-mode voltage extends to  $(V+) - 2.5V$ , but remains very good and is tested throughout this range. See the [Electrical Characteristics](#) table for details.



**Figure 28. Enable Reference Pin Connection for Single- and Dual-Supply Configurations**

### INPUT OVER-VOLTAGE PROTECTION

Device inputs are protected by ESD diodes that will conduct if the input voltages exceed the power supplies by more than approximately 300mV. Momentary voltages greater than 300mV beyond the power supply can be tolerated if the current is limited to 10mA. This is easily accomplished with an input resistor in series with the op amp, as shown in [Figure 29](#). The OPA727 series features no phase inversion when the inputs extend beyond supplies, if the input is current limited.



**Figure 29. Input Current Protection for Voltages Exceeding the Supply Voltage**



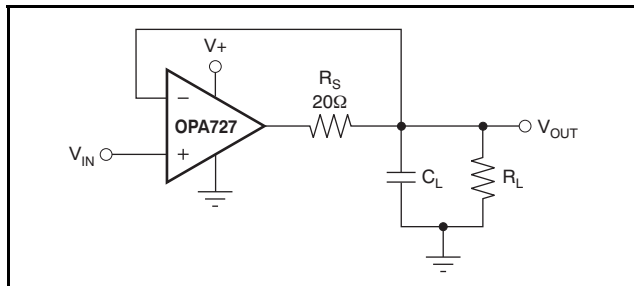
## RAIL-TO-RAIL OUTPUT

A class AB output stage with common-source transistors is used to achieve rail-to-rail output. This output stage is capable of driving heavy loads connected to any point between V+ and V-. For light resistive loads (>100k $\Omega$ ), the output voltage can swing to 150mV from the supply rail, while still maintaining excellent linearity ( $A_{OL} > 110\text{dB}$ ). With 1k $\Omega$  resistive loads, the output is specified to swing to within 250mV from the supply rails with excellent linearity (see the Typical Characteristics curve, [Output Voltage Swing vs Output Current](#)).

## CAPACITIVE LOAD AND STABILITY

Capacitive load drive is dependent upon gain and the overshoot requirements of the application. Increasing the gain enhances the ability of the amplifier to drive greater capacitive loads (see the Typical Characteristics curve, [Small-Signal Overshoot vs Capacitive Load](#)).

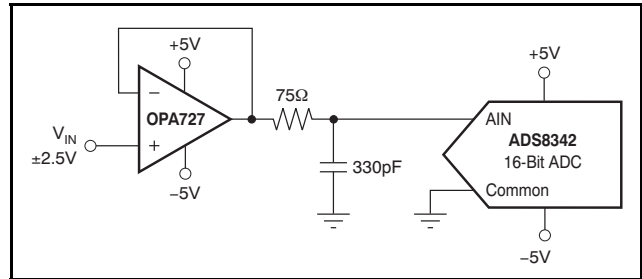
One method of improving capacitive load drive in the unity-gain configuration is to insert a 10 $\Omega$  to 20 $\Omega$  resistor inside the feedback loop, as shown in [Figure 30](#). This reduces ringing with large capacitive loads while maintaining DC accuracy.



**Figure 30. Series Resistor in Unity-Gain Buffer Configuration Improves Capacitive Load Drive**

## DRIVING FAST 16-BIT ADCs

The OPA727 series is optimized for driving fast 16-bit ADCs such as the [ADS8342](#). The OPA727 op amps buffer the converter input capacitance and resulting charge injection, while providing signal gain. [Figure 31](#) shows the OPA727 in a single-ended method of interfacing to the ADS8342 16-bit, 250kSPS, 4-channel ADC with an input range of  $\pm 2.5\text{V}$ . The OPA727 has demonstrated excellent settling time to the 16-bit level within the 600ns acquisition time of the ADS8342. The RC filter, shown in [Figure 31](#), has been carefully tuned for best noise and settling performance. It may need to be adjusted for different op amp configurations. Refer to the [ADS8342 data sheet](#) (available for download at [www.ti.com](http://www.ti.com)) for additional information on this product.

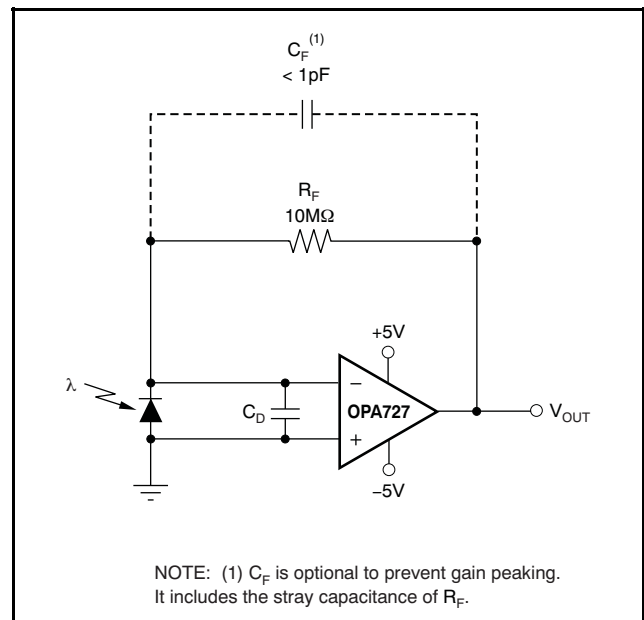


**Figure 31. OPA727 Driving an ADC**

## TRANSIMPEDANCE AMPLIFIER

Wide bandwidth, low input bias current, and low input voltage and current noise make the OPA727 an ideal wideband photodiode transimpedance amplifier. Low-voltage noise is important because photodiode capacitance causes the effective noise gain of the circuit to increase at high frequency.

The key elements to a transimpedance design, as shown in [Figure 32](#), are the expected diode capacitance ( $C_D$ ), which should include the parasitic input common-mode and differential-mode input capacitance (4pF + 5pF for the OPA727); the desired transimpedance gain ( $R_F$ ); and the GBW for the OPA727 (20MHz). With these three variables set, the feedback capacitor value ( $C_F$ ) can be set to control the frequency response.  $C_F$  includes the stray capacitance of  $R_F$ , which is 0.2pF for a typical surface-mount resistor.



**Figure 32. Dual-Supply Transimpedance Amplifier**

To achieve a maximally-flat, 2nd-order Butterworth frequency response, the feedback pole should be set to:

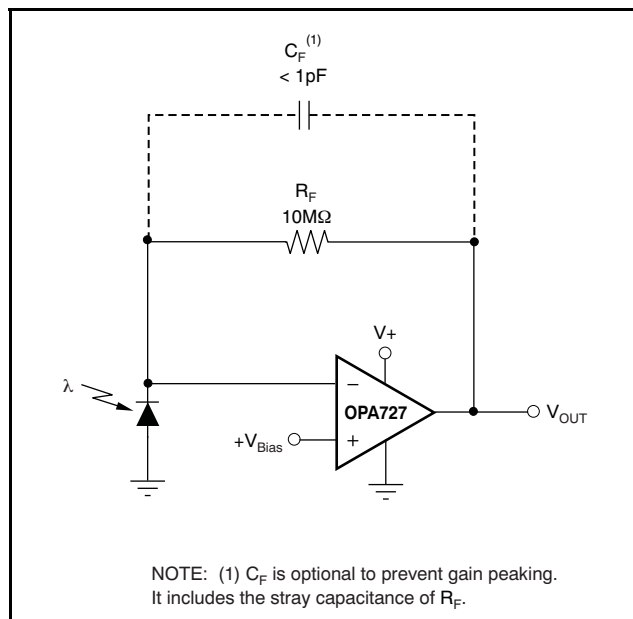
$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBW}{4\pi R_F C_D}} \quad (1)$$

Bandwidth is calculated by:

$$f_{-3dB} = \sqrt{\frac{GBW}{2\pi R_F C_D}} \text{ Hz} \quad (2)$$

For even higher transimpedance bandwidth, the high-speed CMOS [OPA380](#) (90MHz GBW), [OPA354](#) (100MHz GBW), [OPA300](#) (180MHz GBW), [OPA355](#) (200MHz GBW), or [OPA656](#), [OPA657](#) (400MHz GBW) may be used.

For single-supply applications, the +IN input can be biased with a positive dc voltage to allow the output to reach true zero when the photodiode is not exposed to any light, and respond without the added delay that results from coming out of the negative rail; this is shown in [Figure 33](#). This bias voltage also appears across the photodiode, providing a reverse bias for faster operation.



**Figure 33. Single-Supply Transimpedance Amplifier**

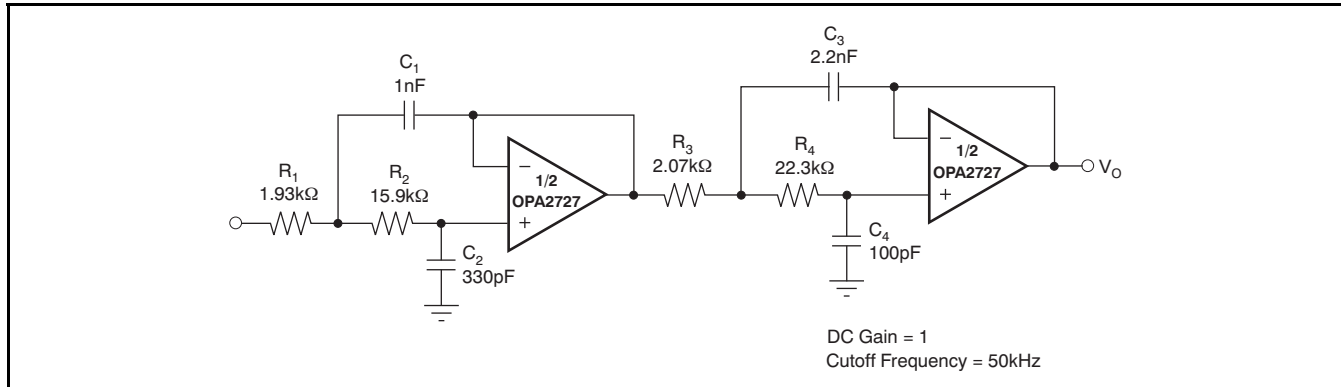
For additional information, refer to Application Bulletin ([SBOA059](#)), *Compensate Transimpedance Amplifiers Intuitively*, available for download at [www.ti.com](http://www.ti.com).

## OPTIMIZING THE TRANSIMPEDANCE CIRCUIT

To achieve the best performance, components should be selected according to the following guidelines:

1. For lowest noise, select R<sub>F</sub> to create the total required gain. Using a lower value for R<sub>F</sub> and adding gain after the transimpedance amplifier generally produces poorer noise performance. The noise produced by R<sub>F</sub> increases with the square-root of R<sub>F</sub>, whereas the signal increases linearly. Therefore, signal-to-noise ratio is improved when all the required gain is placed in the transimpedance stage.
2. Minimize photodiode capacitance and stray capacitance at the summing junction (inverting input). This capacitance causes the voltage noise of the op amp to be amplified (increasing amplification at high frequency). Using a low-noise voltage source to reverse-bias a photodiode can significantly reduce its capacitance. Smaller photodiodes have lower capacitance. Use optics to concentrate light on a small photodiode.
3. Noise increases with increased bandwidth. Limit the circuit bandwidth to only that required. Use a capacitor across the R<sub>F</sub> to limit bandwidth, even if not required for stability.
4. Circuit board leakage can degrade the performance of an otherwise well-designed amplifier. Clean the circuit board carefully. A circuit board guard trace that encircles the summing junction and is driven at the same voltage can help control leakage.

For additional information, refer to the Application Bulletins *Noise Analysis of FET Transimpedance Amplifiers* ([SBOA060](#)), and *Noise Analysis for High-Speed Op Amps* ([SBOA066](#)), available for download at the TI web site.



Note: FilterPro is a low-pass filter design program available for download at no cost from TI's web site ([www.ti.com](http://www.ti.com)). The program can be used to determine component values for other cutoff frequencies or filter types.

**Figure 34. Four-Pole Butterworth Sallen-Key Low-Pass Filter**

## DFN PACKAGE

The OPA727 series uses the DFN-8 (also known as SON), which is a QFN package with lead contacts on only two sides of the bottom of the package. This leadless, near-chip-scale package maximizes board space and enhances thermal and electrical characteristics through an exposed pad.

DFN packages are physically small, have a smaller routing area, improved thermal performance, and improved electrical parasitics, with a pinout scheme that is consistent with other commonly-used packages, such as SO and MSOP. Additionally, the absence of external leads eliminates bent-lead issues.

The DFN package can be easily mounted using standard printed circuit board (PCB) assembly techniques. See Application Note, *QFN/SOP PCB Attachment* ([SLUA271](#)) and Application Report, *Quad Flatpack No-Lead Logic Packages* ([SCBA017](#)), both available for download at [www.ti.com](http://www.ti.com).

**The exposed leadframe die pad on the bottom of the package should be connected to V–.**

## LAYOUT GUIDELINES

The leadframe die pad should be soldered to a thermal pad on the PCB. A mechanical data sheet showing an example layout is attached at the end of this data sheet. Refinements to this layout may be required based on assembly process requirements. Mechanical drawings located at the end of this data sheet list the physical dimensions for the package and pad. The five holes in the landing pattern are optional, and are intended for use with thermal vias that connect the leadframe die pad to the heatsink area on the PCB.

Soldering the exposed pad significantly improves board-level reliability during temperature cycling, key push, package shear, and similar board-level tests. Even with applications that have low-power dissipation, the exposed pad must be soldered to the PCB to provide structural integrity and long-term reliability.

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2727AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	O2727A 2727A	<a href="#">Samples</a>
OPA2727AIDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	O2727A 2727A	<a href="#">Samples</a>
OPA2727AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	O2727A 2727A	<a href="#">Samples</a>
OPA2727AIDRBR	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	NSD	<a href="#">Samples</a>
OPA2727AIDRBRG4	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	NSD	<a href="#">Samples</a>
OPA2727AIDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	NSD	<a href="#">Samples</a>
OPA2727AIDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 85	NSD	<a href="#">Samples</a>
OPA4727AIPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA4727	<a href="#">Samples</a>
OPA4727AIPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA4727	<a href="#">Samples</a>
OPA4727AIPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA4727	<a href="#">Samples</a>
OPA727AIDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU   Call TI	Level-2-260C-1 YEAR	-40 to 85	AUE	<a href="#">Samples</a>
OPA727AIDGKRG4	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR	-40 to 85	AUE	<a href="#">Samples</a>
OPA727AIDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU   Call TI	Level-2-260C-1 YEAR	-40 to 85	AUE	<a href="#">Samples</a>
OPA727AIDGKTG4	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR	-40 to 85	AUE	<a href="#">Samples</a>
OPA727AIDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	NSF	<a href="#">Samples</a>
OPA727AIDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	NSF	<a href="#">Samples</a>
OPA728AIDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	AUF	<a href="#">Samples</a>

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA728AIDGKTG4	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	AUF	<a href="#">Samples</a>
OPA728AIDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	NSG	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBsolete:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2727AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2727AIDRBR	SON	DRB	8	2500	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2727AIDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA4727AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA727AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA727AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA727AIDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA728AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA728AIDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2727AIDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA2727AIDRBR	SON	DRB	8	2500	367.0	367.0	35.0
OPA2727AIDRBT	SON	DRB	8	250	210.0	185.0	35.0
OPA4727AIPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
OPA727AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
OPA727AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
OPA727AIDRBT	SON	DRB	8	250	210.0	185.0	35.0
OPA728AIDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
OPA728AIDRBT	SON	DRB	8	250	210.0	185.0	35.0

**DRB 8**

**GENERIC PACKAGE VIEW**

**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD

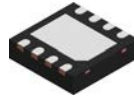


Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4203482/L



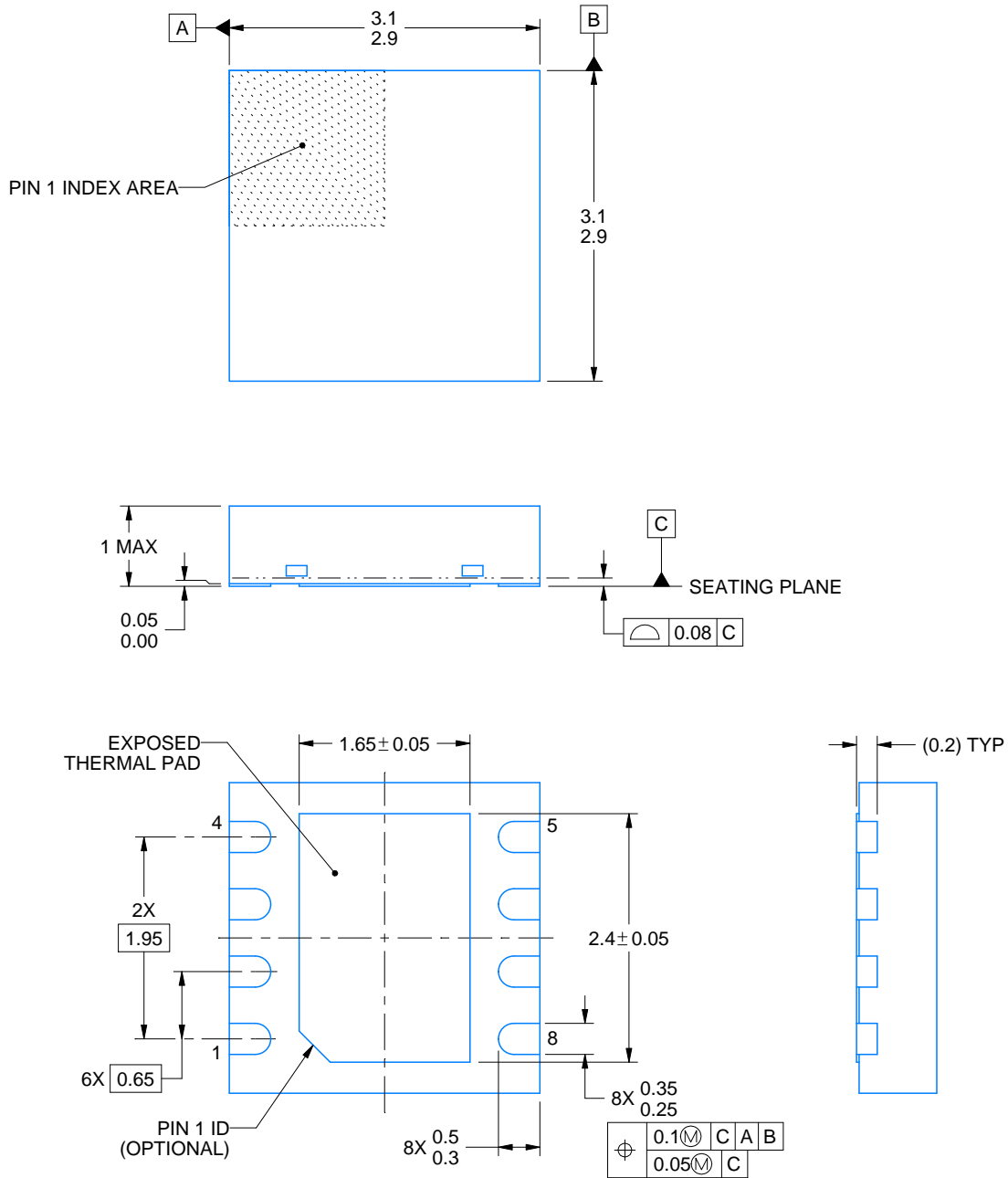
DRB0008B



# PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218876/A 12/2017

NOTES:

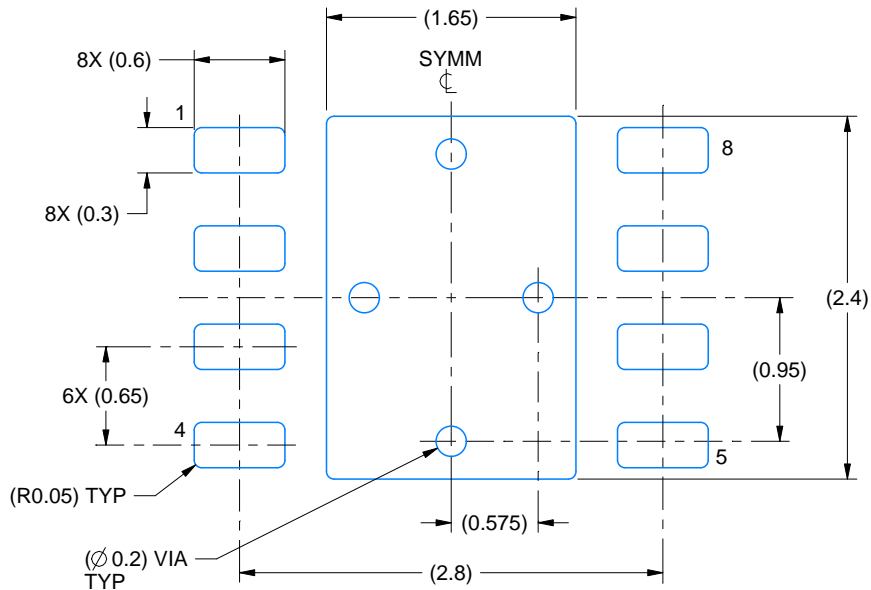
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:20X



SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

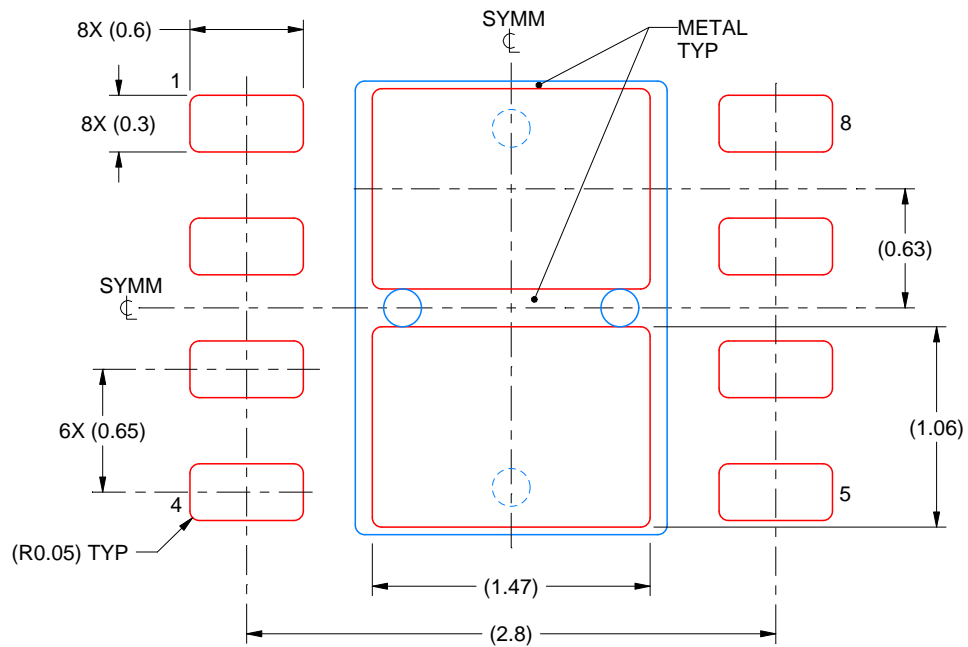
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

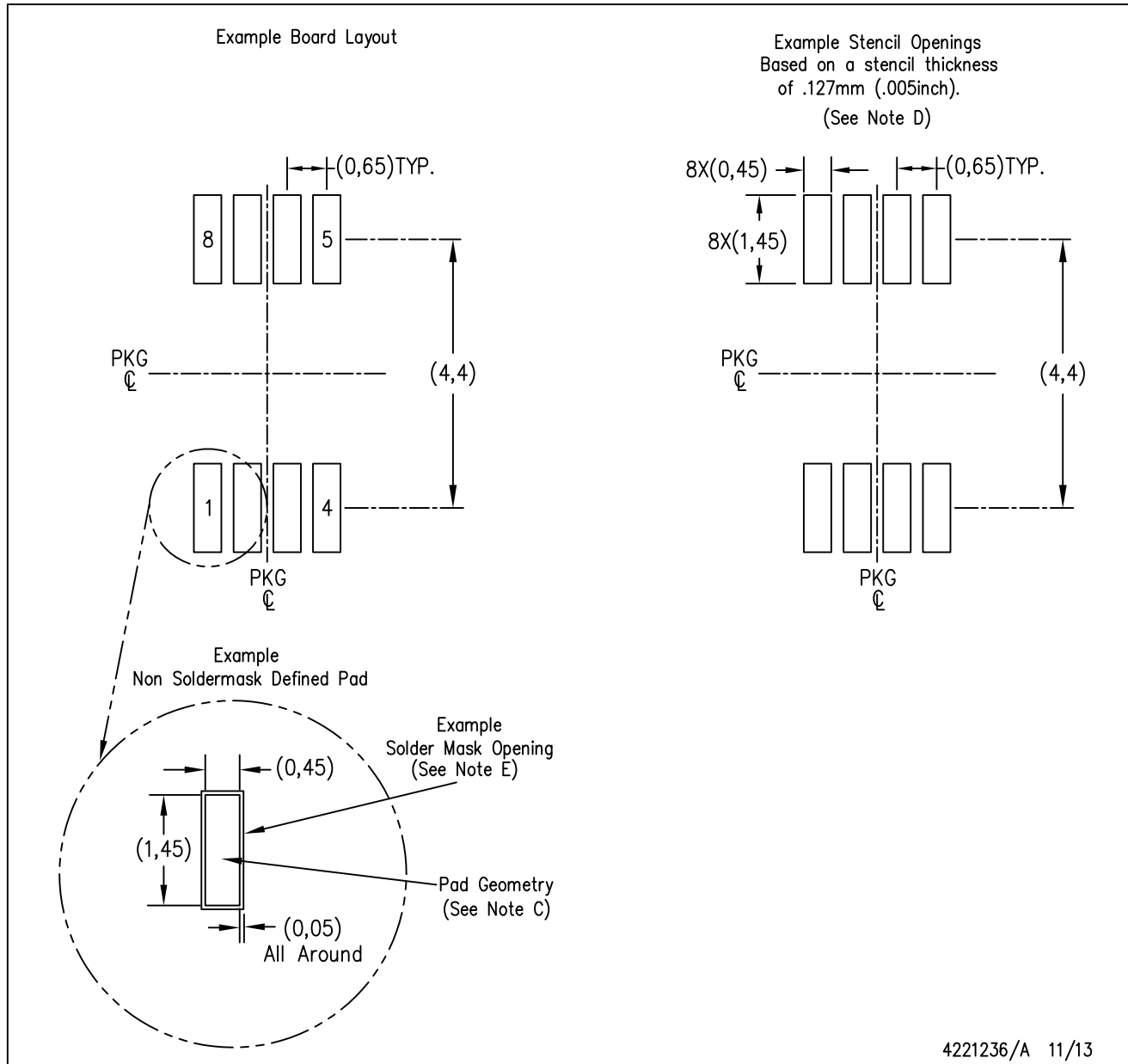
EXPOSED PAD  
81% PRINTED SOLDER COVERAGE BY AREA  
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.





- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4211284-2/G 08/15

- NOTES:
- All linear dimensions are in millimeters.
  - This drawing is subject to change without notice.
  - Publication IPC-7351 is recommended for alternate designs.
  - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
  - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
  - E. Reference JEDEC MS-012 variation AA.



D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



4211283-2/E 08/12

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

## IMPORTANT NOTICE

Texas Instruments Incorporated (TI) reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

TI's published terms of sale for semiconductor products (<http://www.ti.com/sc/docs/stdterms.htm>) apply to the sale of packaged integrated circuit products that TI has qualified and released to market. Additional terms may apply to the use or sale of other types of TI products and services.

Reproduction of significant portions of TI information in TI data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such reproduced documentation. Information of third parties may be subject to additional restrictions. Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Buyers and others who are developing systems that incorporate TI products (collectively, "Designers") understand and agree that Designers remain responsible for using their independent analysis, evaluation and judgment in designing their applications and that Designers have full and exclusive responsibility to assure the safety of Designers' applications and compliance of their applications (and of all TI products used in or for Designers' applications) with all applicable regulations, laws and other applicable requirements. Designer represents that, with respect to their applications, Designer has all the necessary expertise to create and implement safeguards that (1) anticipate dangerous consequences of failures, (2) monitor failures and their consequences, and (3) lessen the likelihood of failures that might cause harm and take appropriate actions. Designer agrees that prior to using or distributing any applications that include TI products, Designer will thoroughly test such applications and the functionality of such TI products as used in such applications.

TI's provision of technical, application or other design advice, quality characterization, reliability data or other services or information, including, but not limited to, reference designs and materials relating to evaluation modules, (collectively, "TI Resources") are intended to assist designers who are developing applications that incorporate TI products; by downloading, accessing or using TI Resources in any way, Designer (individually or, if Designer is acting on behalf of a company, Designer's company) agrees to use any particular TI Resource solely for this purpose and subject to the terms of this Notice.

TI's provision of TI Resources does not expand or otherwise alter TI's applicable published warranties or warranty disclaimers for TI products, and no additional obligations or liabilities arise from TI providing such TI Resources. TI reserves the right to make corrections, enhancements, improvements and other changes to its TI Resources. TI has not conducted any testing other than that specifically described in the published documentation for a particular TI Resource.

Designer is authorized to use, copy and modify any individual TI Resource only in connection with the development of applications that include the TI product(s) identified in such TI Resource. NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT OF TI OR ANY THIRD PARTY IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information regarding or referencing third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of TI Resources may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI RESOURCES ARE PROVIDED "AS IS" AND WITH ALL FAULTS. TI DISCLAIMS ALL OTHER WARRANTIES OR REPRESENTATIONS, EXPRESS OR IMPLIED, REGARDING RESOURCES OR USE THEREOF, INCLUDING BUT NOT LIMITED TO ACCURACY OR COMPLETENESS, TITLE, ANY EPIDEMIC FAILURE WARRANTY AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY DESIGNER AGAINST ANY CLAIM, INCLUDING BUT NOT LIMITED TO ANY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON ANY COMBINATION OF PRODUCTS EVEN IF DESCRIBED IN TI RESOURCES OR OTHERWISE. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, DIRECT, SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF TI RESOURCES OR USE THEREOF, AND REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.

Unless TI has explicitly designated an individual product as meeting the requirements of a particular industry standard (e.g., ISO/TS 16949 and ISO 26262), TI is not responsible for any failure to meet such industry standard requirements.

Where TI specifically promotes products as facilitating functional safety or as compliant with industry functional safety standards, such products are intended to help enable customers to design and create their own applications that meet applicable functional safety standards and requirements. Using products in an application does not by itself establish any safety features in the application. Designers must ensure compliance with safety-related requirements and standards applicable to their applications. Designer may not use any TI products in life-critical medical equipment unless authorized officers of the parties have executed a special contract specifically governing such use. Life-critical medical equipment is medical equipment where failure of such equipment would cause serious bodily injury or death (e.g., life support, pacemakers, defibrillators, heart pumps, neurostimulators, and implantables). Such equipment includes, without limitation, all medical devices identified by the U.S. Food and Drug Administration as Class III devices and equivalent classifications outside the U.S.

TI may expressly designate certain products as completing a particular qualification (e.g., Q100, Military Grade, or Enhanced Product). Designers agree that it has the necessary expertise to select the product with the appropriate qualification designation for their applications and that proper product selection is at Designers' own risk. Designers are solely responsible for compliance with all legal and regulatory requirements in connection with such selection.

Designer will fully indemnify TI and its representatives against any damages, costs, losses, and/or liabilities arising out of Designer's non-compliance with the terms and provisions of this Notice.

# NC7SZ14

## TinyLogic® UHS Inverter with Schmitt Trigger Input


### Features

- Ultra-High Speed:  $t_{PD}$  3.7ns (Typical) into 50pF at 5V  $V_{CC}$
- High Output Drive:  $\pm 24$ mA at 3V  $V_{CC}$
- Broad  $V_{CC}$  Operating Range: 1.65V to 5.5V
- Matches Performance of LCX when Operated at 3.3V  $V_{CC}$
- Power Down High Impedance Inputs/Outputs
- Over-Voltage Tolerance Inputs Facilitate 5V to 3V Translation
- Proprietary Noise/EMI Reduction Circuitry
- Ultra-Small MicroPak™ Packages
- Space-Saving SOT23 and SC70 Packages

### Description

The NC7SZ14 is a single inverter with Schmitt trigger input from Fairchild's Ultra-High Speed (UHS) series of TinyLogic®. The device is fabricated with advanced CMOS technology to achieve ultra-high speed with high output drive while maintaining low static power dissipation over a very broad  $V_{CC}$  operating range. The device is specified to operate over the 1.65V to 5.5V  $V_{CC}$  range. The inputs and outputs are high-impedance when  $V_{CC}$  is 0V. Inputs tolerate voltages up to 6V independent of  $V_{CC}$  operating voltage.

### Ordering Information

Part Number	Operating Temperature	Top Mark	 Eco Status	Package	Packing Method
NC7SZ14M5X	-40 to +85°C	7Z14	RoHS	5-Lead, SOT23, JEDEC MO-178, 1.6mm	3000 Units on Tape & Reel
NC7SZ14P5X	-40 to +85°C	Z14	RoHS	5-Lead SC70, EIAJ SC-88a, 1.25mm Wide	3000 Units on Tape & Reel
NC7SZ14L6X	-40 to +85°C	B6	RoHS	6-Lead MicroPak™, 1.00mm Wide	5000 Units on Tape & Reel
NC7SZ14FHX	-40 to +85°C	B6	Green	6-Lead, MicroPak2, 1x1mm Body, .35mm Pitch	5000 Units on Tape & Reel

 For Fairchild's definition of Eco Status, please visit: [http://www.fairchildsemi.com/company/green/rohs\\_green.html](http://www.fairchildsemi.com/company/green/rohs_green.html).

## Connection Diagrams

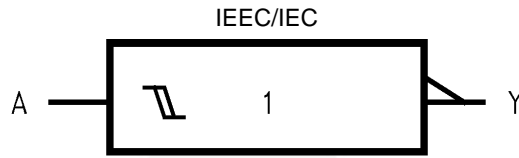


Figure 1. Logic Symbol

## Pin Configurations

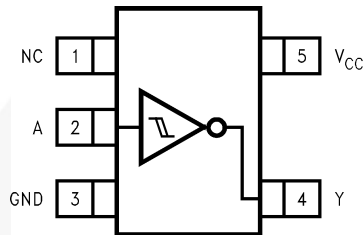


Figure 2. SOT23 and SC70 (Top View)

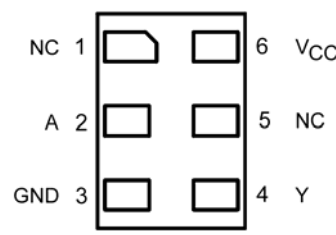


Figure 3. MicroPak (Top Through View)

## Pin Definitions

Pin # SOT23 and SC70	Pin # MicroPak	Name	Description
1	1, 5	NC	No Connect
2	2	A	Input
3	3	GND	Ground
4	4	Y	Output
5	6	VCC	Supply Voltage

## Function Table

Y = /A

Inputs	Output
A	Y
L	H
H	L

H = HIGH Logic Level

L = LOW Logic Level

## Absolute Maximum Ratings

Stresses exceeding the absolute maximum ratings may damage the device. The device may not function or be operable above the recommended operating conditions and stressing the parts to these levels is not recommended. In addition, extended exposure to stresses above the recommended operating conditions may affect device reliability. The absolute maximum ratings are stress ratings only.

Symbol	Parameter	Min.	Max.	Unit	
$V_{CC}$	Supply Voltage	-0.5	6.0	V	
$V_{IN}$	DC Input Voltage	-0.5	6.0	V	
$V_{OUT}$	DC Output Voltage	-0.5	6.0	V	
$I_{IK}$	DC Input Diode Current	$V_{IN} < -0.5V$		-50	mA
		$V_{IN} > 6.0V$		+20	
$I_{OK}$	DC Output Diode Current	$V_{OUT} < -0.5V$		-50	mA
		$V_{OUT} > 6.0V, V_{CC}=GND$		+20	
$I_{OUT}$	DC Output Current		±50	mA	
$I_{CC}$ or $I_{GND}$	DC $V_{CC}$ or Ground Current		±50	mA	
$T_{STG}$	Storage Temperature Range	-65	+150	°C	
$T_J$	Junction Temperature Under Bias		+150	°C	
$T_L$	Junction Lead Temperature (Soldering, 10 Seconds)		+260	°C	
$P_D$	Power Dissipation at +85°C	SOT-23		200	mW
		SC70-5		150	
		MicroPak-6		130	
		MicroPak2-6		120	
ESD	Human Body Model, JEDEC:JESD22-A114		4000	V	
	Charge Device Model, JEDEC:JESD22-C101		2000		

## Recommended Operating Conditions<sup>(1)</sup>

The Recommended Operating Conditions table defines the conditions for actual device operation. Recommended operating conditions are specified to ensure optimal performance to the datasheet specifications. Fairchild does not recommend exceeding them or designing to Absolute Maximum Ratings.

Symbol	Parameter	Conditions	Min.	Max.	Unit
$V_{CC}$	Supply Voltage Operating		1.65	5.50	V
	Supply Voltage Data Retention		1.5	5.5	
$V_{IN}$	Input Voltage		0	5.5	V
$V_{OUT}$	Output Voltage		0	$V_{CC}$	V
$T_A$	Operating Temperature		-40	+85	°C
$\theta_{JA}$	Thermal Resistance	SOT-23		300	°C/W
		SC70-5		425	
		MicroPak-6		500	
		MicroPak2-6		560	

**Note:**

- Unused inputs must be held HIGH or LOW. They may not float.

### DC Electrical Characteristics

Symbol	Parameter	V <sub>CC</sub> (V)	Conditions	T <sub>A</sub> =+25°C			T <sub>A</sub> =-40 to +85°C		Units	
				Min.	Typ.	Max.	Min.	Max.		
V <sub>P</sub>	Positive Threshold Voltage	1.65		0.60	1.00	1.40	0.60	1.40	V	
		1.80		0.70	1.10	1.50	0.70	1.50		
		2.30		1.00	1.40	1.80	1.00	1.80		
		3.00		1.30	1.75	2.20	1.30	2.20		
		4.50		1.90	2.45	3.10	1.90	3.10		
		5.50		2.20	2.90	3.60	2.20	3.60		
V <sub>N</sub>	Negative Threshold Voltage	1.65		0.20	0.50	0.80	0.20	0.80	V	
		1.80		0.25	0.55	0.90	0.25	0.90		
		2.30		0.40	0.75	1.15	0.40	1.15		
		3.00		0.60	1.00	1.50	0.60	1.50		
		4.50		1.00	1.43	2.00	1.00	2.00		
		5.50		1.20	1.70	2.30	1.20	2.30		
V <sub>H</sub>	Hysteresis Voltage	1.65		0.10	0.48	0.90	0.10	0.90	V	
		1.80		0.15	0.54	1.00	0.15	1.00		
		2.30		0.25	0.65	1.10	0.25	1.10		
		3.00		0.40	0.77	1.20	0.40	1.20		
		4.50		0.60	1.01	1.50	0.60	1.50		
		5.50		0.70	1.18	1.70	0.70	1.70		
V <sub>OH</sub>	HIGH Level Output Voltage	1.65	V <sub>IN</sub> =V <sub>IL</sub> , I <sub>OH</sub> =-100μA	1.55	1.65		1.55		V	
		1.80		1.70	1.80		1.70			
		2.30		2.20	2.30		2.20			
		3.00		2.90	3.00		2.90			
		4.50		4.40	4.50		4.40			
		1.65	I <sub>OH</sub> =-4mA	1.29	1.52		1.29			
		2.30		I <sub>OH</sub> =-8mA	1.90	2.15		1.90		
		3.00		I <sub>OH</sub> =-16mA	2.40	2.80		2.40		
		3.00		I <sub>OH</sub> =-24mA	2.30	2.68		2.30		
		4.50		I <sub>OH</sub> =-32mA	3.80	4.20		3.80		
V <sub>OL</sub>	LOW Level Output Voltage	1.65	V <sub>IN</sub> =V <sub>IH</sub> , I <sub>OL</sub> =100μA		0.00	0.10		0.10	V	
		1.80			0.00	0.10		0.10		
		2.30			0.00	0.10		0.10		
		3.00			0.00	0.10		0.10		
		4.50			0.00	0.10		0.10		
		1.65	I <sub>OL</sub> =4mA		0.08	0.24		0.24		
		2.30		I <sub>OL</sub> =8mA		0.10	0.30			0.30
		3.00		I <sub>OL</sub> =16mA		0.15	0.40			0.40
		3.00		I <sub>OL</sub> =24mA		0.22	0.55			0.55
		4.50		I <sub>OL</sub> =32mA		0.22	0.55			0.55
I <sub>IN</sub>	Input Leakage Current	0 to 5.5	V <sub>IN</sub> =5.5V, GND			±0.1		±1.0	μA	
I <sub>OFF</sub>	Power Off Leakage Current	0	V <sub>IN</sub> or V <sub>OUT</sub> =5.5V			1		10	μA	
I <sub>CC</sub>	Quiescent Supply Current	1.65 to 5.50	V <sub>IN</sub> =5.5V, GND			1.0		10	μA	

## AC Electrical Characteristics

Symbol	Parameter	V <sub>CC</sub> (V)	Conditions	T <sub>A</sub> =+25°C			T <sub>A</sub> =-40 to +85°C		Units	Figure
				Min.	Typ.	Max.	Min.	Max.		
t <sub>PLH</sub> , t <sub>PHL</sub>	Propagation Delay	1.65	C <sub>L</sub> =15pF, R <sub>L</sub> =1MΩ	2.0	9.1	15.0	2.0	15.6	ns	Figure 4 Figure 5
		1.80		2.0	7.6	12.5	2.0	13.0		
		2.50 ± 0.20		1.0	5.0	9.0	1.0	9.5		
		3.30 ± 0.30		1.0	3.7	6.3	1.0	6.5		
		5.00 ± 0.50		0.5	3.1	5.2	0.5	5.5		
		3.30 ± 0.30		1.5	4.4	7.2	1.5	7.5		
		5.00 ± 0.50	C <sub>L</sub> =50pF, R <sub>L</sub> =500Ω	0.8	3.7	5.9	0.8	6.2		Figure 4 Figure 5
C <sub>IN</sub>	Input Capacitance	0.00			4				pF	
C <sub>PD</sub>	Power Dissipation Capacitance <sup>(2)</sup>	3.30			24					Figure 6
		5.00			30					

**Note:**

- C<sub>PD</sub> is defined as the value of the internal equivalent capacitance which is derived from dynamic operating current consumption (I<sub>CCD</sub>) at no output loading and operating at 50% duty cycle. C<sub>PD</sub> is related to I<sub>CCD</sub> dynamic operating current by the expression: I<sub>CCD</sub>=(C<sub>PD</sub>)(V<sub>CC</sub>)(f<sub>IN</sub>)+(I<sub>CC</sub>Static).

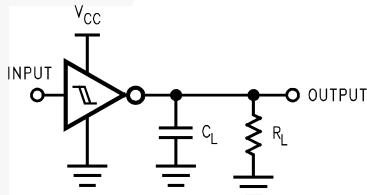


Figure 4. AC Test Circuit

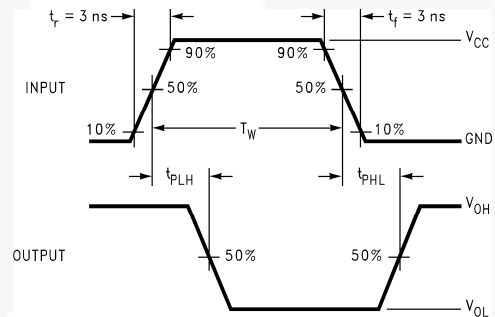


Figure 5. AC Waveforms

**Note:**

- C<sub>L</sub> includes load and stray capacitance; Input PRR=1.0MHz; t<sub>W</sub>=500ns

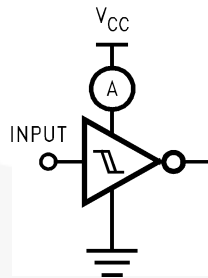
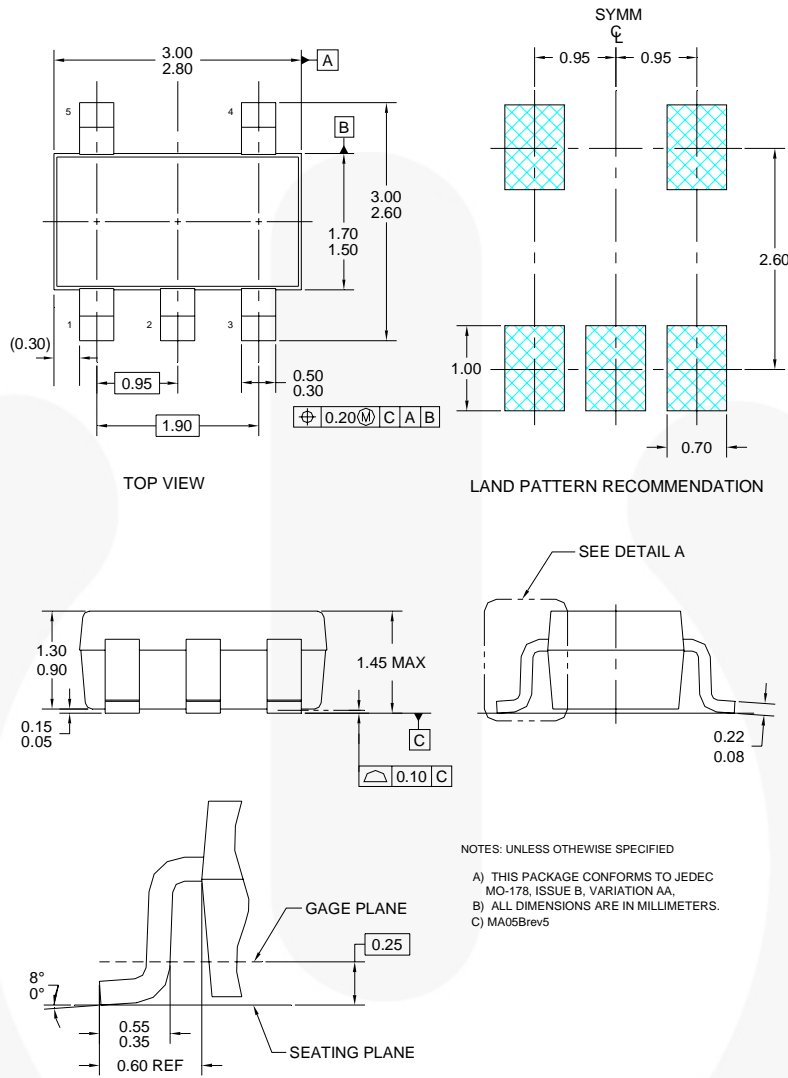


Figure 6. I<sub>CCD</sub> Test Circuit

**Note:**

- Input=AC Waveform; t<sub>r</sub>=t<sub>f</sub>=1.8ns; PRR=10MHz; Duty Cycle =50%.

## Physical Dimensions



**Figure 7. 5-Lead SOT23, JEDEC MO-178 1.6mm**

Package drawings are provided as a service to customers considering Fairchild components. Drawings may change in any manner without notice. Please note the revision and/or date on the drawing and contact a Fairchild Semiconductor representative to verify or obtain the most recent revision. Package specifications do not expand the terms of Fairchild's worldwide terms and conditions, specifically the warranty therein, which covers Fairchild products.

Always visit Fairchild Semiconductor's online packaging area for the most recent package drawings:  
<http://www.fairchildsemi.com/packaging/>.

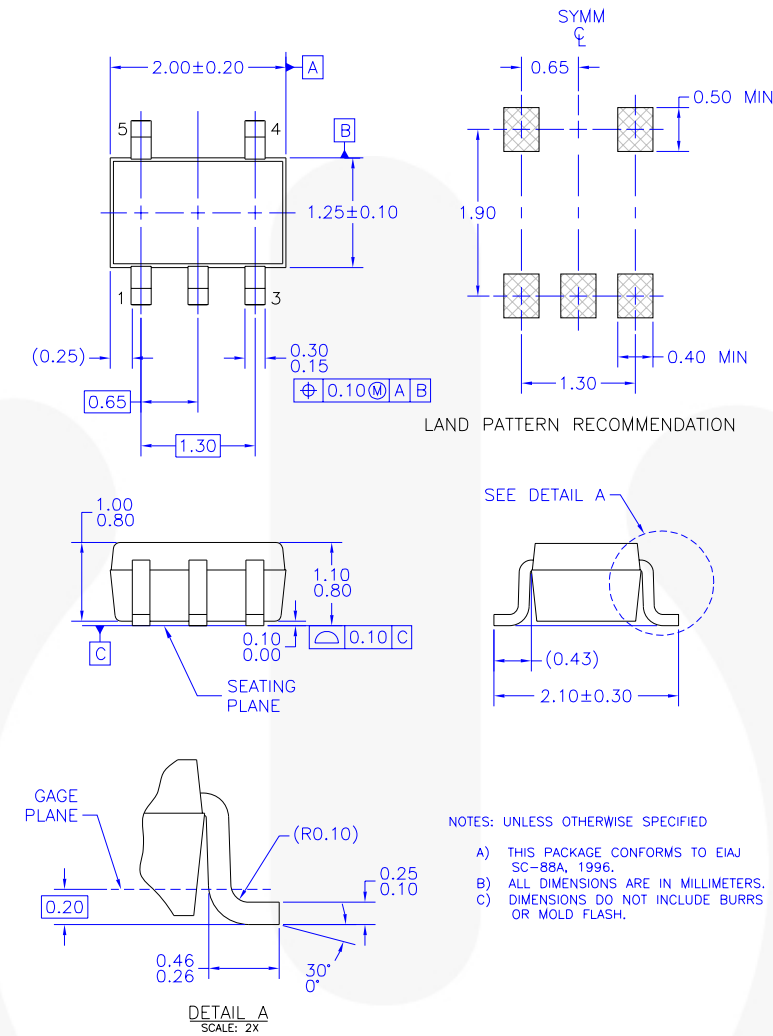
## Tape and Reel Specifications

Please visit Fairchild Semiconductor's online packaging area for the most recent tape and reel specifications:  
[http://www.fairchildsemi.com/packaging/SOT23-5L\\_tr.pdf](http://www.fairchildsemi.com/packaging/SOT23-5L_tr.pdf).

Package Designator	Tape Section	Cavity Number	Cavity Status	Cover Type Status
M5X	Leader (Start End)	125 (Typical)	Empty	Sealed
	Carrier	3000	Filled	Sealed
	Trailer (Hub End)	75 (Typical)	Empty	Sealed



## Physical Dimensions (Continued)



MAA05AREV5

**Figure 8. 5-Lead, SC70, EIAJ SC-88a, 1.25mm Wide**

Package drawings are provided as a service to customers considering Fairchild components. Drawings may change in any manner without notice. Please note the revision and/or date on the drawing and contact a Fairchild Semiconductor representative to verify or obtain the most recent revision. Package specifications do not expand the terms of Fairchild's worldwide terms and conditions, specifically the warranty therein, which covers Fairchild products.

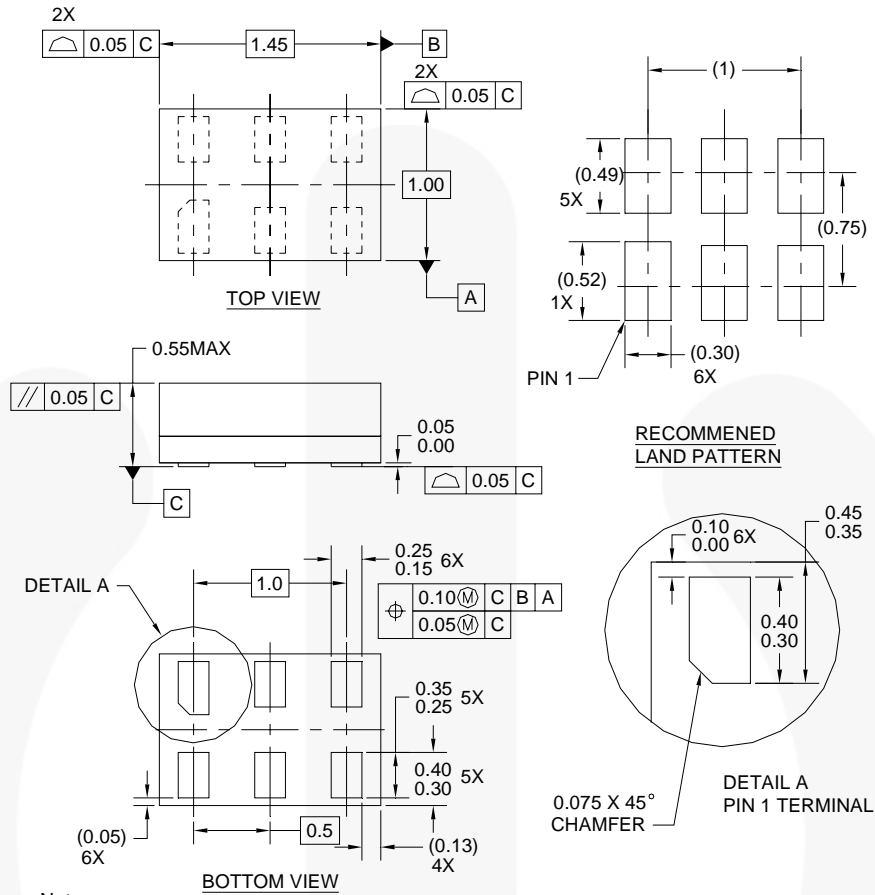
Always visit Fairchild Semiconductor's online packaging area for the most recent package drawings:  
<http://www.fairchildsemi.com/packaging/>

## Tape and Reel Specifications

Please visit Fairchild Semiconductor's online packaging area for the most recent tape and reel specifications:  
[http://www.fairchildsemi.com/products/analog/pdf/sc70-5\\_tr.pdf](http://www.fairchildsemi.com/products/analog/pdf/sc70-5_tr.pdf)

Package Designator	Tape Section	Cavity Number	Cavity Status	Cover Type Status
P5X	Leader (Start End)	125 (Typical)	Empty	Sealed
	Carrier	3000	Filled	Sealed
	Trailer (Hub End)	75 (Typical)	Empty	Sealed

**Physical Dimensions (Continued)**



- Notes:
1. CONFORMS TO JEDEC STANDARD M0-252 VARIATION UAAD
  2. DIMENSIONS ARE IN MILLIMETERS
  3. DRAWING CONFORMS TO ASME Y14.5M-1994

MAC06AREVC

**Figure 9. 6-Lead, MicroPak™, 1.0mm Wide**

Package drawings are provided as a service to customers considering Fairchild components. Drawings may change in any manner without notice. Please note the revision and/or date on the drawing and contact a Fairchild Semiconductor representative to verify or obtain the most recent revision. Package specifications do not expand the terms of Fairchild's worldwide terms and conditions, specifically the warranty therein, which covers Fairchild products.

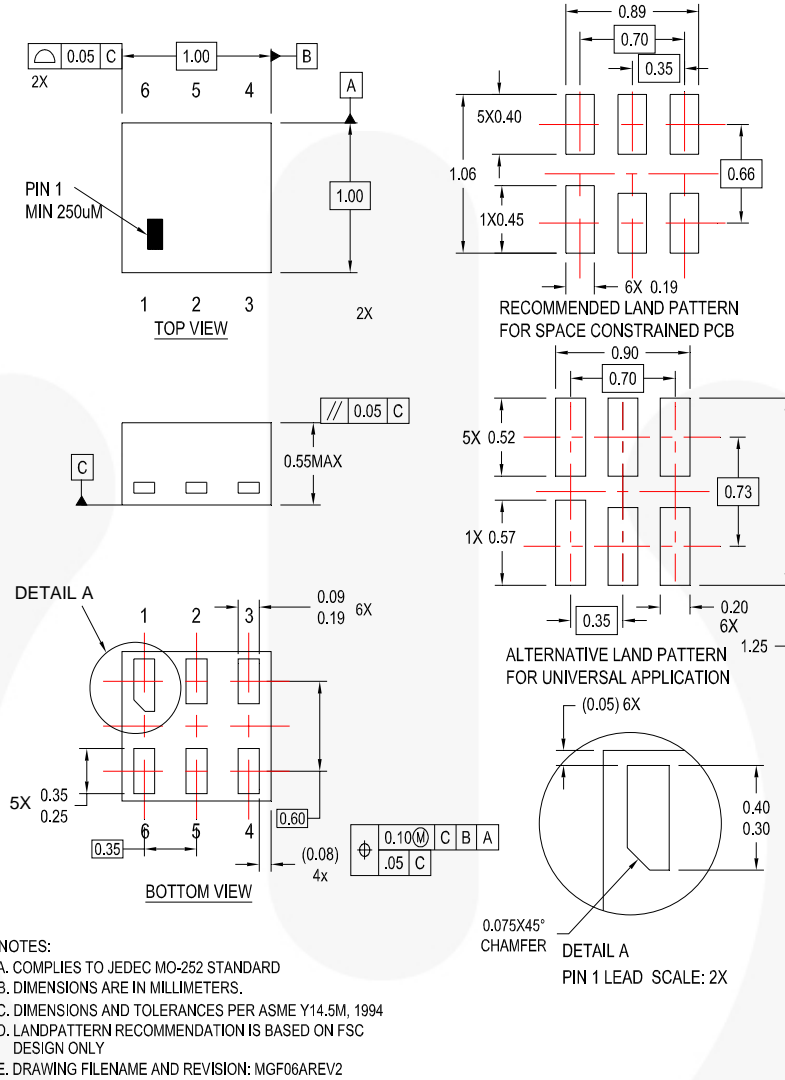
Always visit Fairchild Semiconductor's online packaging area for the most recent package drawings:  
<http://www.fairchildsemi.com/packaging/>.

**Tape and Reel Specification**

Please visit Fairchild Semiconductor's online packaging area for the most recent tape and reel specifications:  
[http://www.fairchildsemi.com/products/logic/pdf/micropak\\_tr.pdf](http://www.fairchildsemi.com/products/logic/pdf/micropak_tr.pdf).

Package Designator	Tape Section	Cavity Number	Cavity Status	Cover Type Status
L6X	Leader (Start End)	125 (Typical)	Empty	Sealed
	Carrier	5000	Filled	Sealed
	Trailer (Hub End)	75 (Typical)	Empty	Sealed

### Physical Dimensions (Continued)



**Figure 10. 6-Lead, MicroPak2, 1x1mm Body, .35mm Pitch**

Package drawings are provided as a service to customers considering Fairchild components. Drawings may change in any manner without notice. Please note the revision and/or date on the drawing and contact a Fairchild Semiconductor representative to verify or obtain the most recent revision. Package specifications do not expand the terms of Fairchild's worldwide terms and conditions, specifically the warranty therein, which covers Fairchild products.

Always visit Fairchild Semiconductor's online packaging area for the most recent package drawings:  
<http://www.fairchildsemi.com/packaging/>

### Tape and Reel Specification




Please visit Fairchild Semiconductor's online packaging area for the most recent tape and reel specifications:  
[http://www.fairchildsemi.com/packaging/MicroPAK2\\_6L\\_tr.pdf](http://www.fairchildsemi.com/packaging/MicroPAK2_6L_tr.pdf)

Package Designator	Tape Section	Cavity Number	Cavity Status	Cover Type Status
FHX	Leader (Start End)	125 (Typical)	Empty	Sealed
	Carrier	5000	Filled	Sealed
	Trailer (Hub End)	75 (Typical)	Empty	Sealed



**TRADEMARKS**

The following includes registered and unregistered trademarks and service marks, owned by Fairchild Semiconductor and/or its global subsidiaries, and is not intended to be an exhaustive list of all such trademarks.

- |                                                                                              |                                                                                            |                                                                                                  |                                                                                             |
|----------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------|
| AccuPower™                                                                                   | FRFET®                                                                                     | PowerTrench®                                                                                     | The Power Franchise®                                                                        |
| Auto-SPM™                                                                                    | Global Power Resource™ SM                                                                  | PowerXS™                                                                                         | <b>the power franchise</b>                                                                  |
| Build it Now™                                                                                | Green FPS™                                                                                 | Programmable Active Droop™                                                                       | TinyBoost™                                                                                  |
| CorePLUS™                                                                                    | Green FPS™ e-Series™                                                                       | QFET®                                                                                            | TinyBuck™                                                                                   |
| CorePOWER™                                                                                   | Gmax™                                                                                      | QS™                                                                                              | TinyCalc™                                                                                   |
| CROSSVOLT™                                                                                   | GTO™                                                                                       | Quiet Series™                                                                                    | TinyLogic®                                                                                  |
| CTL™                                                                                         | IntelliMAX™                                                                                | RapidConfigure™                                                                                  | TINYOPTO™                                                                                   |
| Current Transfer Logic™                                                                      | ISOPLANAR™                                                                                 |  ™              | TinyPower™                                                                                  |
| DEUXPEED®                                                                                    | MegaBuck™                                                                                  | Saving our world, 1mW/W/kV at a time™                                                            | TinyPWM™                                                                                    |
| Dual Cool™                                                                                   | MICROCOUPLER™                                                                              | SignalWise™                                                                                      | TinyWire™                                                                                   |
| EcoSPARK®                                                                                    | MicroFET™                                                                                  | SmartMax™                                                                                        | TriFault Detect™                                                                            |
| EfficientMax™                                                                                | MicroPak™                                                                                  | SMART START™                                                                                     | TRUECURRENT™*                                                                               |
|  Fairchild® | MicroPak2™                                                                                 | SPM®                                                                                             | µSerDes™                                                                                    |
| Fairchild Semiconductor®                                                                     | MillerDrive™                                                                               | STEALTH™                                                                                         |  SerDes™ |
| FACT Quiet Series™                                                                           | MotionMax™                                                                                 | SuperFET™                                                                                        | UHC®                                                                                        |
| FACT®                                                                                        | Motion-SPM™                                                                                | SuperSOT™-3                                                                                      | Ultra FRFET™                                                                                |
| FAST®                                                                                        | OptoHiT™                                                                                   | SuperSOT™-6                                                                                      | UniFET™                                                                                     |
| FastvCore™                                                                                   | OPTOLOGIC®                                                                                 | SuperSOT™-8                                                                                      | VCX™                                                                                        |
| FETBench™                                                                                    | OPTOPLANAR®                                                                                | SupreMOS™                                                                                        | VisualMax™                                                                                  |
| FlashWriter™                                                                                 |  PDP SPM™ | SyncFET™                                                                                         | XST™                                                                                        |
| FPS™                                                                                         | Power-SPM™                                                                                 | Sync-Lock™                                                                                       |                                                                                             |
| F-PFS™                                                                                       |                                                                                            |  SYSTEM GENERAL |                                                                                             |

\* Trademarks of System General Corporation, used under license by Fairchild Semiconductor.

**DISCLAIMER**

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS. THESE SPECIFICATIONS DO NOT EXPAND THE TERMS OF FAIRCHILD'S WORLDWIDE TERMS AND CONDITIONS, SPECIFICALLY THE WARRANTY THEREIN, WHICH COVERS THESE PRODUCTS.

**LIFE SUPPORT POLICY**

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

- Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
- A critical component in any component of a life support, device, or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

**ANTI-COUNTERFEITING POLICY**

Fairchild Semiconductor Corporation's Anti-Counterfeiting Policy. Fairchild's Anti-Counterfeiting Policy is also stated on our external website, [www.fairchildsemi.com](http://www.fairchildsemi.com), under Sales Support.

Counterfeiting of semiconductor parts is a growing problem in the industry. All manufacturers of semiconductor products are experiencing counterfeiting of their parts. Customers who inadvertently purchase counterfeit parts experience many problems such as loss of brand reputation, substandard performance, failed applications, and increased cost of production and manufacturing delays. Fairchild is taking strong measures to protect ourselves and our customers from the proliferation of counterfeit parts. Fairchild strongly encourages customers to purchase Fairchild parts either directly from Fairchild or from Authorized Fairchild Distributors who are listed by country on our web page cited above. Products customers buy either from Fairchild directly or from Authorized Fairchild Distributors are genuine parts, have full traceability, meet Fairchild's quality standards for handling and storage and provide access to Fairchild's full range of up-to-date technical and product information. Fairchild and our Authorized Distributors will stand behind all warranties and will appropriately address any warranty issues that may arise. Fairchild will not provide any warranty coverage or other assistance for parts bought from Unauthorized Sources. Fairchild is committed to combat this global problem and encourage our customers to do their part in stopping this practice by buying direct or from authorized distributors.

**PRODUCT STATUS DEFINITIONS**

**Definition of Terms**

Datasheet Identification	Product Status	Definition
Advance Information	Formative / In Design	Datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	Datasheet contains preliminary data; supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve design.
No Identification Needed	Full Production	Datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve the design.
Obsolete	Not In Production	Datasheet contains specifications on a product that is discontinued by Fairchild Semiconductor. The datasheet is for reference information only.

Rev. 147

# BAT54SL

## Dual Series Schottky Barrier Diodes

These Schottky barrier diodes are designed for high speed switching applications, circuit protection, and voltage clamping. Extremely low forward voltage reduces conduction loss. Miniature surface mount package is excellent for hand held and portable applications where space is limited.

### Features

- Extremely Fast Switching Speed
- Low Forward Voltage – 0.35 V (Typ) @  $I_F = 10$  mA
- S Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q101 Qualified and PPAP Capable
- These Devices are Pb-Free, Halogen Free/BFR Free and are RoHS Compliant

### MAXIMUM RATINGS ( $T_A = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Reverse Voltage	$V_R$	30	V
Forward Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_F$	225 1.8	mW mW/°C
Forward Current (DC)	$I_F$	200 Max	mA
Non-Repetitive Peak Forward Current $t_p < 10$ msec Square pulse = 1 sec	$I_{FSM}$	600 1.0	mA A
Repetitive Peak Forward Current Pulse Wave = 1 sec, Duty Cycle = 66%	$I_{FRM}$	300	mA
Junction Temperature	$T_J$	-55 to 150	°C
Storage Temperature Range	$T_{stg}$	-55 to +150	°C

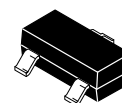
Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.



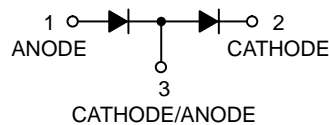
ON Semiconductor®

[www.onsemi.com](http://www.onsemi.com)

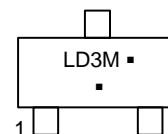
### 30 VOLT DUAL HOT-CARRIER DETECTOR AND SWITCHING DIODES



SOT-23  
CASE 318  
STYLE 11



### MARKING DIAGRAM



LD3 = Device Code  
M = Date Code\*  
▪ = Pb-Free Package

(Note: Microdot may be in either location)

\*Date Code orientation and/or overbar may vary depending upon manufacturing location.

### ORDERING INFORMATION

Device	Package	Shipping†
BAT54SLT1G	SOT-23 (Pb-Free)	3,000 / Tape & Reel
SBAT54SLT1G	SOT-23 (Pb-Free)	3,000 / Tape & Reel

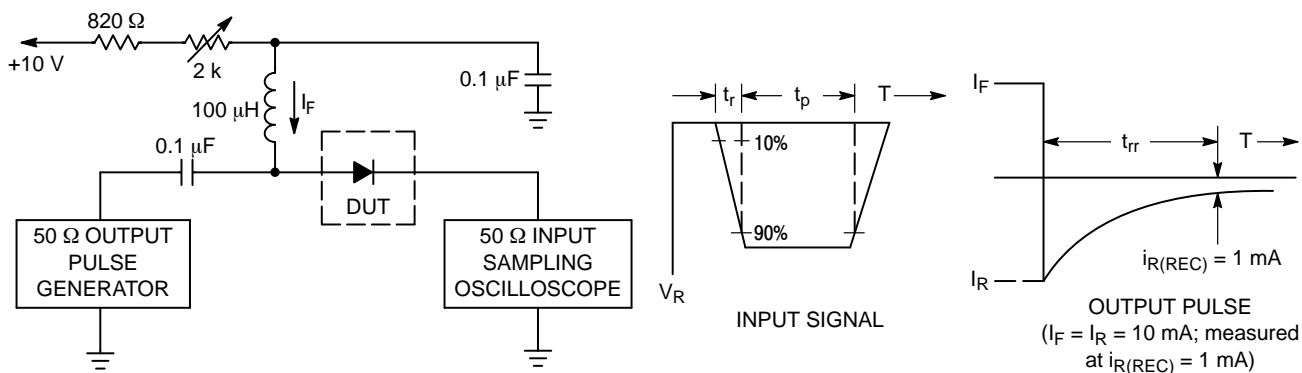
†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

# BAT54SL

## ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ unless otherwise noted) (EACH DIODE)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage ( $I_R = 10 \mu\text{A}$ )	$V_{(BR)R}$	30	-	-	V
Total Capacitance ( $V_R = 1.0 \text{ V}$ , $f = 1.0 \text{ MHz}$ )	$C_T$	-	7.6	10	pF
Reverse Leakage ( $V_R = 25 \text{ V}$ )	$I_R$	-	0.5	2.0	$\mu\text{A}_{dc}$
Forward Voltage ( $I_F = 0.1 \text{ mA}$ ) ( $I_F = 1.0 \text{ mA}$ ) ( $I_F = 10 \text{ mA}$ ) ( $I_F = 30 \text{ mA}$ ) ( $I_F = 100 \text{ mA}$ )	$V_F$	-	0.22 0.29 0.35 0.41 0.52	0.24 0.32 0.40 0.50 0.80	V
Reverse Recovery Time ( $I_F = I_R = 10 \text{ mAdc}$ , $I_{R(REC)} = 1.0 \text{ mAdc}$ , Figure 1)	$t_{rr}$	-	-	5.0	ns

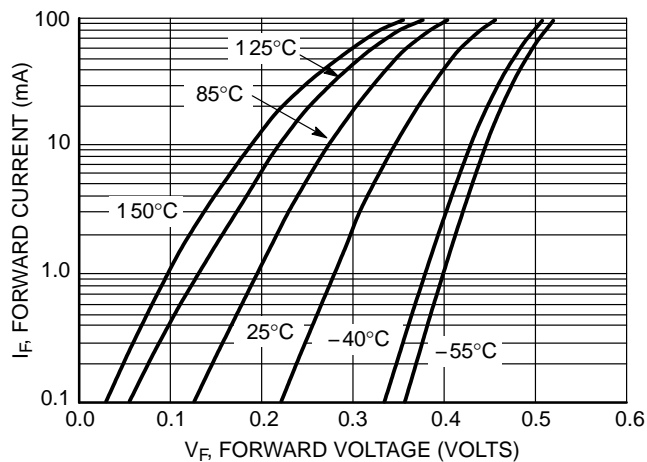
Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.



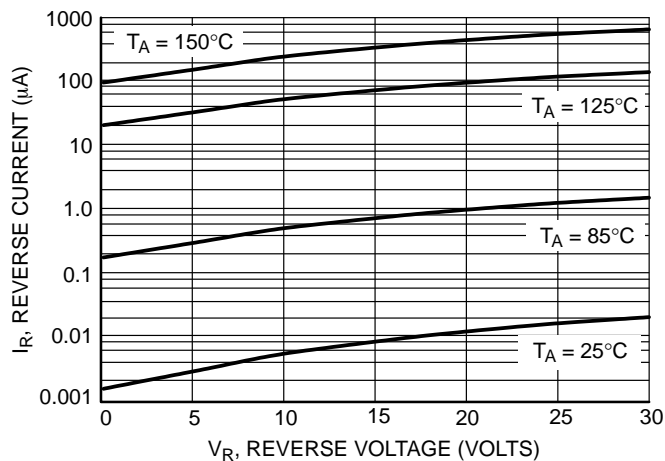
- Notes: 1. A 2.0 k $\Omega$  variable resistor adjusted for a Forward Current ( $I_F$ ) of 10 mA.  
 2. Input pulse is adjusted so  $I_{R(\text{peak})}$  is equal to 10 mA.  
 3.  $t_p \gg t_{rr}$

**Figure 1. Recovery Time Equivalent Test Circuit**

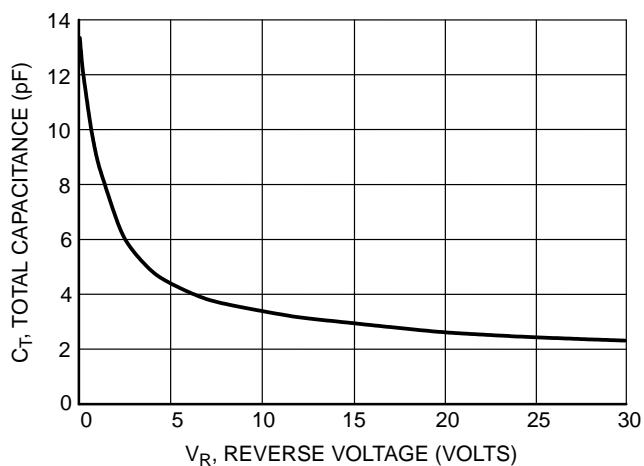
# BAT54SL



**Figure 2. Forward Voltage**



**Figure 3. Leakage Current**

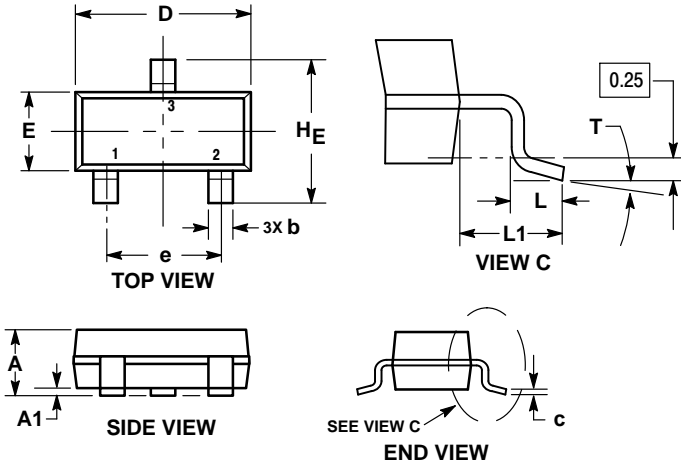


**Figure 4. Total Capacitance**

# BAT54SL

## PACKAGE DIMENSIONS

SOT-23 (TO-236)  
CASE 318-08  
ISSUE AR



NOTES:

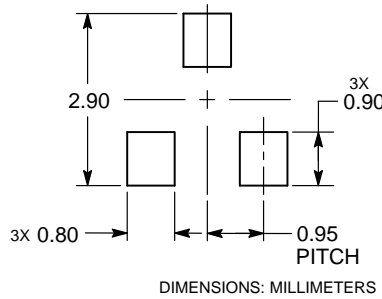
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. MAXIMUM LEAD THICKNESS INCLUDES LEAD FINISH. MINIMUM LEAD THICKNESS IS THE MINIMUM THICKNESS OF THE BASE MATERIAL.
4. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH, PROTRUSIONS, OR GATE BURRS.

DIM	MILLIMETERS			INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.89	1.00	1.11	0.035	0.039	0.044
A1	0.01	0.06	0.10	0.000	0.002	0.004
b	0.37	0.44	0.50	0.015	0.017	0.020
c	0.08	0.14	0.20	0.003	0.006	0.008
D	2.80	2.90	3.04	0.110	0.114	0.120
E	1.20	1.30	1.40	0.047	0.051	0.055
e	1.78	1.90	2.04	0.070	0.075	0.080
L	0.30	0.43	0.55	0.012	0.017	0.022
L1	0.35	0.54	0.69	0.014	0.021	0.027
HE	2.10	2.40	2.64	0.083	0.094	0.104
T	0°	—	10°	0°	—	10°

STYLE 11:

1. ANODE
2. CATHODE
3. CATHODE-ANODE

### RECOMMENDED SOLDERING FOOTPRINT



ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

### PUBLICATION ORDERING INFORMATION

**LITERATURE FULFILLMENT:**  
Literature Distribution Center for ON Semiconductor  
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA  
**Phone:** 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
**Fax:** 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
**Email:** [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

**N. American Technical Support:** 800-282-9855 Toll Free USA/Canada  
**Europe, Middle East and Africa Technical Support:**  
Phone: 421 33 790 2910  
**Japan Customer Focus Center**  
Phone: 81-3-5817-1050

**ON Semiconductor Website:** [www.onsemi.com](http://www.onsemi.com)  
**Order Literature:** <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative



# MBR0520LT1G, SBR80520LT1G, MBR0520LT3G, SBR80520LT3G

Preferred Devices

## Surface Mount Schottky Power Rectifier

### Plastic SOD-123 Package

The Schottky Power Rectifier employs the Schottky Barrier principle with a barrier metal that produces optimal forward voltage drop–reverse current tradeoff. Ideally suited for low voltage, high frequency rectification, or as free wheeling and polarity protection diodes in surface mount applications where compact size and weight are critical to the system. This package provides an alternative to the leadless 34 MELF style package. These state-of-the-art devices have the following features:

#### Features

- Guardring for Stress Protection
- Very Low Forward Voltage (0.38 V Max @ 0.5 A, 25°C)
- 125°C Operating Junction Temperature
- Epoxy Meets UL 94 V-0 @ 0.125 in
- Package Designed for Optimal Automated Board Assembly
- AEC-Q101 Qualified and PPAP Capable
- SBR8 Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements
- All Packages are Pb-Free\*

#### Mechanical Characteristics

- Polarity Designator: Cathode Band
- Weight: 11.7 mg (approximately)
- Case: Epoxy, Molded
- Finish: All External Surfaces Corrosion Resistant and Terminal Leads are Readily Solderable
- Lead and Mounting Surface Temperature for Soldering Purposes: 260°C Max. for 10 Seconds
- ESD Ratings:
  - ◆ Human Body Model = 3B
  - ◆ Machine Model = C

\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.



ON Semiconductor®

<http://onsemi.com>

### SCHOTTKY BARRIER RECTIFIER 0.5 AMPERES, 20 VOLTS



SOD-123  
CASE 425  
STYLE 1

#### MARKING DIAGRAM



B2 = Device Code  
M = Date Code  
▪ = Pb-Free Package

(Note: Microdot may be in either location)

#### ORDERING INFORMATION

Device	Package	Shipping†
MBR0520LT1G	SOD-123 (Pb-Free)	3,000 / Tape & Reel **
SBR80520LT1G	SOD-123 (Pb-Free)	3,000 / Tape & Reel **
MBR0520LT3G	SOD-123 (Pb-Free)	10,000 / Tape & Reel ***
SBR80520LT3G	SOD-123 (Pb-Free)	10,000 / Tape & Reel ***

\*\* 8 mm Tape, 7" Reel

\*\*\* 8 mm Tape, 13" Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

Preferred devices are recommended choices for future use and best overall value.

# MBR0520LT1G, SBR80520LT1G, MBR0520LT3G, SBR80520LT3G

## MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	$V_{RRM}$ $V_{RWM}$ $V_R$	20	V
Average Rectified Forward Current (Rated $V_R$ , $T_L = 90^\circ\text{C}$ )	$I_{F(AV)}$	0.5	A
Non-Repetitive Peak Surge Current (Surge Applied at Rated Load Conditions Halfwave, Single Phase, 60 Hz)	$I_{FSM}$	5.5	A
Storage Temperature Range	$T_{stg}$	-65 to +150	$^\circ\text{C}$
Operating Junction Temperature	$T_J$	-65 to +125	$^\circ\text{C}$
Voltage Rate of Change (Rated $V_R$ )	dv/dt	1000	V/ $\mu\text{s}$
ESD Ratings: Machine Model = C Human Body Model = 3B		> 400 > 8000	V

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

## THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Thermal Resistance; Junction-to-Ambient (Note 1)	$R_{\theta JA}$	206	$^\circ\text{C}/\text{W}$
Thermal Resistance; Junction-to-Lead	$R_{\theta JL}$	150	$^\circ\text{C}/\text{W}$

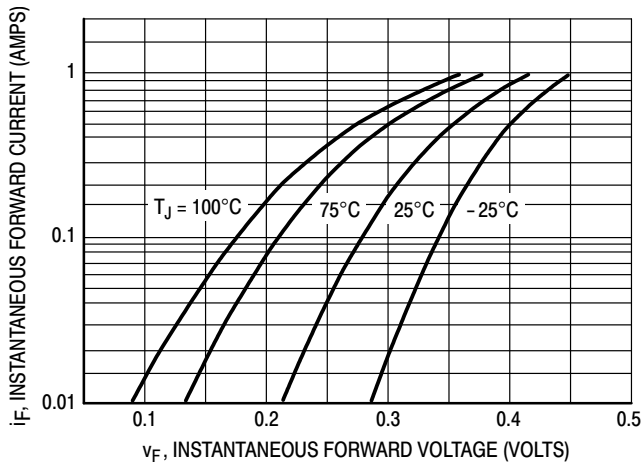
1. 1 inch square pad size (1 x 0.5 inch for each lead) on FR4 board.

## ELECTRICAL CHARACTERISTICS

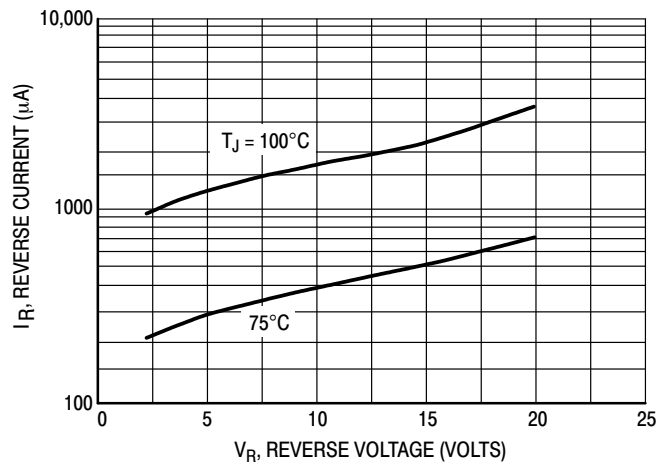
Characteristic	Symbol	Value		Unit
		$T_J = 25^\circ\text{C}$	$T_J = 100^\circ\text{C}$	
Maximum Instantaneous Forward Voltage (Note 2) ( $i_F = 0.1$ Amps) ( $i_F = 0.5$ Amps)	$V_F$	0.300 0.385	0.220 0.330	V
Maximum Instantaneous Reverse Current (Note 2) ( $V_R = 10$ V) (Rated DC Voltage = 20 V)	$I_R$	75 $\mu\text{A}$ 250 $\mu\text{A}$	5 mA 8 mA	mA

2. Pulse Test: Pulse Width = 300  $\mu\text{s}$ , Duty Cycle  $\leq 2\%$ .

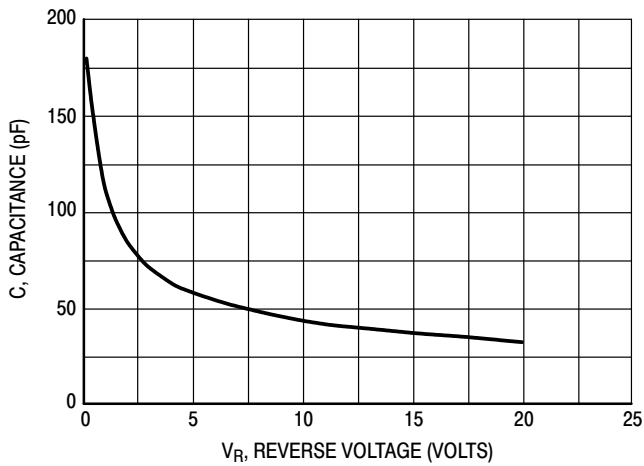
**MBR0520LT1G, SBR80520LT1G, MBR0520LT3G, SBR80520LT3G**



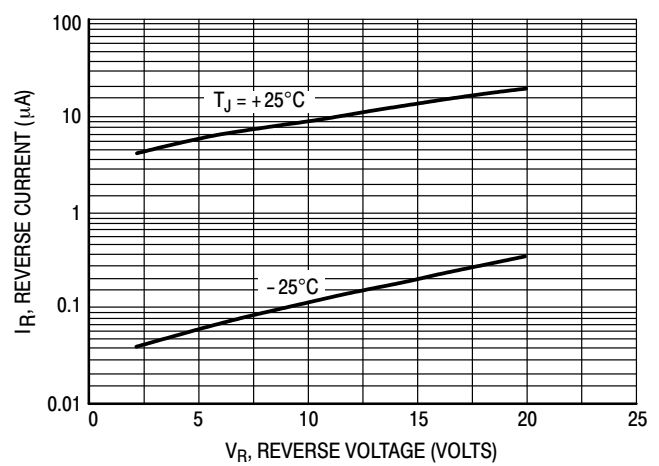
**Figure 1. Typical Forward Voltage**



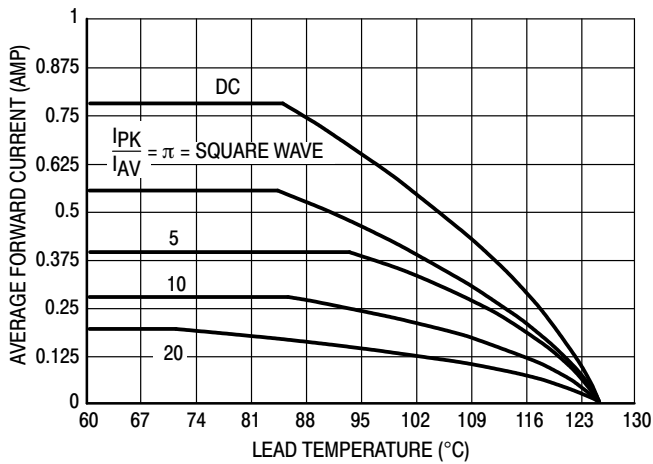
**Figure 2. Typical Reverse Current**



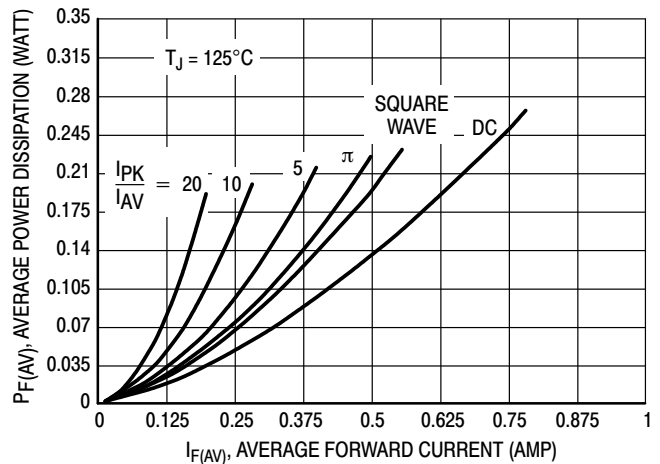
**Figure 3. Typical Capacitance**



**Figure 4. Typical Reverse Current**



**Figure 5. Current Derating (Lead)**

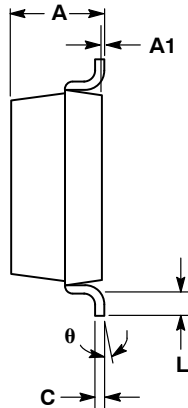
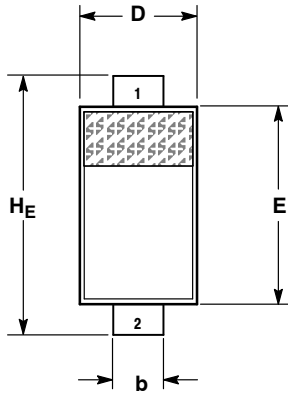


**Figure 6. Power Dissipation**

# MBR0520LT1G, SBR80520LT1G, MBR0520LT3G, SBR80520LT3G

## PACKAGE DIMENSIONS

SOD-123  
CASE 425-04  
ISSUE G

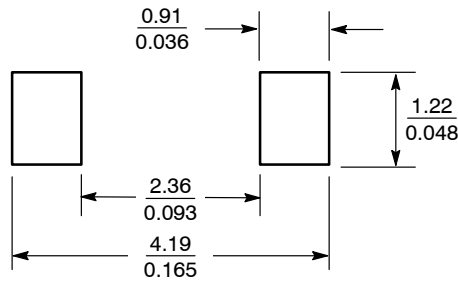


- NOTES:  
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.  
2. CONTROLLING DIMENSION: INCH.

DIM	MILLIMETERS			INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.94	1.17	1.35	0.037	0.046	0.053
A1	0.00	0.05	0.10	0.000	0.002	0.004
b	0.51	0.61	0.71	0.020	0.024	0.028
c	---	---	0.15	---	---	0.006
D	1.40	1.60	1.80	0.055	0.063	0.071
E	2.54	2.69	2.84	0.100	0.106	0.112
H <sub>E</sub>	3.56	3.68	3.86	0.140	0.145	0.152
L	0.25	---	---	0.010	---	---
θ	0°	---	10°	0°	---	10°


STYLE 1:  
PIN 1. CATHODE  
2. ANODE

## SOLDERING FOOTPRINT\*



SCALE 10:1 ( $\frac{\text{mm}}{\text{inches}}$ )

\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

ON Semiconductor and  are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## PUBLICATION ORDERING INFORMATION

**LITERATURE FULFILLMENT:**  
Literature Distribution Center for ON Semiconductor  
P.O. Box 5163, Denver, Colorado 80217 USA  
**Phone:** 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
**Fax:** 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
**Email:** orderlit@onsemi.com

**N. American Technical Support:** 800-282-9855 Toll Free  
USA/Canada  
**Europe, Middle East and Africa Technical Support:**  
Phone: 421 33 790 2910  
**Japan Customer Focus Center**  
Phone: 81-3-5817-1050

**ON Semiconductor Website:** [www.onsemi.com](http://www.onsemi.com)  
**Order Literature:** <http://www.onsemi.com/orderlit>  
For additional information, please contact your local Sales Representative

## JCA Series



- Compact 1.0" x 0.8" Metal Package
- Industry Standard Pin Out
- 2:1 Input Range
- Single & Dual Outputs
- Operating Temperature  $-40\text{ }^{\circ}\text{C}$  to  $+100\text{ }^{\circ}\text{C}$
- UL, CB, & TUV Approval
- 3 Year Warranty

## Specification

## Input

Input Voltage Range	<ul style="list-style-type: none"> <li>• 5 V (4.5-9.0 VDC)</li> <li>• 12 V (9-18 VDC)</li> <li>• 24 V (18-36 VDC)</li> <li>• 48 V (36-75 VDC)</li> </ul>
Input Current	<ul style="list-style-type: none"> <li>• See table</li> </ul>
Input Filter	<ul style="list-style-type: none"> <li>• Pi network</li> </ul>
Input Reflected Ripple Current	<ul style="list-style-type: none"> <li>• 80 mA, 5 V input models, 30 mA all others</li> <li>• 12 <math>\mu\text{H}</math> inductor, 5 Hz to 20 MHz</li> </ul>
Input Surge	<ul style="list-style-type: none"> <li>• 5 V models 10 V for 1 s max,</li> <li>• 12 V models 25 V for 1 s max,</li> <li>• 24 V models 50 V for 1 s max,</li> <li>• 48 V models 100 V for 1 s max</li> </ul>

## Output

Output Voltage	<ul style="list-style-type: none"> <li>• See table</li> </ul>
Initial Set Accuracy	<ul style="list-style-type: none"> <li>• <math>\pm 1\%</math> max</li> </ul>
Start Up Delay	<ul style="list-style-type: none"> <li>• 30 ms typical</li> </ul>
Start Up Rise Time	<ul style="list-style-type: none"> <li>• 3.5 ms typical</li> </ul>
Minimum Load	<ul style="list-style-type: none"> <li>• No minimum load required</li> </ul>
Line Regulation	<ul style="list-style-type: none"> <li>• <math>\pm 0.3\%</math></li> </ul>
Load Regulation	<ul style="list-style-type: none"> <li>• <math>\pm 1\%</math></li> </ul>
Cross Regulation	<ul style="list-style-type: none"> <li>• <math>\pm 5\%</math> on dual output models with one output at 5% load and other varied from 5% to 100%</li> </ul>
Transient Response	<ul style="list-style-type: none"> <li>• 4% max deviation, recovery to within 1% in <math>&lt; 500\text{ }\mu\text{s}</math> for a 25% load change at 1 A/<math>\mu\text{s}</math></li> </ul>
Ripple & Noise	<ul style="list-style-type: none"> <li>• 50 mV pk-pk, 20 MHz bandwidth</li> </ul>
Overcurrent Protection	<ul style="list-style-type: none"> <li>• 150% typical, trip and restart (hiccup mode)</li> </ul>
Short Circuit Protection	<ul style="list-style-type: none"> <li>• Continuous with auto recovery</li> </ul>
Overvoltage Protection	<ul style="list-style-type: none"> <li>• 150% typical, Recycle input to reset</li> </ul>
Temperature Coefficient	<ul style="list-style-type: none"> <li>• <math>\pm 0.05\%/^{\circ}\text{C}</math></li> </ul>

## General

Efficiency	<ul style="list-style-type: none"> <li>• See table</li> </ul>
Isolation	<ul style="list-style-type: none"> <li>• 1500 VDC Input to Output, basic insulation</li> <li>• 500 VDC Input to Case</li> <li>• 500 VDC Output to Case</li> </ul>
Switching Frequency	<ul style="list-style-type: none"> <li>• 300 kHz typical</li> </ul>
Power Density	<ul style="list-style-type: none"> <li>• 31.25 W/in<sup>3</sup></li> </ul>
MTBF	<ul style="list-style-type: none"> <li>• <math>&gt; 950\text{ kHrs}</math> to MIL-HDBK-217F at <math>25\text{ }^{\circ}\text{C}</math>, GB</li> </ul>

## Environmental

Operating Temperature	<ul style="list-style-type: none"> <li>• <math>-40\text{ }^{\circ}\text{C}</math> to <math>+100\text{ }^{\circ}\text{C}</math> output power derates from 100% load at <math>+70\text{ }^{\circ}\text{C}</math> linearly to 0% load at <math>+100\text{ }^{\circ}\text{C}</math></li> </ul>
Case Temperature	<ul style="list-style-type: none"> <li>• <math>+100\text{ }^{\circ}\text{C}</math> max</li> </ul>
Storage Temperature	<ul style="list-style-type: none"> <li>• <math>-55\text{ }^{\circ}\text{C}</math> to <math>+125\text{ }^{\circ}\text{C}</math></li> </ul>
Cooling	<ul style="list-style-type: none"> <li>• Convection cooled</li> </ul>
Operating Humidity	<ul style="list-style-type: none"> <li>• Up to 95% RH, non-condensing</li> </ul>

## EMC &amp; Safety

Emissions	<ul style="list-style-type: none"> <li>• EN55022, level A conducted (level B with external components, see application note), level B radiated</li> </ul>
ESD Immunity	<ul style="list-style-type: none"> <li>• EN61000-4-2, level 2 Perf Criteria A</li> </ul>
Radiated Immunity	<ul style="list-style-type: none"> <li>• EN61000-4-3, 3 V/m Perf Criteria A</li> </ul>
Conducted Immunity	<ul style="list-style-type: none"> <li>• EN61000-4-6, 3 V rms Perf Criteria A</li> </ul>
Magnetic Fields	<ul style="list-style-type: none"> <li>• EN61000-4-8, 10 A/m, Perf Criteria A</li> </ul>
Safety Approvals	<ul style="list-style-type: none"> <li>• IEC60950-1, EN60950-1, UL60950-1, CSA C22.2 No. 60950-1-03, CE Mark LVD</li> </ul>

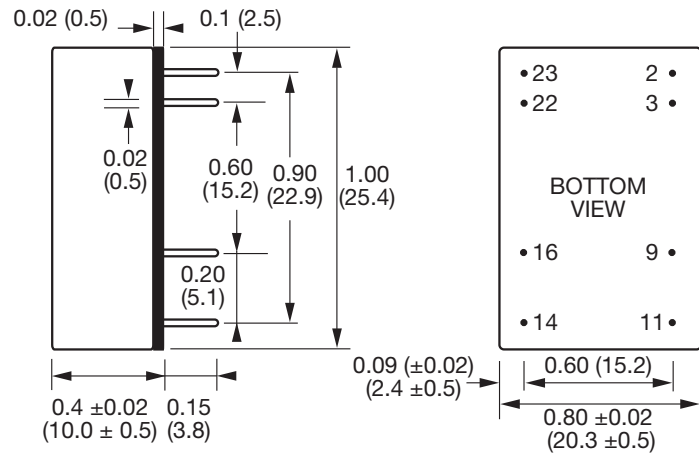
## Models and Ratings

Input Voltage <sup>(1)</sup>	Output Voltage	Output Current	Input Current <sup>(2)</sup>		Efficiency	Max. Capacitive Load	Model Number
			No Load	Full Load			
4.5-9.0 VDC	3.3 VDC	2.42 A	100 mA	1.905 A	82%	3300 µF	JCA1005S03
	5.0 VDC	1.60 A	84 mA	1.839 A	86%	2200 µF	JCA1005S05
	12.0 VDC	0.83 A	126 mA	2.324 A	85%	1000 µF	JCA1005S12
	15.0 VDC	0.66 A	120 mA	2.271 A	86%	940 µF	JCA1005S15
	±5.0 VDC	±0.80 A	129 mA	1.918 A	82%	1000 µF	JCA1005D01
	±12.0 VDC	±0.42 A	126 mA	2.388 A	84%	470 µF	JCA1005D02
9-18 VDC	3.3 VDC	2.42 A	52 mA	0.784 A	84%	3300 µF	JCA1012S03
	5.0 VDC	1.60 A	49 mA	0.745 A	89%	2200 µF	JCA1012S05
	12.0 VDC	0.83 A	42 mA	0.930 A	89%	1000 µF	JCA1012S12
	15.0 VDC	0.66 A	42 mA	0.916 A	89%	940 µF	JCA1012S15
	±5.0 VDC	±0.80 A	45 mA	0.778 A	85%	1000 µF	JCA1012D01
	±12.0 VDC	±0.42 A	44 mA	0.944 A	88%	470 µF	JCA1012D02
18-36 VDC	3.3 VDC	2.42 A	28 mA	0.388 A	85%	3300 µF	JCA1024S03
	5.0 VDC	1.60 A	27 mA	0.375 A	88%	2200 µF	JCA1024S05
	12.0 VDC	0.83 A	19 mA	0.461 A	89%	1000 µF	JCA1024S12
	15.0 VDC	0.66 A	18 mA	0.455 A	90%	940 µF	JCA1024S15
	±5.0 VDC	±0.80 A	16 mA	0.387 A	85%	1000 µF	JCA1024D01
	±12.0 VDC	±0.42 A	22 mA	0.469 A	89%	470 µF	JCA1024D02
36-75 VDC	3.3 VDC	2.42 A	13 mA	0.199 A	82%	3300 µF	JCA1048S03
	5.0 VDC	1.60 A	11 mA	0.186 A	89%	2200 µF	JCA1048S05
	12.0 VDC	0.83 A	7 mA	0.231 A	89%	1000 µF	JCA1048S12
	15.0 VDC	0.66 A	9 mA	0.229 A	89%	940 µF	JCA1048S15
	±5.0 VDC	±0.80 A	5 mA	0.194 A	85%	1000 µF	JCA1048D01
	±12.0 VDC	±0.42 A	9 mA	0.236 A	89%	470 µF	JCA1048D02
	±15.0 VDC	±0.33 A	10 mA	0.229 A	89%	470 µF	JCA1048D03

### Notes

- Nominal input voltage 5, 12, 24 or 48 VDC.
- Input current is at nominal input voltage.
- Efficiency is measured at nominal input and full load at 25 °C.

## Mechanical Details



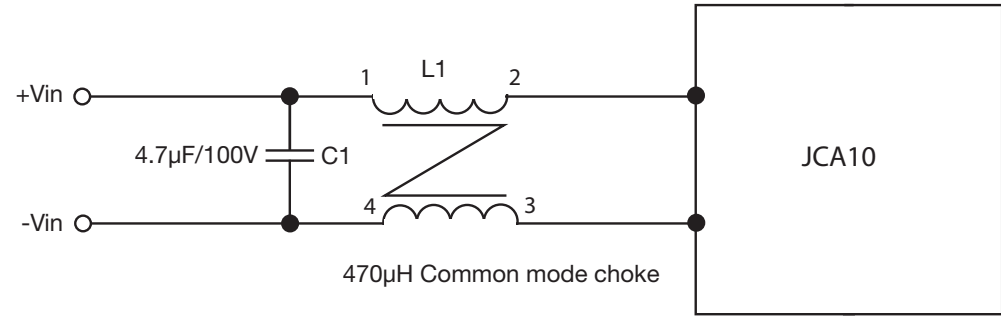
PIN CONNECTIONS		
Pin	Single Output	Dual Output
2	-Vin	-Vin
3	-Vin	-Vin
9	No pin	Common
11	N/C	-Vout
14	+Vout	+Vout
16	-Vout	Common
22	+Vin	+Vin
23	+Vin	+Vin

- All dimensions in inches (mm)
- Weight: 0.03 lbs (12 g)
- Pin diameter tolerance: ±0.00079 (±0.02)
- Pin pitch tolerance: ±0.01 (±0.25)
- Case tolerance: ±0.02 (±0.5)

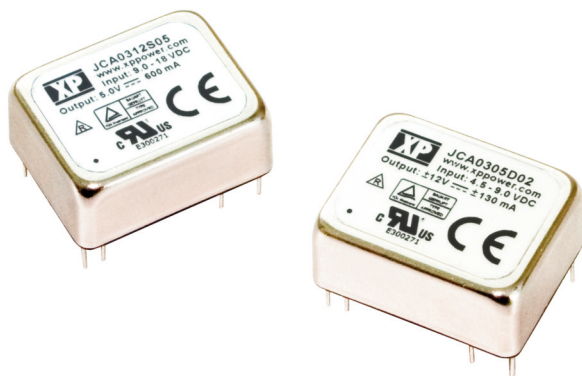
## Application Note

### Input Filter

To meet level B conducted emissions.



## JCA Series



- Compact 1.0" x 0.8" Metal Package
- Industry Standard Pin Out
- 2:1 Input Range
- Single & Dual Outputs
- Operating Temperature  $-40^{\circ}\text{C}$  to  $+100^{\circ}\text{C}$
- UL & TUV Approved
- 3 Year Warranty

## Specification

## Input

Input Voltage Range	<ul style="list-style-type: none"> <li>• 5 V (4.5-9.0 VDC)</li> <li>• 12 V (9-18 VDC)</li> <li>• 24 V (18-36 VDC)</li> <li>• 48 V (36-75 VDC)</li> <li>• Turn On at <math>&gt;90-95\%</math> of rated input</li> <li>• Turn Off at <math>&lt;80\%</math> of rated input</li> </ul>
Input Current	<ul style="list-style-type: none"> <li>• See table</li> </ul>
Input Filter	<ul style="list-style-type: none"> <li>• Pi network</li> </ul>
Input Reflected	<ul style="list-style-type: none"> <li>• 80 mA, 5 V input models, 30 mA all others</li> </ul>
Ripple Current	<ul style="list-style-type: none"> <li>• 12 <math>\mu\text{H}</math> inductor, 5 Hz to 20 MHz</li> </ul>
Input Surge	<ul style="list-style-type: none"> <li>• 5 V models 10 V for 1 s max,</li> <li>• 12 V models 25 V for 1 s max,</li> <li>• 24 V models 50 V for 1 s max,</li> <li>• 48 V models 100 V for 1 s max</li> </ul>

## Output

Output Voltage	<ul style="list-style-type: none"> <li>• See table</li> </ul>
Initial Set Accuracy	<ul style="list-style-type: none"> <li>• <math>\pm 1\%</math> max</li> </ul>
Start Up Delay	<ul style="list-style-type: none"> <li>• 30 ms max</li> </ul>
Start Up Rise Time	<ul style="list-style-type: none"> <li>• 3.5 ms typical</li> </ul>
Minimum Load	<ul style="list-style-type: none"> <li>• No minimum load required</li> </ul>
Line Regulation	<ul style="list-style-type: none"> <li>• <math>\pm 0.3\%</math></li> </ul>
Load Regulation	<ul style="list-style-type: none"> <li>• <math>\pm 1\%</math></li> </ul>
Cross Regulation	<ul style="list-style-type: none"> <li>• <math>\pm 5\%</math> on dual output models</li> </ul>
Transient Response	<ul style="list-style-type: none"> <li>• 4% max deviation, recovery to within 1% in <math>&lt;500 \mu\text{s}</math> for a 25% load change at 1 A/<math>\mu\text{s}</math></li> </ul>
Ripple & Noise	<ul style="list-style-type: none"> <li>• 50 mV pk-pk, 20 MHz bandwidth</li> </ul>
Overcurrent Protection	<ul style="list-style-type: none"> <li>• 150% typical, trip and restart (hiccup mode)</li> </ul>
Short Circuit Protection	<ul style="list-style-type: none"> <li>• Continuous with auto recovery</li> </ul>
Overvoltage Protection	<ul style="list-style-type: none"> <li>• 150% typical, Recycle input to reset</li> </ul>
Temperature Coefficient	<ul style="list-style-type: none"> <li>• <math>\pm 0.05\%/^{\circ}\text{C}</math></li> </ul>

## General

Efficiency	<ul style="list-style-type: none"> <li>• See table</li> </ul>
Isolation	<ul style="list-style-type: none"> <li>• 1500 VDC Input to Output, basic insulation</li> <li>• 500 VDC Input to Case</li> <li>• 500 VDC Output to Case</li> </ul>
Switching Frequency	<ul style="list-style-type: none"> <li>• 300 kHz typical</li> </ul>
Power Density	<ul style="list-style-type: none"> <li>• JCA02: 6.25 W/in<sup>3</sup>, JCA03: 9.38 W/in<sup>3</sup></li> </ul>
MTBF	<ul style="list-style-type: none"> <li>• <math>&gt;2</math> Mhrs to MIL-HDBK-217F at <math>25^{\circ}\text{C}</math>, GB</li> </ul>

## Environmental

Operating Temperature	<ul style="list-style-type: none"> <li>• <math>-40^{\circ}\text{C}</math> to <math>+100^{\circ}\text{C}</math> output power derates from 100% load at <math>+75^{\circ}\text{C}</math> linearly to 0% load at <math>+100^{\circ}\text{C}</math></li> </ul>
Case Temperature	<ul style="list-style-type: none"> <li>• <math>+100^{\circ}\text{C}</math> max</li> </ul>
Storage Temperature	<ul style="list-style-type: none"> <li>• <math>-55^{\circ}\text{C}</math> to <math>+125^{\circ}\text{C}</math></li> </ul>
Cooling	<ul style="list-style-type: none"> <li>• Convection cooled</li> </ul>
Operating Humidity	<ul style="list-style-type: none"> <li>• Up to 95% RH, non-condensing</li> </ul>

## EMC &amp; Safety

Emissions	<ul style="list-style-type: none"> <li>• EN55022, level A conducted (level B with external components, see application note), level B radiated</li> </ul>
ESD Immunity	<ul style="list-style-type: none"> <li>• EN61000-4-2, level 2 Perf Criteria A</li> </ul>
Radiated Immunity	<ul style="list-style-type: none"> <li>• EN61000-4-3, 3 V/m Perf Criteria A</li> </ul>
Conducted Immunity	<ul style="list-style-type: none"> <li>• EN61000-4-6, 3 V rms Perf Criteria A</li> </ul>
Magnetic Fields	<ul style="list-style-type: none"> <li>• EN61000-4-8, 10 A/m, Perf Criteria A</li> </ul>
Safety Approvals	<ul style="list-style-type: none"> <li>• EN60950-1, UL60950-1, CSA C22.2 No. 60950-1-03, CE Mark LVD</li> </ul>

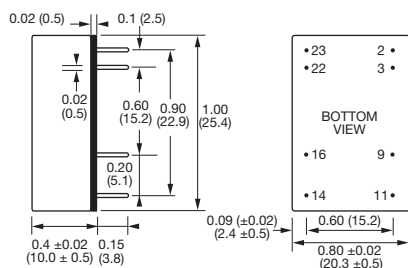
Input Voltage <sup>(1)</sup>	Output Voltage	Output Current	Input Current <sup>(2)</sup>		Efficiency	Model Number
			No Load	Full Load		
4.5-9.0 VDC	3.3 VDC	0.600 A	28 mA	560 mA	69%	JCA0205S03
	5.0 VDC	0.400 A	10 mA	535 mA	73%	JCA0205S05
	12.0 VDC	0.170 A	15 mA	526 mA	74%	JCA0205S12
	15.0 VDC	0.140 A	26 mA	559 mA	74%	JCA0205S15
	±5.0 VDC	±0.200 A	15 mA	502 mA	74%	JCA0205D01
	±12.0 VDC	±0.085 A	19 mA	537 mA	73%	JCA0205D02
	±15.0 VDC	±0.070 A	25 mA	560 mA	70%	JCA0205D03
9-18 VDC	3.3 VDC	0.600 A	8 mA	225 mA	72%	JCA0212S03
	5.0 VDC	0.400 A	5 mA	224 mA	74%	JCA0212S05
	12.0 VDC	0.170 A	5 mA	223 mA	74%	JCA0212S12
	15.0 VDC	0.140 A	7 mA	227 mA	74%	JCA0212S15
	±5.0 VDC	±0.200 A	10 mA	219 mA	74%	JCA0212D01
	±12.0 VDC	±0.085 A	9 mA	223 mA	74%	JCA0212D02
	±15.0 VDC	±0.070 A	11 mA	232 mA	73%	JCA0212D03
18-36 VDC	3.3 VDC	0.600 A	3 mA	112 mA	73%	JCA0224S03
	5.0 VDC	0.400 A	3 mA	107 mA	75%	JCA0224S05
	12.0 VDC	0.170 A	4 mA	109 mA	75%	JCA0224S12
	15.0 VDC	0.140 A	4 mA	111 mA	75%	JCA0224S15
	±5.0 VDC	±0.200 A	3 mA	107 mA	76%	JCA0224D01
	±12.0 VDC	±0.085 A	5 mA	108 mA	76%	JCA0224D02
	±15.0 VDC	±0.070 A	6 mA	115 mA	73%	JCA0224D03
36-75 VDC	3.3 VDC	0.600 A	3 mA	62 mA	71%	JCA0248S03
	5.0 VDC	0.400 A	5 mA	58 mA	70%	JCA0248S05
	12.0 VDC	0.170 A	3 mA	58 mA	70%	JCA0248S12
	15.0 VDC	0.140 A	3 mA	59 mA	72%	JCA0248S15
	±5.0 VDC	±0.200 A	2 mA	56 mA	73%	JCA0248D01
	±12.0 VDC	±0.085 A	3 mA	57 mA	73%	JCA0248D02
	±15.0 VDC	±0.070 A	3 mA	60 mA	70%	JCA0248D03

Input Voltage <sup>(1)</sup>	Output Voltage	Output Current	Input Current <sup>(2)</sup>		Efficiency	Model Number
			No Load	Full Load		
4.5-9.0 VDC	3.3 VDC	0.910 A	28 mA	873 mA	68%	JCA0305S03
	5.0 VDC	0.600 A	10 mA	835 mA	74%	JCA0305S05
	12.0 VDC	0.260 A	15 mA	805 mA	75%	JCA0305S12
	15.0 VDC	0.200 A	26 mA	804 mA	74%	JCA0305S15
	±5.0 VDC	±0.300 A	15 mA	778 mA	74%	JCA0305D01
	±12.0 VDC	±0.130 A	19 mA	793 mA	74%	JCA0305D02
	±15.0 VDC	±0.100 A	25 mA	820 mA	73%	JCA0305D03
9-18 VDC	3.3 VDC	0.910 A	8 mA	333 mA	74%	JCA0312S03
	5.0 VDC	0.600 A	5 mA	324 mA	75%	JCA0312S05
	12.0 VDC	0.260 A	5 mA	315 mA	78%	JCA0312S12
	15.0 VDC	0.200 A	7 mA	322 mA	77%	JCA0312S15
	±5.0 VDC	±0.300 A	10 mA	325 mA	75%	JCA0312D01
	±12.0 VDC	±0.130 A	9 mA	313 mA	75%	JCA0312D02
	±15.0 VDC	±0.100 A	11 mA	322 mA	73%	JCA0312D03
18-36 VDC	3.3 VDC	0.910 A	3 mA	165 mA	74%	JCA0324S03
	5.0 VDC	0.600 A	3 mA	157 mA	77%	JCA0324S05
	12.0 VDC	0.260 A	4 mA	154 mA	77%	JCA0324S12
	15.0 VDC	0.200 A	4 mA	157 mA	77%	JCA0324S15
	±5.0 VDC	±0.300 A	3 mA	156 mA	77%	JCA0324D01
	±12.0 VDC	±0.130 A	5 mA	154 mA	77%	JCA0324D02
	±15.0 VDC	±0.100 A	6 mA	160 mA	75%	JCA0324D03
36-75 VDC	3.3 VDC	0.910 A	3 mA	82 mA	73%	JCA0348S03
	5.0 VDC	0.600 A	5 mA	82 mA	74%	JCA0348S05
	12.0 VDC	0.260 A	6 mA	79 mA	75%	JCA0348S12
	15.0 VDC	0.200 A	6 mA	81 mA	75%	JCA0348S15
	±5.0 VDC	±0.300 A	2 mA	79 mA	76%	JCA0348D01
	±12.0 VDC	±0.130 A	3 mA	78 mA	76%	JCA0348D02
	±15.0 VDC	±0.100 A	3 mA	82 mA	74%	JCA0348D03

### Notes

- Nominal input voltage 5, 12, 24 or 48 VDC.
- Input current is at nominal input voltage.
- Efficiency is measured at nominal input and full load at 25 °C.

### Mechanical Details and Application Note

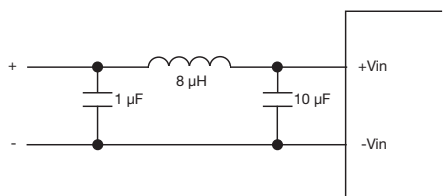


PIN CONNECTIONS		
Pin	Single Output	Dual Output
2	-Vin	-Vin
3	-Vin	-Vin
9	No pin	Common
11	N/C	-Vout
14	+Vout	+Vout
16	-Vout	Common
22	+Vin	+Vin
23	+Vin	+Vin

- All dimensions in inches (mm)
- Weight: 0.03 lbs (12 g)
- Pin diameter tolerance: ±0.00079 (±0.02)
- Pin pitch tolerance: ±0.01 (±0.25)
- Case tolerance: ±0.02 (±0.5)

### Input Filter

To meet level B conducted emissions.







**■ Features**

- Universal AC input / Full range
- 3 pole AC inlet IEC320-C14
- No load power consumption<0.075W
- Energy efficiency Level VI
- Comply with EISA 2007/DoE,NRCan, AU/NZ MEPS,EU ErP and CoC Version 5
- Class I power (with earth pin)
- Protections: Short circuit / Overload / Over voltage /Over temperature
- Fully enclosed plastic case
- Pass LPS
- LED indicator for power on
- 3 years warranty

**■ Applications**

- Consumer electronic devices
- Telecommunication devices
- Office facilities
- Industrial equipments

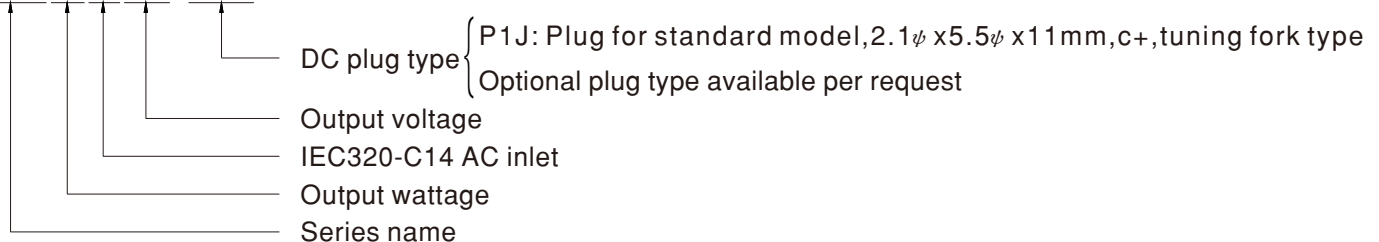
**■ Description**

GST60A is a highly reliable, 60W desktop style single-output green adaptor series. This product is a class I power unit (with FG), equipped with a standard IEC320-C14 AC inlet and adopting the input range from 90VAC to 264VAC. The entire series supplies different models with output voltages ranging between 5VDC and 48VDC that can satisfy the demands for various types of consumer electronic devices.

With the efficiency up to 92% and the extremely low no-load power consumption below 0.075W, GST60A is compliant with USA EISA 2007/DoE, Canada NRCan, Australia and New Zealand MEPS, EU ErP,and Code of Conduct (CoC) Version 5. The supreme feature allows the adaptor to save the energy when it is either under the operating mode or the standby mode. The entire series utilizes the 94V-0 flame retardant plastic case.GST60A is certified for the international safety regulations.

**■ Model Encoding**

**GST 60 A 05 -P1J**

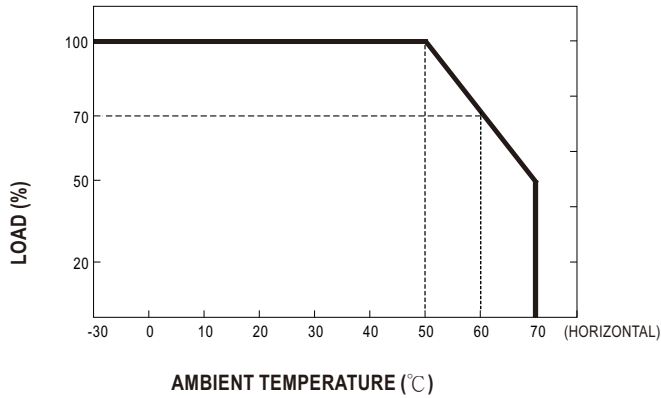




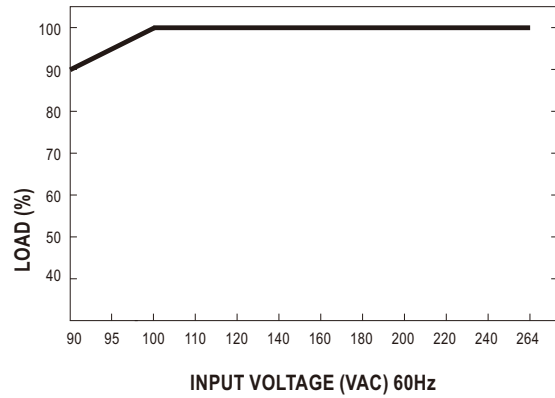
**SPECIFICATION**

ORDER NO.		GST60A05-P1J	GST60A07-P1J	GST60A09-P1J	GST60A12-P1J	GST60A15-P1J	GST60A18-P1J	GST60A24-P1J	GST60A48-P1J	
OUTPUT	SAFETY MODEL NO.	GST60A05	GST60A07	GST60A09	GST60A12	GST60A15	GST60A18	GST60A24	GST60A48	
	DC VOLTAGE <span style="float:right">Note.2</span>	5V	7.5V	9V	12V	15V	18V	24V	48V	
	RATED CURRENT	6A	6A	6A	5A	4A	3.33A	2.5A	1.25A	
	CURRENT RANGE	0 ~ 6A	0 ~ 6A	0 ~ 6A	0 ~ 5A	0 ~ 4A	0 ~ 3.33A	0 ~ 2.5A	0 ~ 1.25A	
	RATED POWER (max.)	30W	45W	54W	60W	60W	60W	60W	60W	
	RIPPLE & NOISE (max.) <span style="float:right">Note.3</span>	150mVp-p	150mVp-p	150mVp-p	150mVp-p	150mVp-p	150mVp-p	180mVp-p	240mVp-p	
	VOLTAGE TOLERANCE <span style="float:right">Note.4</span>	±5.0%	±5.0%	±5.0%	±3.0%	±3.0%	±3.0%	±3.0%	±2.5%	
	LINE REGULATION <span style="float:right">Note.5</span>	±1.0%	±1.0%	±1.0%	±1.0%	±1.0%	±1.0%	±1.0%	±1.0%	
	LOAD REGULATION	±5.0%	±5.0%	±5.0%	±3.0%	±3.0%	±3.0%	±3.0%	±2.5%	
	SETUP, RISE TIME <span style="float:right">Note.6</span>	1000ms, 50ms / 230VAC      1000ms, 50ms / 115VAC at full load								
HOLD UP TIME (Typ.)	50ms / 230VAC      15ms / 115VAC at full load									
INPUT	VOLTAGE RANGE	90 ~ 264VAC    135 ~ 370VDC								
	FREQUENCY RANGE	47 ~ 63Hz								
	EFFICIENCY (Typ.)	85.5%	88.5%	89%	89.5%	89.5%	89.5%	90.5%	92%	
	AC CURRENT (Typ.)	1.4A / 115VAC    1A / 230VAC								
	INRUSH CURRENT (max.)	65A / 230VAC								
LEAKAGE CURRENT(max.)	0.75mA / 240VAC									
PROTECTION	OVERLOAD	105 ~ 150% rated output power Protection type : Hiccup mode, recovers automatically after fault condition is removed								
	OVER VOLTAGE	5.25 ~ 6.75V	7.88 ~ 10.13V	9.45 ~ 12.15V	12.6 ~ 16.2V	15.75 ~ 20.25V	18.9 ~ 24.3V	25.2 ~ 32.4V	50.4 ~ 64.8V	
		Protection type : Shut down o/p voltage, re-power on to recover								
	OVER TEMPERATURE	Shut down o/p voltage, re-power on to recover								
ENVIRONMENT	WORKING TEMP.	-30 ~ +70°C (Refer to "Derating Curve")								
	WORKING HUMIDITY	20% ~ 90% RH non-condensing								
	STORAGE TEMP., HUMIDITY	-40 ~ +85°C, 10 ~ 95% RH								
	TEMP. COEFFICIENT	±0.03% / °C (0 ~ 40°C)								
	VIBRATION	10 ~ 500Hz, 2G 10min./1cycle, period for 60min. each along X, Y, Z axes								
SAFETY & EMC (Note. 7)	SAFETY STANDARDS	UL60950-1, TUV EN60950-1, BSMI CNS14336, CCC GB4943, J60950-1 approved								
	WITHSTAND VOLTAGE	I/P-O/P:3KVAC    I/P-FG:2KVAC    O/P-FG:0.5KVAC								
	ISOLATION RESISTANCE	I/P-O/P, I/P-FG, O/P-FG:100M Ohms / 500VDC / 25°C / 70% RH								
	EMC EMISSION	Compliance to EN55022 class B, EN61000-3-2,3, FCC PART 15 / CISPR22 class B, CNS13438 class B, GB9254, GB17625.1								
	EMC IMMUNITY	Compliance to EN61000-4-2,3,4,5,6,8,11, light industry level, criteria A								
OTHERS	MTBF	709.7K hrs min. MIL-HDBK-217F(25°C)								
	DIMENSION	125*50*31.5mm (L*W*H)								
	PACKING	0.305Kg; 40pcs/13.02Kg/1.05CUFT								
CONNECTOR	PLUG	Standard type P1J: 2.1φ * 5.5φ * 11mm, tuning fork type, center positive for stock ; Other type available by customer requested								
	CABLE	See page 3 ; Other type available by customer requested								
NOTE	<ol style="list-style-type: none"> <li>All parameters are specified at 230VAC input, rated load, 25°C 70% RH ambient.</li> <li>DC voltage: The output voltage set at point measure by plug terminal &amp; 50% load.</li> <li>Ripple &amp; noise are measured at 20MHz by using a 12" twisted pair terminated with a 0.1uf &amp; 47uf capacitor.</li> <li>Tolerance: includes set up tolerance, line regulation, load regulation.</li> <li>Line regulation is measured from low line to high line at rated load.</li> <li>Length of set up time is measured at first cold start. Turning ON/OFF the power supply may lead to increase of the set up time.</li> <li>The power supply is considered as an independent unit, but the final equipment still need to re-confirm that the whole system complies with the EMC directives.</li> </ol>									

### Derating Curve

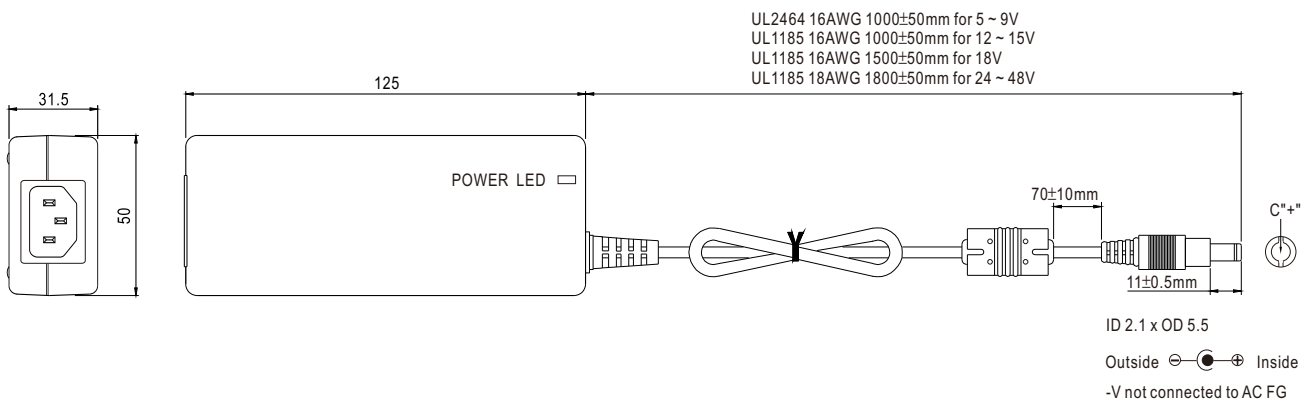


### Static Characteristics



### Mechanical Specification

Case No. GS60A Unit:mm



### Plug Assignment

Standard plug: P1J

P1J	
P/N	OUTPUT
CENTER	+

### Installation Manual

Please refer to : <http://www.meanwell.com/webnet/search/InstallationSearch.html>