



Universidad de Valladolid

Facultad de Ciencias

Trabajo Fin de Grado

Grado en Física

Modelado y caracterización del transistor MOSFET:

Extracción de parámetros

Autor: Diego Mallada Morales

Tutor/es: Salvador Dueñas Carazo

Resumen

El desarrollo de tecnologías de la información y su constante crecimiento han llevado a la necesidad de diseñar y fabricar dispositivos electrónicos cada vez más pequeños y rápidos. Es por ello por lo que se requieren de modelos y metodologías para la extracción de sus parámetros que sean de utilidad a la hora de fabricar estos dispositivos y los posteriores circuitos integrados. En este trabajo se realizará una revisión de los modelos más utilizados para el transistor MOSFET así como de algunos métodos de extracción de parámetros aplicados para este dispositivo.

Adicionalmente, se comprobará el uso de estas técnicas mediante la medición de ciertos parámetros de un transistor MOSFET.

Abstract

The development of the information technology and its constant growth have led to the need of design and create shorter and faster electronic devices. As a result of this demand, useful models and parameter extraction methodologies are required in order to fabricate these devices and the following integrated circuit. The aim of this project is to make a review of the more used models for the MOSFET as well as the parameter extraction methods applied to this devices.

In addition, some of this techniques will be corroborated by the measurement of few parameters of a particular MOSFET.

Índice

1	Introducción	1
1.1	Consideraciones generales sobre semiconductores	1
1.2	Unión p-n	4
1.3	Transistor MOS (Metal-óxido-semiconductor).....	6
1.3.1	Estructura del MOS.....	6
1.3.2	Capacidades del MOS	7
1.4	Objetivos	9
2	Transistor MOSFET	10
2.1	Estructura y modos de operación.....	10
2.2	Características I-V	13
2.3	Corriente sub-umbral.....	14
2.4	Característica C-V	15
2.5	Tipos de arquitectura del MOSFET	15
2.6	Tecnologías de diseño del MOSFET	17
2.6.1	Tecnología Bulk.....	17
2.6.2	Tecnología SOI	19
3	Métodos de caracterización y modelado de transistores MOS.....	21
3.1	Técnicas de caracterización	21
3.1.1	Mediciones de DC.....	21
3.1.2	Mediciones en AC.....	22
3.2	Efectos de canal corto.....	23
3.2.1	Variación de la tensión umbral.....	23
3.2.2	Efecto de canal corto inverso	24
3.2.3	Portadores calientes.....	25
3.3	Tipos de modelos	26
3.3.1	Modelos físicos estructurales.....	26
3.3.2	Modelos de circuito equivalente.....	26
3.4	Consideraciones para el modelado	29
3.5	Modelo de circuito equivalente en pequeña señal	31
3.6	Propiedades de los buenos modelos.....	34
4	Métodos de extracción de parámetros.....	35

4.1	Consideraciones generales sobre la extracción de parámetros.....	35
4.2	Configuraciones del MOSFET.....	36
4.3	Descripción de dispositivos experimentales.....	38
4.4	Parámetros en DC.....	40
4.4.1	Tensión umbral.....	40
4.4.2	Corriente de drenador frente a tensión de drenador.....	42
4.4.3	Corriente sub-umbral.....	44
4.4.4	Transconductancias.....	46
4.4.5	Resistencia del canal.....	49
4.5	Determinación de los elementos del circuito equivalente.....	51
4.5.1	Transconductancias.....	51
4.5.2	Capacidades.....	52
4.6	Resumen de los parámetros obtenidos.....	58
4.7	Consideraciones finales: Importancia de la extracción de parámetros.....	59
5	Futuros avances e investigaciones.....	61
6	Conclusiones.....	63
7	Índice de figuras.....	64
8	Bibliografía.....	66

1 Introducción

El crecimiento de las tecnologías de la información ha llevado a la necesidad de dispositivos electrónicos que procesen la información cada vez de forma más rápida y estable. Esta necesidad ha generado una gran demanda de dispositivos que operen a altas frecuencias. La caracterización y modelización de estos dispositivos es entonces de vital importancia para su desarrollo e implementación. En los siguientes apartados se revisará el desarrollo de la tecnología electrónica y la evolución de los dispositivos hasta llegar al MOSFET y sus modificaciones para sus aplicaciones en el rango de la radiofrecuencia (RF).

1.1 Consideraciones generales sobre semiconductores

Un semiconductor es un material que conduce mejor que un aislante, pero peor que un conductor, de ahí su nombre. El material semiconductor más usado actualmente es el silicio. Se considera ahora este material para la siguiente discusión, siendo válida para otros materiales semiconductores.

Un cristal puro de silicio (intrínseco) se ordena en una formación tridimensional de átomos a la que se le llama *red cristalina*. Los átomos de esta red se sostienen mediante electrones, llamados *electrones de valencia*, que forman enlaces con los átomos. A temperatura absoluta cero, estos átomos se mantienen fijos en la red y su carga negativa es anulada por la carga positiva de los átomos de la red. Según se aumenta la temperatura comienzan las vibraciones de la red debidas a la energía térmica, este movimiento térmico hace que los electrones se desliguen de su átomo. Estos electrones son los denominados "electrones libres", los cuales pueden moverse por la red, al contrario que los electrones restantes que siguen ligados a sus átomos. El movimiento coordinado de estos electrones libres produce un flujo de corriente. Como el átomo era eléctricamente neutro el movimiento de estos electrones produce una ruptura de la neutralidad dejando al átomo con una carga neta positiva.

Consideremos ahora dos átomos vecinos, A y B. Suponemos que se libera un electrón de A, dejando a A con una vacante de electrón y una carga neta positiva. Un electrón de valencia de B puede moverse a ocupar esa vacante creando una vacante en B (el electrón de B se ha movido de un estado ligado a otro, no es un electrón libre).

Como resultado de todo esto se obtiene que A es neutro de nuevo mientras que B ha adquirido una carga neta positiva, de esta forma un electrón de valencia de un átomo C puede ocupar la vacante de B y así sucesivamente.

Por tanto, se tienen dos formas de transportar cargas por el semiconductor:

- i) El movimiento de electrones libres alrededor de la red, transportando una carga negativa $-q$.
- ii) El movimiento de los electrones de valencia de un estado ligado de un átomo a otro que corresponde con un movimiento de las vacantes en sentido contrario y transportando una carga positiva. Este movimiento puede ser descrito por unas partículas ficticias de carga positiva q a las que se denominan *huecos*.

Al moverse por la red, los electrones libres y los huecos pueden encontrarse y aniquilarse entre ellos, es lo que llamamos *recombinación*.

En el semiconductor puro que se está considerando los huecos se producen por la liberación de un electrón de manera que se tiene el mismo número de electrones libres y huecos.

$$p_i = n_i$$

donde p_i y n_i son las concentraciones por unidad de volumen de huecos y electrones en un material intrínseco, respectivamente. Generalmente, se usa el símbolo n_i para denotar la concentración de portadores intrínseca.

Es posible variar el número de electrones libres respecto al de huecos introduciendo lo que se conoce como *impurezas* mediante el método de *dopado*, un semiconductor dopado es lo que se entiende como un semiconductor extrínseco. Dependiendo del tipo de átomo dopante utilizado, estos se pueden clasificar en donadores o aceptadores.

Si los dopantes añaden un electrón libre al material intrínseco se dice que son donadores, en el caso del silicio se suele dopar con fósforo, arsénico y antimonio (elementos del grupo VI de la tabla periódica). Si todos los átomos donadores están ionizados entonces la contribución de electrones libres es mucho mayor que la concentración intrínseca, n_i , y la concentración de electrones libres, n_o , será aproximadamente igual a la concentración de donadores, denotada por N_D .

$$n_o \approx N_D$$

Con tantos electrones moviéndose alrededor de la red, la posibilidad de recombinación aumenta significativamente, lo que conlleva a una disminución de la concentración de huecos, de hecho, disminuirá de la misma forma que se incrementa n_o . Así, el producto de $n_o p_o$ es el mismo que en el caso intrínseco.

$$p_o \approx \frac{n_i^2}{N_D}$$

A estos semiconductores dopados con impurezas donadoras se les llama de tipo n.

En lugar de aumentar la cantidad de electrones en movimiento como en el caso anterior, es posible aumentar la población de huecos introduciendo dopantes con un electrón de valencia menos que los de los átomos de la red intrínseca. Estas impurezas roban o aceptan un electrón de valencia de la red intrínseca de ahí su nombre, *aceptadoras*. Para el silicio los aceptadores usados habitualmente son el boro, el galio y el indio (elementos del grupo III de la tabla periódica). Al igual que en el caso anterior, la contribución de huecos de los aceptadores, N_A , es mucho mayor que la concentración de huecos intrínseca, n_i , por lo que la concentración de huecos es:

$$p_o \approx N_A$$

Y al igual que en el caso de los donadores, el producto $n_o p_o$ es igual al caso intrínseco,

$$n_o \approx \frac{n_i^2}{N_A}$$

Estos semiconductores se denominan de tipo p.

Estas aproximaciones no serían válidas en los casos de temperaturas extremadamente altas o bajas o la concentración de dopantes sea excesivamente alta [1].

1.2 Unión p-n

Un dispositivo semiconductor muy simple pero fundamental es la unión p-n, también conocido como diodo de unión [2]. Este dispositivo es fabricado por difusión térmica [3] o por la implantación de dopantes tipo-p en un sustrato tipo- n, o viceversa. La diferencia entre los lados n y p no tiene por qué deberse únicamente al tipo de dopado, estas uniones pueden realizarse entre dos semiconductores distintos, lo que recibe el nombre de *heterouniones* [4]. Esta implantación o difusión de dopantes no es uniforme. El conjunto de puntos donde las concentraciones de dopantes ionizados son iguales se llama unión metalúrgica, también referida generalmente como unión p-n o unión simple [3]. Si los cambios de dopado se producen abruptamente en la frontera que divide ambas partes y siendo la concentración de dopantes uniforme en cada lado, se dice que se tiene una unión abrupta. Esta unión cuenta con dos capas metálicas en la parte superior e inferior para poder conectar la unión a un circuito, estos contactos se llaman *contactos óhmicos* y conducen bien en ambas direcciones [1].

Este dispositivo puede verse como si estuviera formado por tres regiones. La formación de la unión produce un desplazamiento de portadores por difusión que genera una región intermedia, llamada ZCE (zona de carga espacial), donde está contenida la unión metalúrgica. En las otras dos regiones de los lados el potencial eléctrico es prácticamente constante por lo que se pueden considerar a estas regiones eléctricamente neutras [3].

Esta unión puede ser polarizada en directa o en inversa. Si se aplica una tensión más positiva en el lado p que en el lado n, la unión está en polarización directa; en el caso contrario está polarizada en inversa. La curva característica I-V de la unión es:

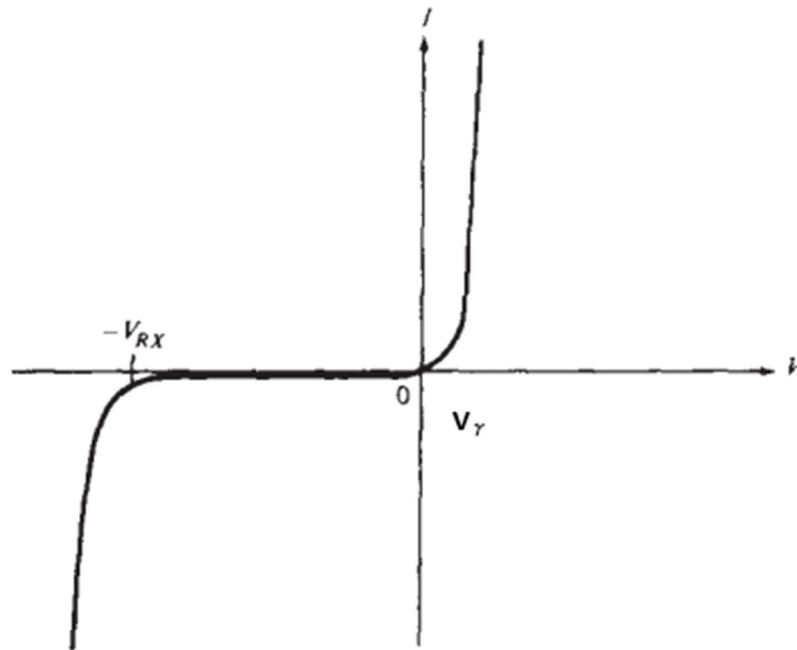


FIGURA 1. CARACTERÍSTICA I-V DE LA UNIÓN P-N.

Donde V_{RX} es la tensión de ruptura de la unión y V_{γ} la tensión umbral a partir de la cual empieza a conducir el diodo [1].

1.3 Transistor MOS (Metal-óxido-semiconductor)

1.3.1 Estructura del MOS

La estructura MOS consiste en tres capas: Un electrodo metálico de baja resistividad llamado *puerta* (o *gate* en inglés), el óxido aislante (generalmente SiO_2), y el semiconductor de tipo-p o tipo-n (generalmente Si) sobre la que se basan las demás capas llamada *sustrato*. En este caso se considerará un sustrato de tipo-p pero la descripción de su funcionamiento es equivalente para uno de tipo-n. La estructura MOS forma un condensador, donde la puerta y el sustrato actúan como los dos terminales (placas) y la capa de óxido como dieléctrico. La concentración de portadores y su distribución puede ser controlada por la aplicación de voltajes externos a los terminales de puerta y sustrato.

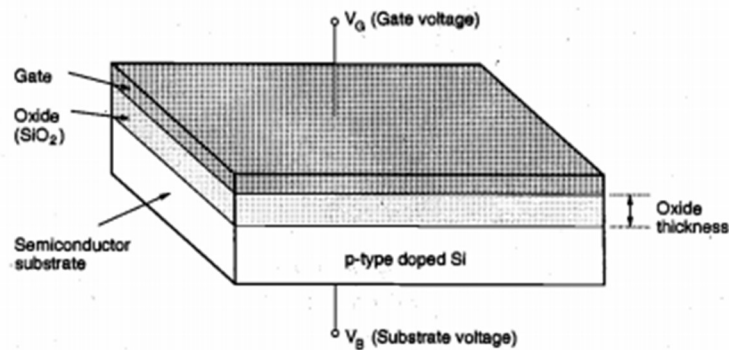


FIGURA 2. ESTRUCTURA MOS

El comportamiento eléctrico de la estructura viene dado por la aplicación de esos voltajes. Se asume que el voltaje en el sustrato es cero, $V_B = 0$, y el parámetro controlador es la tensión de puerta, V_G . Dependiendo de la polaridad y la magnitud de V_G , se pueden observar tres regímenes de operación: *acumulación*, *vaciamiento* e *inversión*.

Si se aplica un voltaje V_G negativo a la puerta, los huecos del sustrato tipo-p son atraídos hasta la interfaz óxido-semiconductor. La concentración de portadores mayoritarios (huecos) cerca de la superficie es mayor que la concentración de huecos del sustrato en el equilibrio mientras que los electrones (portadores minoritarios) disminuyen su concentración al ser repelidos por ese potencial negativo de la puerta. A esta condición se la llama régimen de acumulación.

Ahora se aplica un pequeño voltaje positivo V_G a la puerta, en este caso los portadores mayoritarios (huecos) son empujados hasta el fondo del sustrato. Bajo estas condiciones la zona cercana a la interfaz óxido-semiconductor está casi vaciada de portadores, de ahí que se llame régimen de vaciamiento.

Si se aumenta aún más esa tensión positiva V_G en la puerta, hasta superar un cierto valor V_T (tensión umbral), los portadores minoritarios (electrones) son atraídos hasta la interfaz óxido-semiconductor por lo que la concentración de electrones es mayor que la concentración de huecos creándose así una región tipo n en esa zona, llamada *capa de inversión* o *canal*. Esta fina capa, con una gran concentración de electrones libres, puede ser usada para la conducción de corriente entre dos terminales del transistor MOS. La creación de esta capa es un fenómeno esencial para la conducción de corriente en el transistor MOS [5].

1.3.2 Capacidades del MOS

La capacidad del condensador formado por la estructura MOS dependerá del régimen de polarización en el que se encuentre.

$$C = \frac{dQ}{dV_G}$$

En acumulación la estructura se comporta como un condensador plano, la capacidad no depende de la polarización ni de la frecuencia de los portadores mayoritarios.

$$C_{acum} = C_{ox} = \frac{\epsilon_o \epsilon_{ox}}{d_{ox}}$$

Donde ϵ_{ox} y d_{ox} son la permitividad eléctrica y el espesor del óxido respectivamente.

En vaciamiento la estructura se comporta como dos condensadores planos en serie, correspondientes a la parte del óxido (C_{ox}) y a la ZCE del semiconductor (C_D), la capacidad depende de la polarización.

$$\frac{1}{C_{vac}} = \frac{1}{C_{ox}} + \frac{1}{C_D} = \left[\frac{1}{C_{ox}^2} + \frac{2V_G}{qN_A \epsilon_o \epsilon_{sc}} \right]^{\frac{1}{2}}$$

En inversión se distinguen dos casos según la frecuencia de la señal. Para baja frecuencia responden los portadores minoritarios del canal de inversión y la capacidad coincide con la capacidad del óxido. Para alta frecuencia (del orden de decenas o cientos de MHz) responden los portadores mayoritarios, los electrones de la capa de inversión no son capaces de seguir las variaciones de la tensión de puerta ya que están aislados del exterior por el óxido de la puerta en la parte superior y por la zona vaciada en la inferior. La capa de inversión solo puede cambiar mediante mecanismos de generación y recombinación que suelen ser mucho más lentos que la frecuencia aplicada [6].

La curva característica C-V para los tres regímenes es:

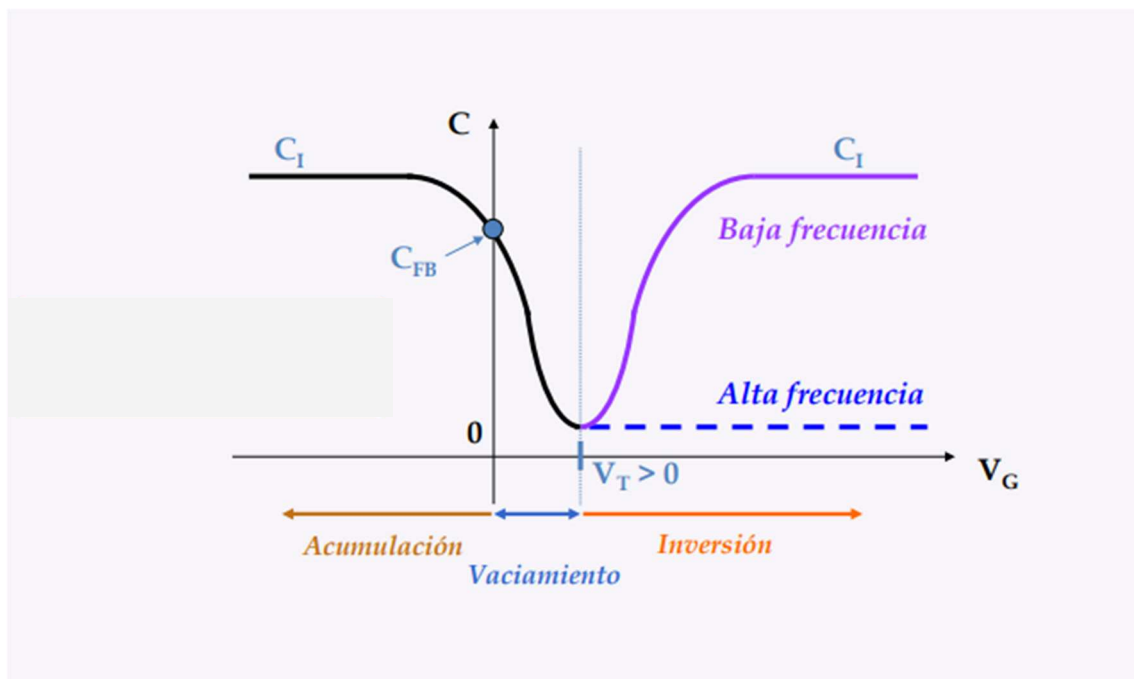


FIGURA 3. CARACTERÍSTICA C-V DEL TRANSISTOR NMOS.

1.4 Objetivos

El objetivo de este trabajo es realizar una revisión de los métodos de caracterización y modelado del transistor MOSFET, estudiando la importancia de sus propiedades para el desarrollo de circuitos integrados en el rango de radiofrecuencia. Por último, se realizará la comprobación de algunas de estas técnicas mediante medidas de un transistor MOSFET de canal-n modelizado por el circuito equivalente simplificado en régimen de pequeña señal.

2 Transistor MOSFET

2.1 Estructura y modos de operación

La estructura MOSFET (*MOS field-effect transistor* o transistor MOS de efecto de campo) se diferencia de la estructura MOS en la incorporación de difusores dopados de los portadores minoritarios a los contactos de drenador y fuente. Debido a estas difusiones los portadores minoritarios ya no se encuentran aislados como en el caso de la estructura MOS, por lo que la capa de inversión puede cambiar no solo por mecanismos de generación y recombinación sino también por efectos de conducción lateral [7]. En el caso del MOS de sustrato tipo p se incluyen difusiones N^+ y el MOSFET resultante se denomina MOSFET de canal n.

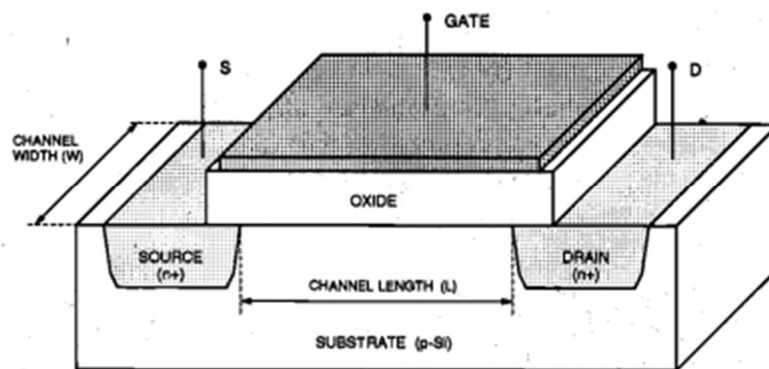


FIGURA 4. ESTRUCTURA MOSFET.

El canal conductor se formará mediante la aplicación de una tensión de puerta en la sección del dispositivo entre las regiones de difusión de la fuente y el drenador. A la distancia entre estas dos regiones se la llama longitud de canal, L y la extensión lateral del canal (perpendicular a la longitud del canal, como se muestra en la Figura 4) se llama anchura del canal, W . Estos dos parámetros son de enorme relevancia para la caracterización eléctrica del MOSFET. Otro parámetro a tener en cuenta es el espesor del óxido de puerta, t_{ox} .

El MOSFET se describe de forma más general mediante cuatro terminales: la puerta (G, *gate*), el drenador (D, *drain*), la fuente (S, *source*) y el sustrato (B, *bulk*). En un MOSFET de canal n la fuente se define como la región n+ con un potencial menor que la otra región n+, el drenador. Por convenio se refieren todos los voltajes de terminal con respecto a la fuente. V_{GS} es la tensión puerta-fuente, V_{DS} la tensión drenador-fuente y V_{BS} la tensión sustrato-fuente.

El principio de funcionamiento de este dispositivo se basa en controlar la corriente de conducción entre drenador y fuente utilizando el campo eléctrico generado por la tensión de puerta como variable de control. Esta corriente que circula por el canal (corriente de canal o también corriente de drenador) también depende de la tensión drenador-fuente (V_{DS}) y del voltaje de sustrato. Conocer las relaciones funcionales entre la corriente de canal (o drenador) y las tensiones de los terminales es clave para la modelización del dispositivo, pero para que circule corriente primero debe formarse un canal.

La condición de polarización más simple que se puede aplicar al MOSFET de canal n es conectar fuente, drenador y sustrato a tierra y aplicar una tensión positiva de puerta V_{GS} para formar el canal. En esta configuración la región entre los dos difusores se comporta como una estructura MOS simple, para tensiones V_{GS} pequeñas los portadores mayoritarios (huecos) son repelidos hacia el fondo del sustrato y la región entre difusores es vaciada de cualquier portador, por lo que es imposible el flujo de corriente. Si esa corriente V_{GS} se incrementa, se llega a establecer la capa de inversión entre drenador y fuente. Este canal forma una conexión eléctrica entre las dos regiones N+ y permite el flujo de corriente entre ellas siempre que haya una diferencia de potencial entre drenador y fuente, es decir, V_{DS} sea distinto de 0. El valor necesario para producir la inversión se llama *voltaje umbral*, V_T , el cual es un parámetro muy significativo en la operación del MOSFET. Cualquier valor de la tensión puerta-fuente menor que la tensión umbral no será suficiente para establecer la capa de inversión y, por tanto, el canal. Esto quiere decir que el MOSFET no puede conducir corriente si $V_{GS} < V_T$, se dice que el dispositivo está en corte. Por otro lado, incrementar el valor de V_{GS} muy por encima del valor umbral no afecta a la superficie de inversión ni a la profundidad de la región de vaciamiento.

Respecto a la influencia de la polarización drenador-fuente se tiene que para $V_{DS} = 0$, existe un equilibrio térmico en la región de inversión y la corriente de drenador, I_D , es cero. Si se aplica una pequeña tensión de drenador $V_{DS} > 0$, la corriente de drenador resultante, I_D , es proporcional a ese voltaje, así el canal forma un camino continuo del drenador a la fuente, este modo de operación se conoce como *modo lineal*, o *región lineal*. Es decir, en este modo el canal actúa como un resistor controlado por el voltaje.

Al seguir aumentando esta tensión V_{DS} , la carga de la capa de inversión y la profundidad del canal en el drenador van disminuyendo. Finalmente, para $V_{DS} = V_{DSAT}$, la carga de inversión en el drenador será reducida a cero, este punto es el llamado *pinch-off point*, el canal se “estrangula”.

Para valores de la tensión de drenador mayores que la de saturación, se entra en el denominado *modo de saturación*. Para este modo de operación, la longitud de canal efectiva se reduce a medida que desaparece la capa de inversión próxima al drenador, mientras que el voltaje en ese extremo del canal permanece prácticamente constante e igual a V_{DSAT} [5].

La correcta comprensión de estos modos de operación, así como de los factores involucrados en ellos es clave para el modelado del transistor MOSFET y su futura incorporación en circuitos digitales.

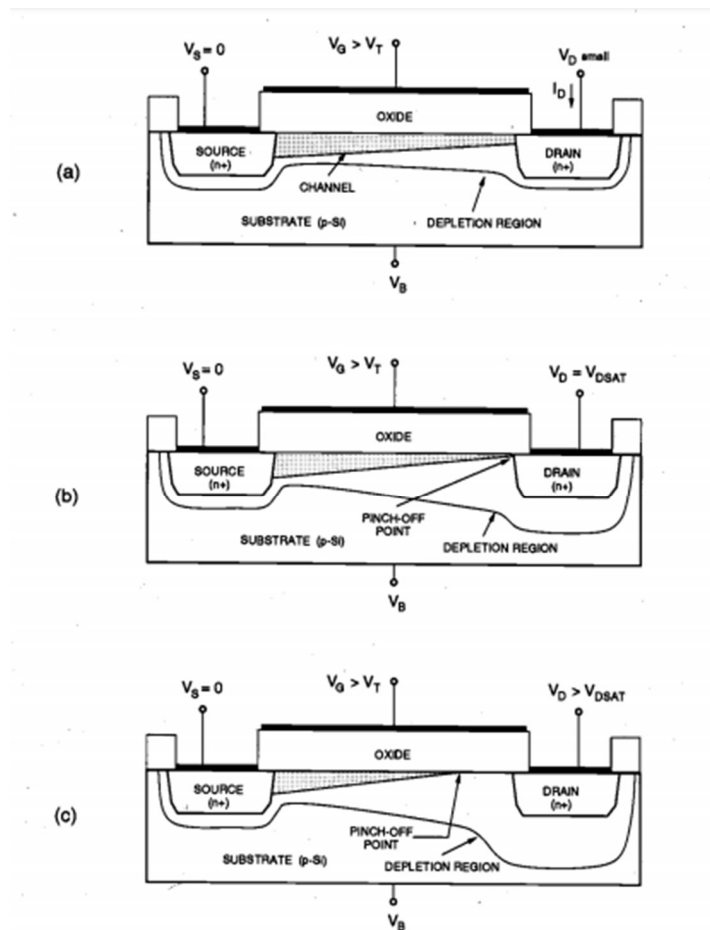


FIGURA 5. MODOS DE OPERACIÓN DEL NMOSFET.

2.2 Características I-V

Las relaciones analíticas de corriente-voltaje pueden tener una derivación muy compleja, es por ello por lo que se necesitan una serie de aproximaciones para simplificar su obtención. Utilizando la aproximación de canal gradual, que supone que el voltaje varía gradualmente del drenador a la fuente, se pueden deducir las relaciones buscadas [5] [8].

$$I_{DS} = \begin{cases} 0 & \text{para } V_{GS} < V_T \\ \mu_N C_{ox} \frac{W}{L} \left(V_{GS} - V_T - \frac{1}{2} V_{DS} \right) V_{DS} & \text{para } V_{GS} > V_T, V_{DS} < V_{DSAT}, \\ \frac{1}{2} \mu_N C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 & \text{para } V_{GS} > V_T, V_{DS} > V_{DSAT} \end{cases} \quad (2.1.)$$

Donde μ_N es la movilidad de electrones, la cual depende del dopado del canal.

Los diferentes regímenes se pueden observar en la Figura 6, que representa la corriente de drenador en función de la tensión de drenador.

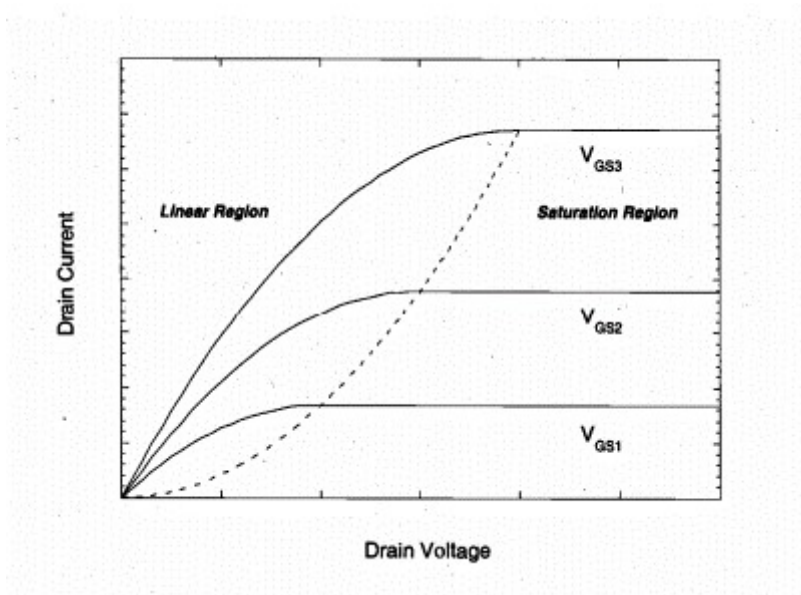


FIGURA 6. ID EN FUNCIÓN DE VDS PARA DISTINTAS VGS.

Y la corriente de drenador en función de la tensión de puerta se representa en la Figura 7, lo que permite el cálculo de la tensión umbral.

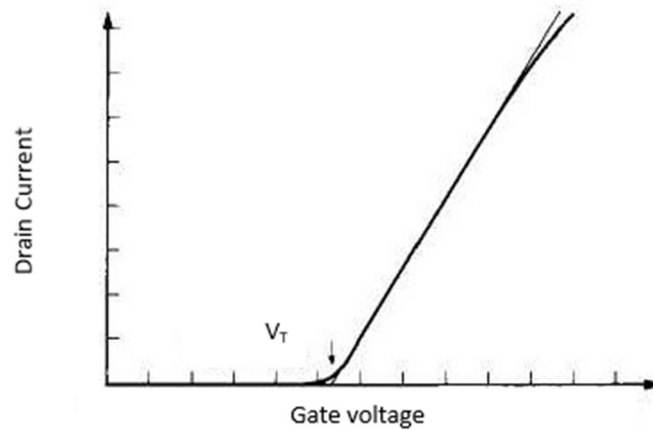


FIGURA 7. TENSION UMBRAL.

2.3 Corriente sub-umbral

En la región de corte, donde $V_{GS} < V_T$, decíamos que no existía canal y, por tanto, no fluía corriente entre drenador y fuente, $I_{DS} = 0$. Sin embargo, en los dispositivos reales, para $V_{GS} < V_T$, existe una corriente que decae exponencialmente llamada *corriente subumbral o de fuga*. En régimen de inversión débil, la región tipo p está pasando a ser tipo n, pero al ser débil, la concentración de electrones es aún menor que la de huecos. Es por esto por lo que la corriente subumbral se debe principalmente a la difusión de portadores [9].

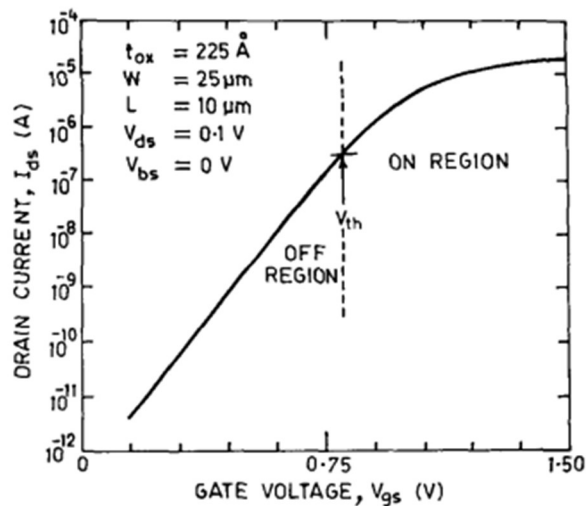


FIGURA 8. EJEMPLO DE CORRIENTE SUBUMBRAL.

2.4 Característica C-V

Para el transistor MOSFET el comportamiento del dispositivo como condensador es similar al de la estructura MOS, la principal diferencia radica en las implantaciones de portadores minoritarios. Estas implantaciones mejoran la respuesta a altas frecuencias del dispositivo al no tener que generar los portadores térmicamente. Para el MOSFET las bajas frecuencias son del orden de MHz mientras que para el MOS eran del orden de Hz.

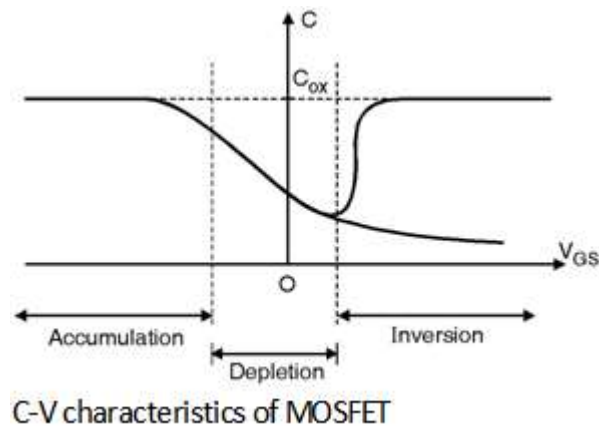


FIGURA 9. CARACTERÍSTICA C-V DEL MOSFET.

2.5 Tipos de arquitectura del MOSFET

La estructura básica del MOSFET anteriormente mostrada posee un valor de voltaje de ruptura relativamente bajo, por lo que sólo se emplea para aplicaciones de baja potencia. Para aplicaciones de alta potencia en el rango de RF, se modifica la estructura del MOSFET integrándose en dos arquitecturas básicas, lateral y vertical. Estos dispositivos se denominan LDMOSFET (MOSFET de difusión lateral) [10] y VDMOSFET (MOSFET de difusión vertical) [11].

Los VDMOSFETs se basan en la conducción vertical, aprovechan todo el volumen de semiconductor para optimizar la caída de tensión en conducción y conseguir una mayor corriente nominal. Debido al uso de un sustrato muy poco dopado, los dispositivos verticales pueden soportar mayores tensiones que los laterales. La alta tensión se suele aplicar en la cara posterior unida directamente sobre sustratos PCB (*Printed Circuit*

Board o tarjeta de circuito impreso), evitando los hilos de soldadura que aumentan los valores de las inductancias parásitas que limitan su uso a frecuencias medias-bajas. En general, los transistores VDMOSFET se destinan a aplicaciones de mayor potencia que los LDMOSFET debido a que su mayor volumen les proporciona mayor capacidad para conducir corrientes elevadas. Sin embargo, este aumento de volumen degrada dos parámetros básicos en dispositivos de RF: la impedancia total de salida en conducción y las capacidades intrínsecas. De este modo, la frecuencia máxima de funcionamiento de los VDMOSFET se ve reducida con respecto a los LDMOSFET.

Los LDMOSFETs tienen todos sus contactos en la misma cara de la oblea de silicio y la conducción es paralela a la superficie, facilitando su integración monolítica en circuitos analógicos y digitales. Se introducen regiones LDD n- (*light doped drain* o drenador ligeramente dopado) entre el canal y la implantación n+ del drenador para la disminución de la degradación de los transistores debida al efecto de portadores calientes [12].

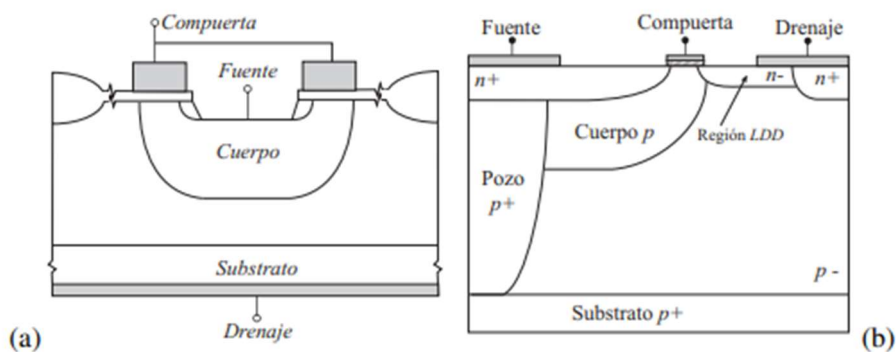


FIGURA 10. A) VDMOSFET. B) LDMOSFET.

Al introducir las difusiones laterales se reduce el campo eléctrico máximo en las regiones de las implantaciones de drenador y fuente cercanas al canal y se suprime el efecto de DIBL (*drain-induced barrier lowering* o reducción de la barrera de potencial inducida a través del drenador) debido a la caída de tensión a través de la región LDD. Sin embargo, efectos de segundo orden ocurren en esta estructura, ya que el voltaje de polarización controla la densidad de portadores superficiales en la región n- bajo la puerta. Adicionalmente, la densidad de portadores debajo del canal es modulada por la zona de agotamiento en la región n-, que a su vez es determinada por concentración de dopado y la polarización de la puerta.

Debe entonces considerarse para el modelado de un transistor LDD, que la resistencia originada por las regiones de fuente (R_S) y drenador (R_D) es función del voltaje de polarización.

Por lo tanto, la resistencia del canal (R_{ch}) así como R_S y R_D , componentes principales de la resistencia total de salida del MOSFET, son dependientes del voltaje de puerta.

2.6 Tecnologías de diseño del MOSFET

Con el fin de relacionar los parámetros tecnológicos con las características del MOSFET es necesario presentar las dos principales tecnologías de fabricación y sus diferencias: i) tecnología sobre sustrato de Silicio (*bulk*) y ii) tecnología sobre sustrato aislante *Silicon-on-Insulator* (SOI) o *Silicon-on-Sapphire* (SOS).

2.6.1 Tecnología Bulk

La tecnología bulk ha sido, hasta hace algún tiempo, la única tecnología de fabricación disponible a nivel comercial para diseñar circuitos integrados CMOS.

La región dopada tipo p, usualmente referida como sustrato o *bulk*, sirve como soporte para el dispositivo (o para todo el circuito en el caso de un circuito integrado). Ésta es conectada a través de una implantación tipo p+ para proporcionar un contacto óhmico al sustrato. Una delgada capa de óxido, generalmente SiO_2 que es un excelente aislante, se crece en la superficie del sustrato, cubriendo el área entre las regiones de fuente y drenador. Sobre el óxido se deposita polisilicio para formar la puerta del dispositivo.

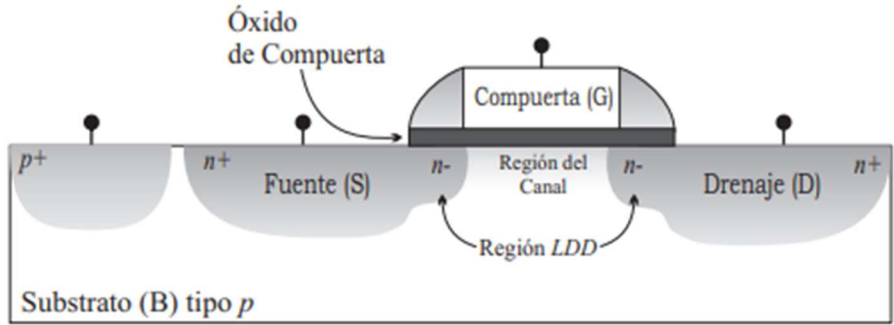


FIGURA 11. MOSFET FABRICADO POR TECNOLOGÍA BULK.

La estructura bulk ha sido durante mucho tiempo la base de la industria de los circuitos integrados. No obstante, su rápida “escalabilidad” ha hecho necesaria la inclusión de nuevas estructuras con la finalidad de mejorar el rendimiento del MOSFET. Sirva como ejemplo de esto la introducción de la estructura de fuente y drenador elevados ($\bar{E}S/D$) que evita que parte de las implantaciones de drenador y fuente sean consumidas por el polisilicio en el proceso de metalización de los contactos, disminuyendo el riesgo de fugas debido a la proximidad del contacto al sustrato [13].

La tecnología bulk presenta una serie de inconvenientes, como el acoplamiento eléctrico a través del sustrato, que se hace más importante a medida que aumenta la frecuencia de operación. Es por esto por lo que en ciertas aplicaciones de alta frecuencia se emplean sustratos con una capa que aísla al silicio activo del silicio que sirve como soporte mecánico. Este caso se expone a continuación.

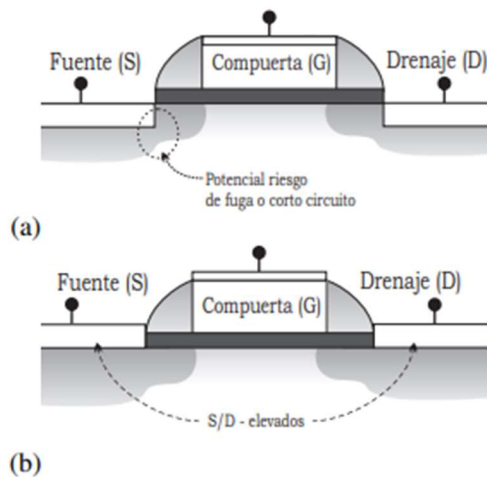


FIGURA 12. COMPARATIVA ENTRE A) ESTRUCTURA MOSFET Y B) ESTRUCTURA DE FUENTE Y DRENADOR ELEVADOS.

2.6.2 Tecnología SOI

La arquitectura básica de un dispositivo fabricado con tecnología SOI se muestra en la Figura 13. La capa activa de silicio se sitúa sobre el óxido, comúnmente SiO_2 , que la aísla del sustrato tipo p que tiene un carácter únicamente estructural. El objetivo de implementar una capa aislante entre la capa activa de silicio y el sustrato es la reducción de los tiempos de conmutación y, por lo tanto, el aumento de la frecuencia de operación. Por otro lado, el aislamiento inherente al sustrato permite integrar circuitos analógicos y digitales en un mismo chip sin que estos se vean afectados por corrientes de fuga hacia el mismo, tal como ocurre en la tecnología *bulk*. Otro factor a tener en cuenta es que estos dispositivos no son afectados por el *efecto de cuerpo*, ya que el sustrato no está conectado ni a tierra ni a V_{DD} [14]. Los dispositivos SOI han sido ampliamente estudiados en los últimos años debido a su potencial como una tecnología para altas frecuencias de operación.

Sin embargo, la tecnología SOI afronta limitaciones adicionales a su alto coste de producción en masa, como *el efecto de cuerpo flotante*, que se asocia con el alto campo eléctrico cercano a las uniones del drenador y la fuente con el canal. Este efecto produce altas corrientes de fuga que afectan severamente el voltaje de umbral. Además, el SOI MOSFET tiene dos dispositivos parásitos inherentes, un MISFET (transistor de efecto de campo metal-aislante-semiconductor) formado entre el contacto del sustrato, el óxido y el sustrato mecánico, y un FET, formado debido a la superposición de la puerta sobre la región activa fuera del canal. Ambos efectos parásitos pueden causar corrientes de fuga significativas degradando el correcto funcionamiento del SOI MOSFET [15].

La industria no se ha decantado por ninguna técnica en particular; sin embargo, la mayoría ha cambiado su proceso de fabricación de la tecnología *bulk* convencional a la tecnología SOI, por sus características de bajo consumo de potencia y buenas prestaciones [16].

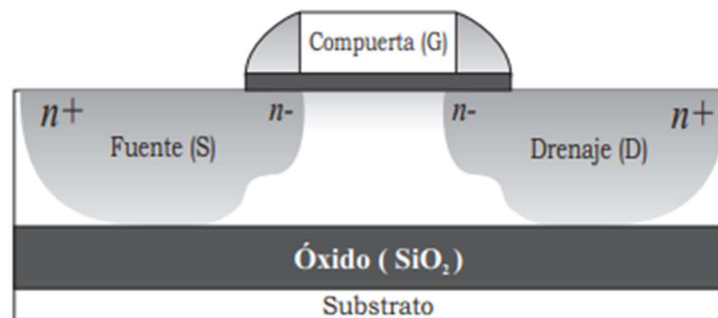


FIGURA 13. ESTRUCTURA SOI MOSFET.

Otra tecnología similar es la llamada tecnología SOS (Silicon-on-Sapphire), en la que se usa zafiro como sustrato ya que tiene un parámetro de red similar al del silicio. Esta tecnología se beneficia de la baja capacidad del sustrato y de un alto factor de calidad. Las estructuras creadas por tecnología SOS ofrecen unas prestaciones sustancialmente mejores. Los circuitos MOSFET que utilizan esta tecnología tienen mayores densidades de integración con capacidades reducidas, lo que los hace ideales para aplicaciones en RF. Los principales inconvenientes son su baja calidad estructural y su elevado coste [17].

3 Métodos de caracterización y modelado de transistores MOS

Numerosos modelos de caracterización de las propiedades del MOSFET han sido propuestos para la descripción de su operación en diferentes regímenes. No obstante, debido a la rápida y constante evolución de las tecnologías, estos modelos deben ser revisados y evaluados regularmente. En esta sección se presentarán las técnicas de caracterización habitualmente utilizadas, así como los tipos de modelos más empleados para el MOSFET en RF.

3.1 Técnicas de caracterización

Se han desarrollado diferentes técnicas de caracterización para determinar correctamente los parámetros que describen la operación del MOSFET. Entre las más comunes se encuentran las que se basan en mediciones de DC y las que se basan en mediciones AC.

3.1.1 Mediciones de DC

Este tipo de mediciones se realizan para determinar las características I-V del dispositivo. Requieren básicamente de un voltímetro y un amperímetro, por lo que son sencillas de implementar. En la actualidad se utilizan equipos más avanzados como los analizadores de parámetros semiconductores que permiten una mayor precisión y un proceso más automatizado.

Con este tipo de mediciones se pueden extraer parámetros como el voltaje umbral, la longitud de canal efectiva o las resistencias parásitas de fuente y drenador. El método de extrapolación en la región lineal y el método de extrapolación por transconductancia para determinar el voltaje umbral son ejemplos de métodos derivados de mediciones en DC [18] [19].

3.1.2 Mediciones en AC

Son el tipo de mediciones más importantes en la actualidad. Permiten la extracción de información acerca del dispositivo a través de los parámetros de dispersión (parámetros S) [20]. Dos formas de realizar este tipo de mediciones son:

- i) Fijando el punto de operación del transistor. Esto permite obtener modelos mediante la extracción directa de sus elementos constitutivos, resaltando o minimizando algunos de sus efectos de acuerdo con el estímulo de voltaje aplicado. Un ejemplo es la extracción de las resistencias en serie R_s y R_d . En este método se ignoran los efectos producidos por el voltaje en directa aplicado, como el atrapamiento de carga o los efectos térmicos del transistor [1].
- ii) Utilizando pulsos sobre el voltaje de polarización. Permite modelar los efectos no lineales, como las corrientes de fuga en las uniones de fuente y drenador con el sustrato o a través de la puerta, el efecto de atrapamiento de cargas en la región del canal (relacionado con la ionización por impacto) o los efectos de autocalentamiento del transistor.

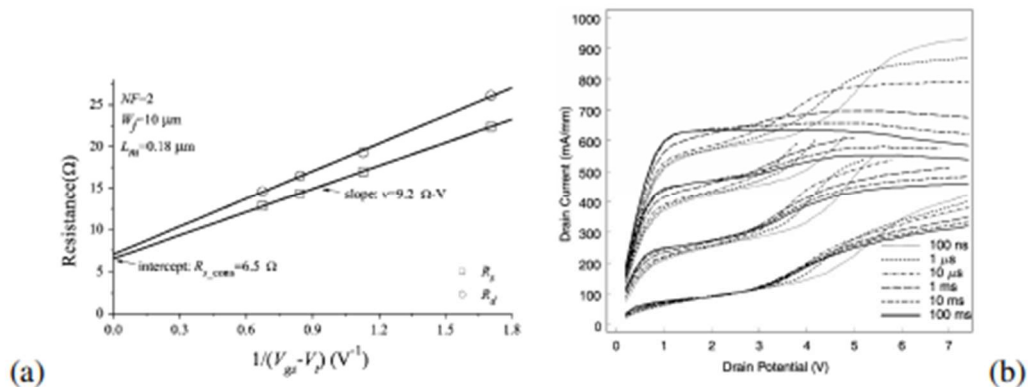


FIGURA 14. EJEMPLOS DE MEDICIONES AC. A) CON POLARIZACIÓN FIJA. B) APLICANDO PULSOS.

Una de las mayores complicaciones a la hora de caracterizar el MOSFET es que se trata de un dispositivo de cuatro terminales, lo que incrementa la dificultad de las mediciones de parámetros S. Es por eso por lo que se suelen utilizar configuraciones, como la configuración fuente-sustrato común, para simplificar su estudio.

3.2 Efectos de canal corto

Uno de los sellos distintivos de la industria de semiconductores es la continua reducción de las dimensiones de los circuitos con la introducción de cada nueva generación tecnológica. Esto lleva a un aumento constante en la velocidad y en la complejidad de circuitos por unidad de área. Sin embargo, si la longitud del canal se hace demasiado corta con respecto al espesor de la región de vaciamiento, alrededor de la fuente y el drenador, aparecen unos efectos indeseados denominados *efectos de canal corto*. Algunos de los más importantes son:

3.2.1 Variación de la tensión umbral

La tensión umbral en dispositivos de canal largo puede ser considerada independiente de la longitud del canal o del ancho del transistor. Para dispositivos de canal corto, esta va a depender de la longitud, L , y la anchura, W , del canal, de la tensión fuente-sustrato y de la tensión drenador-fuente dando lugar a una nueva magnitud llamada *tensión umbral efectiva*.

En dispositivos de canal corto se acentúa más el hecho de que la barrera de potencial es controlada no solo por la tensión de puerta sino por la tensión de drenador. Así, al incrementar la tensión de drenador la barrera del potencial decrece, efecto DIBL. Se produce una disminución de la tensión umbral efectiva según decrece L .

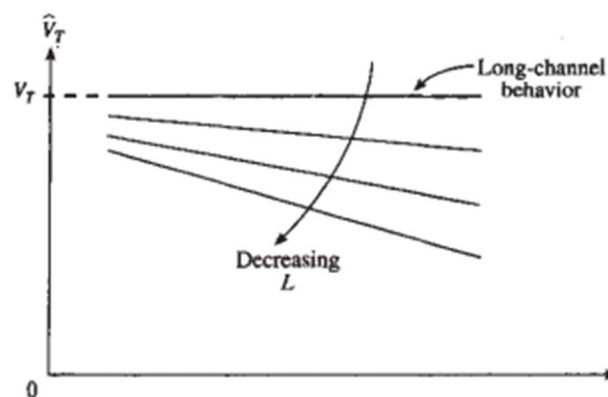


FIGURA 15. VARIACIÓN DE LA TENSIÓN UMBRAL EFECTIVA EN FUNCIÓN DE LA TENSIÓN DE DRENADOR PARA DIFERENTES LONGITUDES DE CANAL.

Otro efecto producido por la disminución de la longitud del canal es el mayor vaciamiento de la región bajo la capa de inversión, como se observa en la Figura 16.

Por lo tanto, crear una región de vaciamiento completa requerirá de tensiones de puerta relativamente más bajas.

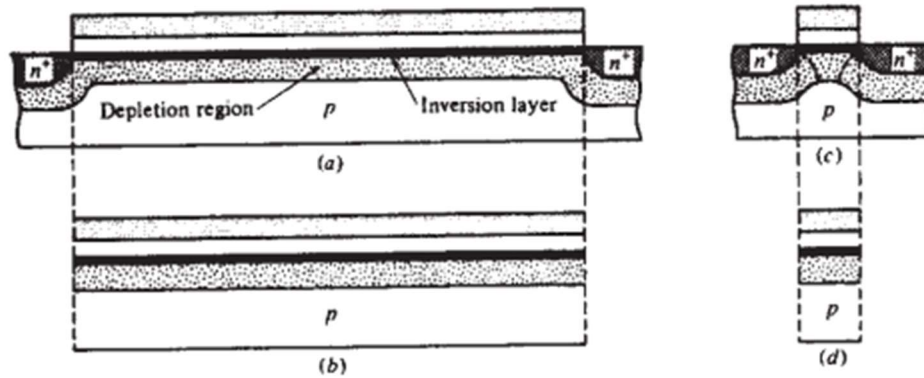


FIGURA 16 (A) TRANSISTOR DE CANAL LARGO; (B) CANAL DE (A); (C) TRANSISTOR DE CANAL CORTO; (D) CANAL DE (C).

3.2.2 Efecto de canal corto inverso

Como se ha mencionado anteriormente, la tensión umbral efectiva disminuye a la vez que lo hace la longitud del canal. Sin embargo, se suele observar que ésta primero aumenta según disminuye L , para valores relativamente pequeños de L , antes de volver a disminuir como se había predicho. Este efecto es el llamado *efecto de canal corto inverso*. Se atribuye a la formación de una heterogeneidad en el dopado que resulta en una tensión umbral efectiva no uniforme.

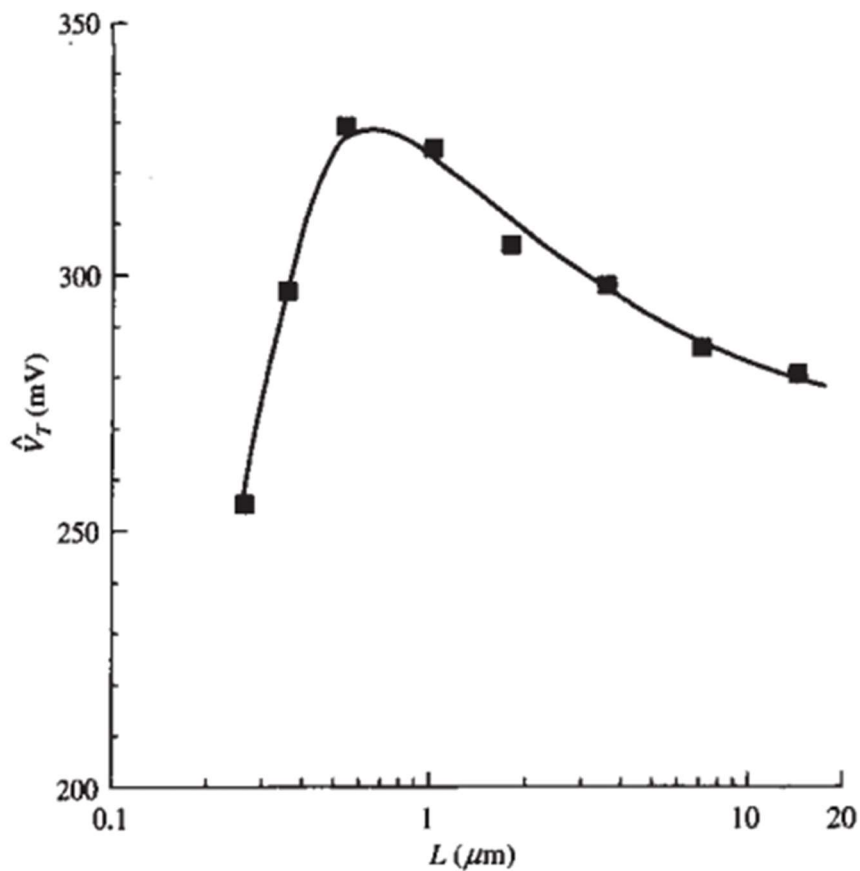


FIGURA 17. EFECTO DE CANAL CORTO INVERSO EN LA TENSIÓN UMBRAL EFECTIVA.

3.2.3 Portadores calientes

En los dispositivos de canal corto se generan altos campos eléctricos longitudinales en el canal que aceleran los portadores, algunos de estos portadores adquieren una cantidad significativa de energía, los cuales son llamados *portadores calientes*. Estos portadores pueden colisionar con los átomos de silicio ionizándolos, *ionización por impacto*, mientras se generan pares electrón-hueco. Los electrones generados son atraídos por el drenador mientras que los huecos son absorbidos por el sustrato para formar parte de la corriente parásita de éste [1] [21]

3.3 Tipos de modelos

La reducción de las dimensiones del MOSFET proporciona ciertas ventajas como el menor consumo de potencia, mayor frecuencia de corte y menor área en el chip. Sin embargo, esta reducción de dimensiones y aumento de la frecuencia de operación hacen que la representación del funcionamiento del MOSFET se vuelva más compleja. Esto es debido a algunos efectos que han dejado de ser despreciables. Por lo tanto, se requieren nuevos modelos para representar la operación del transistor en altas frecuencias [22] [23].

Estos modelos describen el comportamiento del dispositivo en términos de las características corriente-voltaje (I-V) y capacidad-voltaje (C-V) y los procesos de transporte de portadores que ocurren en el dispositivo. Se suelen dividir estos modelos de dos categorías: (1) Modelos físicos, y (2) Modelos de circuito equivalente.

3.3.1 Modelos físicos estructurales

Se basan en una rigurosa definición de la geometría del dispositivo, perfil de dopado, ecuaciones de transporte de carga y características del material. Estos modelos pueden predecir tanto las características del terminal como los fenómenos de transporte. Debido al pequeño tamaño del dispositivo, se requiere de sistemas de ecuaciones acopladas complejas de dos o tres dimensiones que solo pueden resolverse por métodos numéricos. Esto conlleva un gran tiempo de procesamiento por lo que estos modelos no son utilizados habitualmente para el diseño de circuitos sino para el diseño físico del dispositivo. Para el diseño del dispositivo se emplean simuladores, generalmente referidos como TCAD (diseño de tecnologías asistido por ordenador o technology computer-aided design), como pueden ser: PISCES, SUPREM, MINIMOS o SYNOPSIS/SENTAURUS.

3.3.2 Modelos de circuito equivalente

Describen las propiedades eléctricas del dispositivo mediante la conexión de elementos circuitales de tal forma que el modelo emule el comportamiento eléctrico del dispositivo. Estos modelos se basan en las características del dispositivo; los elementos del circuito del modelo se derivan tanto de funciones analíticas como de procedimientos experimentales.

Debido a la facilidad de evaluación que tienen estos modelos, son regularmente utilizados para la simulación de circuitos que representan las características del dispositivo. Un ejemplo es el simulador SPICE, que utiliza exclusivamente modelos de circuito equivalente.

Para los dispositivos semiconductores, los elementos de los circuitos equivalentes son altamente no lineales y tienen una fuerte dependencia con la tensión de polarización en DC, la frecuencia, el nivel de la señal y la temperatura. Por tanto, además de separar los modelos en circuitos AC y DC, también es necesario distinguir entre modelos de pequeña y gran señal. En general, se requiere de tres tipos de circuitos: DC, transitorio y AC, correspondientes a los tres tipos básicos de análisis de circuitos:

- Modelo DC. Es un *modelo estático*, evalúa la corriente del dispositivo para un valor de tensión fijo. Ignora los efectos producidos por elementos que almacenan energía como condensador e inductancias. Estos modelos se usan para calcular puntos de operación estacionarios de un circuito.
- Modelo transitorio. Es un modelo de gran señal (no tiene restricciones en la magnitud de la tensión aplicada) que evalúa la corriente de dispositivo al aplicársele un voltaje variable con el tiempo. Se utiliza para el análisis del dispositivo en el dominio del tiempo.
- Modelos AC. Modelo de pequeña señal que evalúa la corriente cuando se aplican voltajes de variación tan pequeña que las pequeñas variaciones de señal pueden ser descritas por relaciones lineales. Estos modelos pueden obtenerse fácilmente del modelo DC. Se utiliza para el análisis del dispositivo en el dominio de la frecuencia, por lo que debe tener en cuenta elementos que almacenen energía y efectos dependientes de la frecuencia.

La elección de modelo debe estar basada en la precisión que proporciona a la hora de predecir las características del dispositivo y la eficiencia computacional de la simulación. Como el tamaño y complejidad de los circuitos modernos sigue en aumento, la correcta elección de modelo es crucial. Es por esto por lo que los simuladores de circuitos suelen incluir una serie de modelos de diferentes niveles de precisión. Los requisitos de eficiencia computacional y memoria disponible limitan los modelos para simuladores de circuitos en tres categorías: [9]

- i) **Modelos tabulares.** Se basan en bases de datos que disponen de la corriente de drenador para diferentes valores de voltaje de polarización o la geometría del dispositivo. Estas bases de datos se crean a partir de mediciones y simulaciones realizadas por modelos como los propuestos anteriormente. Estos modelos tabulares se suelen utilizar para algunas rutinas de interpolación para obtener valores no almacenados. Este tipo de modelos son rápidos computacionalmente, pero no guardan relación directa con el origen físico de los parámetros. Pierden validez fuera del rango de los datos.
- ii) **Modelos físicos o analíticos.** Sus parámetros son derivados directamente de la física del dispositivo. Se pueden subdividir en dos tipos:
- Modelo de hoja de carga, basado en el análisis del potencial superficial. Son aplicables en todas las regiones de operación del dispositivo, son especialmente prácticos para aplicaciones analógicas. Como contra, las complejas ecuaciones que involucran aumentan el tiempo de procesamiento, lo cual limita sus aplicaciones en circuitos VLSI (de altas escalas de integración o very large-scale integration)
 - Modelo analítico semiempírico. Combinan parámetros físicos y empíricos. Es el resultado de realizar varias aproximaciones basadas en fenómenos físicos dominantes en la región estudiada. Requieren de diferentes ecuaciones para cada región de operación.
- iii) **Modelos empíricos.** Las ecuaciones que representan el comportamiento del dispositivo son el resultado del ajuste a sus curvas características y no tienen en cuenta la física relacionada con estas. Los parámetros obtenidos mediante este modelo son altamente dependientes del proceso de fabricación.

A estos tipos de modelo se les llama *modelos compactos*. Existe otro tipo de modelo, combinación de los modelos de circuito equivalente con los modelos compactos, denominado *modelo híbrido*.

3.4 Consideraciones para el modelado

Para la descripción del comportamiento del MOSFET es habitual usar el *modelo cuasi-estático* (QS). Este modelo supone que la carga del canal, y por ende la corriente en los terminales, depende únicamente de la tensión de polarización aplicada a la puerta. Esta aproximación es válida para la operación del dispositivo en DC o a frecuencias muy bajas, ya que ignora que la carga en la capa de inversión no responde instantáneamente a los voltajes extrínsecos aplicados. Para modelar correctamente el comportamiento del MOSFET es necesario considerar estos efectos, para ello se utiliza el *modelo no-cuasi-estático* (NQS).

En condiciones QS, la única corriente que circula entre los terminales de drenador y fuente del MOSFET se debe a los portadores de carga (electrones en el n-MOSFET y huecos en el p-MOSFET), considerando despreciable la corriente a través del sustrato, esta corriente se denomina corriente de transporte, I_T . En condiciones NQS, aparecen corrientes adicionales asociadas con la carga almacenada en las terminales, llamadas corrientes de carga. En el esquema de la Figura 18 se representa, idealmente, la región intrínseca del MOSFET. En él, I_D , I_S , I_G e I_B son las corrientes de drenador, fuente, puerta y sustrato respectivamente.

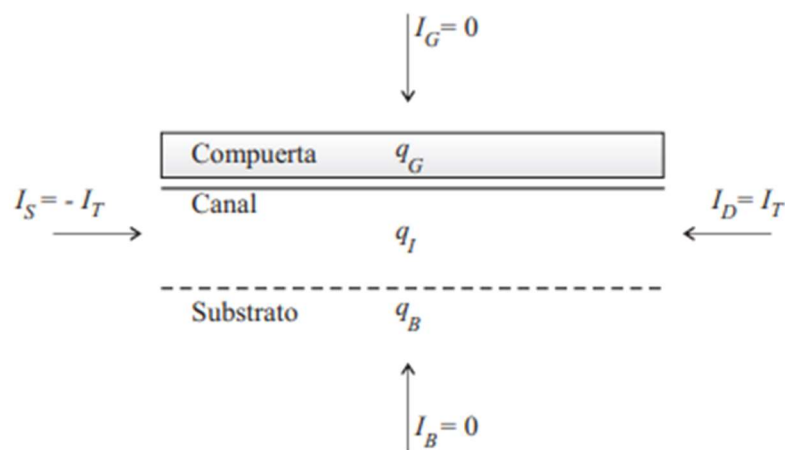


FIGURA 18. REPRESENTACIÓN INTRÍNSECA DEL MOSFET.

Se pueden escribir las corrientes transitorias como la suma de la corriente de transporte dependiente del tiempo y de la corriente de carga:

$$i_s(t) = -I_s(V(t)) + \frac{dQ_S}{dt} \quad (3.1)$$

$$i_d(t) = -I_d(V(t)) + \frac{dQ_D}{dt} \quad (3.2)$$

$$i_G(t) = \frac{dQ_G}{dt} \quad (3.3)$$

$$i_B(t) = \frac{dQ_B}{dt} \quad (3.4)$$

Teniendo en cuenta que no hay corriente de transporte circulando ni por la puerta ni por el sustrato. En las ecuaciones (3.1) y (3.2) se ha supuesto que se conoce explícitamente Q_S y Q_D , cuando en realidad lo que se conoce es la carga total de inversión, así, combinando ambas ecuaciones da como resultado:

$$i_s + i_d = I_{ds}(V(t)) + \frac{dQ_t}{dt} \quad (3.5)$$

Se observa que i_d e i_s son distintos de la corriente de transporte instantánea, i_T , cuando existe un voltaje externo dependiente del tiempo. Por lo tanto, la suposición de que la carga de la capa de inversión responde instantáneamente y produce una corriente equilibrada entre drenador y fuente solamente es válida para frecuencias de operación bajas [9].

3.5 Modelo de circuito equivalente en pequeña señal

El modelado en pequeña señal es una técnica de análisis empleada habitualmente para aproximar el comportamiento de un dispositivo no lineal con ecuaciones lineales.

Se considera un transistor MOSFET de canal-n polarizado con tensiones fijas V_{GS} , V_{BS} y V_{DS} . Nos interesa estudiar las variaciones de I_{DS} a través de pequeños cambios en estos voltajes de polarización. Se puede relacionar causa y efecto de estas variaciones haciendo uso de tres parámetros de conductancia, los cuales se pueden medir:

- i) Transconductancia de puerta, g_m . Generalmente referida como transconductancia simplemente. Matemáticamente se define como:

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{BS}, V_{DS}} \quad (3.6)$$

- ii) Transconductancia de sustrato, g_{mb} .

$$g_{mb} = \left. \frac{\partial I_{DS}}{\partial V_{BS}} \right|_{V_{GS}, V_{DS}} \quad (3.7)$$

- iii) Transconductancia de fuente-drenador, g_{ds} .

$$g_{ds} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}, V_{BS}} \quad (3.8)$$

Relacionando todo lo anterior se tiene que la variación de la corriente de drenador es:

$$\Delta I_{DS} = g_m \Delta V_{GS} + g_{mb} \Delta V_{BS} + g_{sd} \Delta V_{DS} \quad (3.9)$$

En el modelado de pequeña señal hay que considerar también las capacidades intrínsecas del MOSFET. Estas son C_{gs} , C_{gb} , C_{gs} y C_{ds} . Las tres primeras capacidades dependen principalmente de la polarización, y representan el efecto de la fuente, el drenador y el sustrato sobre la distribución de cargas de la puerta. La última, C_{ds} , también depende de la polarización y representa el acoplamiento capacitivo entre los terminales de fuente y drenador a través del sustrato [1].

El circuito equivalente resultante de todas estas consideraciones es:

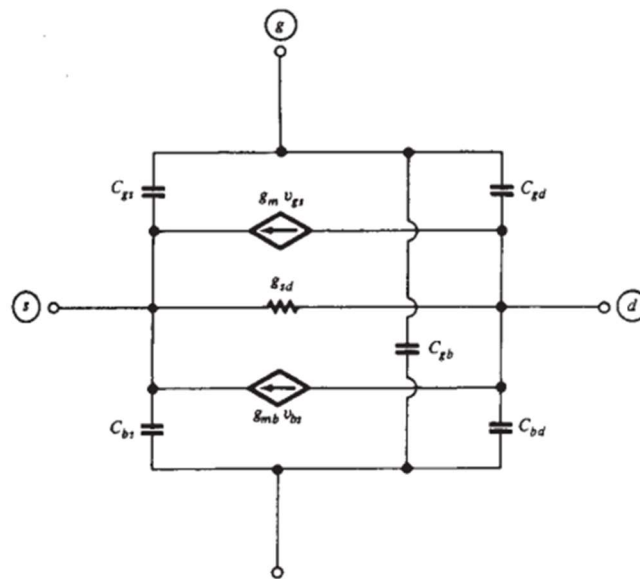


FIGURA 19. CIRCUITO EQUIVALENTE DE LA PARTE INTRÍNSECA DEL TRANSISTOR MOSFET.

En este trabajo se han realizado medidas sobre un MOSFET de canal n mediante el modelo de circuito equivalente. En este caso se utilizó un circuito equivalente simplificado en pequeña señal, derivado del visto en la figura 19 [24].

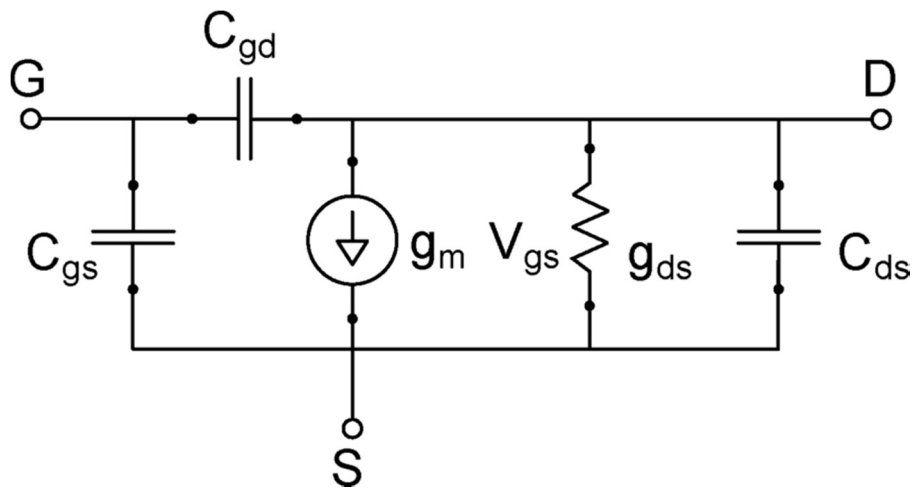


FIGURA 20. CIRCUITO EQUIVALENTE EN PEQUEÑA SEÑAL SIMPLIFICADO PARA EL MOSFET.

Existen otros elementos, llamados *elementos extrínsecos*, que también afectan al modelado del MOSFET. Éstos se consideran parásitos y pueden ser, o no, dependientes de la polarización. Algunos de estos elementos pueden ser:

- Capacidades de unión. Como las uniones drenador-sustrato, fuente-sustrato y drenador-fuente.
- La capacidad de puerta. Capacidad generada a raíz del óxido.
- Resistencias parásitas de drenador, fuente, puerta y sustrato. Deben ser tenidas en cuenta para altas frecuencias, donde las impedancias de las capacidades son comparables con las resistencias.

Estos elementos son clave para el correcto modelado del MOSFET. Sin embargo, su efecto se acentúa a la hora de evaluar el MOSFET integrado en circuitos en lugar de como dispositivo discreto.

3.6 Propiedades de los buenos modelos

Una lista de requisitos que deben cumplir idealmente los modelos TCAD para ser adecuados para el diseño de circuitos: [1]

1. El modelo debe satisfacer los requisitos para el trabajo digital, tales como una precisión razonable en la característica I-V y en las partes extrínsecas.
2. Debe dar valores precisos para los parámetros de pequeña señal, como las transconductancias, así como para las capacidades.
3. Debe dar buenos resultados incluso cuando el dispositivo opera en condiciones NQS o, al menos, no degradarse en exceso al aumentar la frecuencia.
4. Debe cumplir todo lo anterior para un rango de temperaturas de interés.
5. Debe cumplir todo lo anterior para cualquier combinación de longitud y anchura del canal.
6. El modelo debe tener tan pocos parámetros como sea posible para reproducir el comportamiento del dispositivo. Estos parámetros deben estar fuertemente relacionados con la estructura del dispositivo y su proceso de fabricación, (p.ej. espesor del óxido, dopado del sustrato, profundidad de la unión).
7. El modelo debe ser eficiente desde un punto de vista computacional.
8. Debe permitir el modelado de dispositivos asimétricos. En dispositivos de alto voltaje la fabricación de drenador y fuente no siguen el mismo camino.
9. El modelo debe estar unido a un método de extracción de parámetros.
10. Debe poder relacionarse fácilmente con los simuladores de dispositivos.

Como consideración general, los únicos tipos de modelos que podrían cumplir todos estos requisitos son los modelos físicos, comentados anteriormente.

4 Métodos de extracción de parámetros

4.1 Consideraciones generales sobre la extracción de parámetros

Independientemente de lo robusto que sea un modelo físico, no puede dar resultados precisos sin la utilización de valores apropiados para sus parámetros. Estos valores se deben elegir de manera que el modelo concuerde lo máximo posible con las medidas realizadas. Determinar estos valores no es sencillo por varias razones. Primero, puede que de algunos de estos parámetros no se conozca su valor exacto ya que no se ha podido medir de forma independiente. Segundo, algunos de estos parámetros son básicamente empíricos, lo que quiere decir que deben ser escogidos para una mejor compatibilidad con las medidas. Tercero, aunque se conozca de forma precisa el valor de un parámetro, este valor no tiene por qué ser el adecuado para las expresiones del modelo. Esto es debido a que los modelos físicos o analíticos se basan en aproximaciones y suposiciones, por lo que usar las expresiones con los parámetros “correctos” puede llevar a cierto error. Una pequeña variación de estos parámetros puede llevar a mejores resultados del modelo.

Una manera de determinar el valor de un parámetro (o una aproximación inicial) es centrarse en un modo de operación donde el parámetro tiene un valor dominante y recopilar datos para deducir el valor del parámetro. Comúnmente, se trata de identificar regiones donde se supone que existe una relación lineal entre la variable independiente (p.ej. una tensión externa aplicada) y la dependiente (corriente medida), se elige el parámetro de forma que concuerde con la relación lineal con el mínimo error posible. Esta técnica es la que se conoce como *regresión lineal*.

El proceso de determinar los valores de los parámetros se llama *extracción o caracterización de parámetros* y se combina con las medidas experimentales. Se aplican diferentes voltajes de polarización al dispositivo a analizar mediante fuentes programables controladas por un ordenador. La respuesta del dispositivo se mide con un equipo también programable y controlado por ordenador y se almacena en una memoria. Un programa *optimizador* determina el mejor valor de parámetro para un modelo dado. En algunos casos, cuando se desea producir un modelo analítico para un dispositivo antes de fabricarlo, los datos se obtienen de simuladores y no de las medidas.

Sin embargo, este optimizador tiene ciertos inconvenientes. Dar al programa un modelo general para que extraiga todos los parámetros puede ser numéricamente complejo e, incluso aunque el proceso converja y el error sea mínimo, es posible que los resultados

no tengan sentido físico. El optimizador no entiende de física, solo busca los valores de los parámetros que mejor encajen. Esto supone un problema ya que no solo buscamos esos valores que encajen, sino que además puedan ser útiles para predecir comportamientos en otros rangos de operación. Si el modelo es bueno, los valores de los parámetros serán cercanos a los que se espera de la física del dispositivo [1].

4.2 Configuraciones del MOSFET

La elección de la configuración del MOSFET en su circuito equivalente es uno de los aspectos clave en los que se basa el diseño del circuito. Así pues, es posible encontrar tres posibles configuraciones básicas: fuente/sustrato común, drenador/sustrato común y puerta/sustrato común. Cada una de ellas con sus propias características de voltaje y corriente, así como sus propias impedancias de entrada y salida [25].

- Fuente/sustrato común. La más usada habitualmente. Permite representar al MOSFET como una red de dos puertos. La señal se aplica al terminal de puerta (puerto 1) y la respuesta es medida en el terminal de drenador (puerto 2).

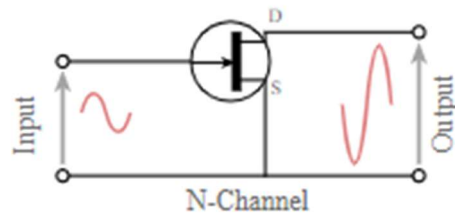


FIGURA 21. CONFIGURACIÓN FUENTE/SUSTRATO COMÚN.

- Drenador/sustrato común. También conocida como “seguidor de fuente”. La razón es que la tensión de fuente “sigue” a la de la puerta. Ofrece una alta impedancia de entrada y baja de salida, es comúnmente utilizado como regulador (*buffer*).

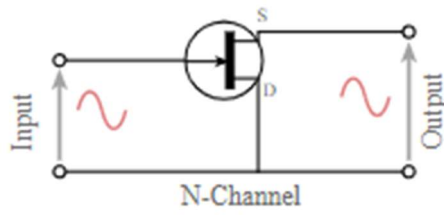


FIGURA 22. CONFIGURACIÓN DRENADOR/SUSTRATO COMÚN

- Puerta/sustrato común. La ganancia en corriente de esta configuración es bastante baja comparada con otras a pesar de que la tensión sea alta.

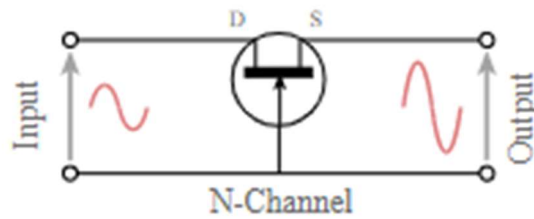


FIGURA 23. CONFIGURACIÓN PUERTA/SUSTRATO COMÚN

4.3 Descripción de dispositivos experimentales

Se analizó un transistor MOSFET de canal-n SD210DE diseñado para conmutación de alta velocidad. Este transistor utiliza construcción lateral para conseguir bajas capacidades y una velocidad de conmutación ultrarrápida. Para su análisis se utilizó el equipo Keithley Instruments Model 4200 Semiconductor Characterization System (SCS). Se trata de un sistema automatizado que ofrece caracterización I-V, continua y pulsada, y C-V de dispositivos semiconductores y test de estructuras. Este equipo dispone de *software* propio que permite el control y automatizado de las pruebas y medidas a realizar. Para la realización de estas medidas se configuró la interfaz del programa para poder caracterizar este dispositivo en concreto. Para la incorporación del dispositivo en el equipo se utilizó un adaptador como el que se muestra en la figura 26.



FIGURA 24. VISTA FRONTAL DEL EQUIPO EXPERIMENTAL.

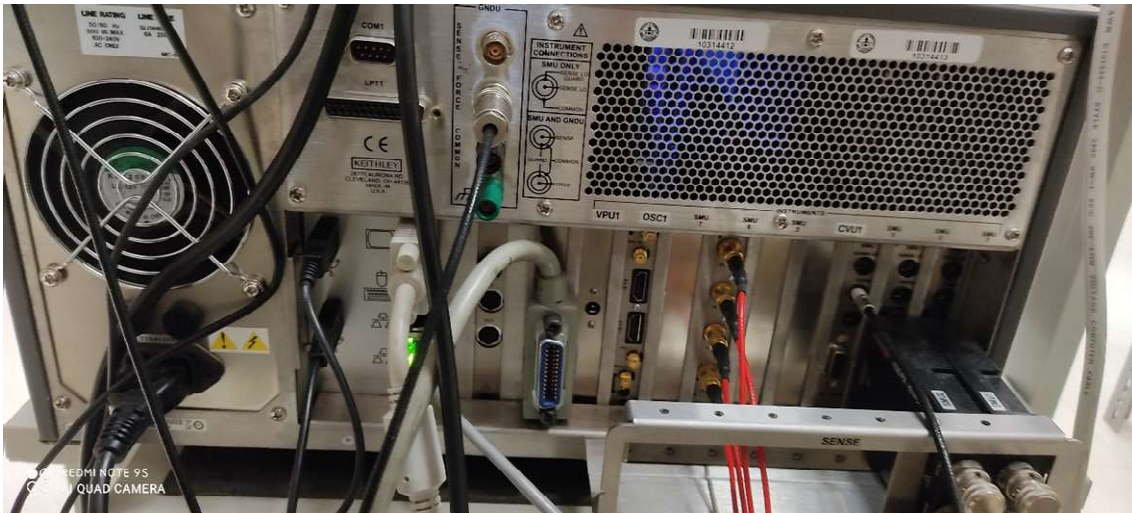


FIGURA 25. VISTA POSTERIOR DEL EQUIPO.



FIGURA 26. ADAPTADOR PARA EL DISPOSITIVO.

4.4 Parámetros en DC

A continuación, se muestran los resultados correspondientes a la extracción de parámetros evaluados en corriente continua.

4.4.1 Tensión umbral

La tensión umbral ha sido estudiada en la sección 2.2. Para su evaluación se utiliza la configuración fuente/sustrato común. Se realiza un barrido de tensión de puerta, V_{GS} , de 0 a 5 V con un paso de 0.1 V y se mide la corriente que circula entre drenador y fuente, I_{DS} . Seguidamente se traza la recta tangente en el punto de máxima pendiente de la curva. El corte de esta recta con el eje X indica la tensión umbral.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

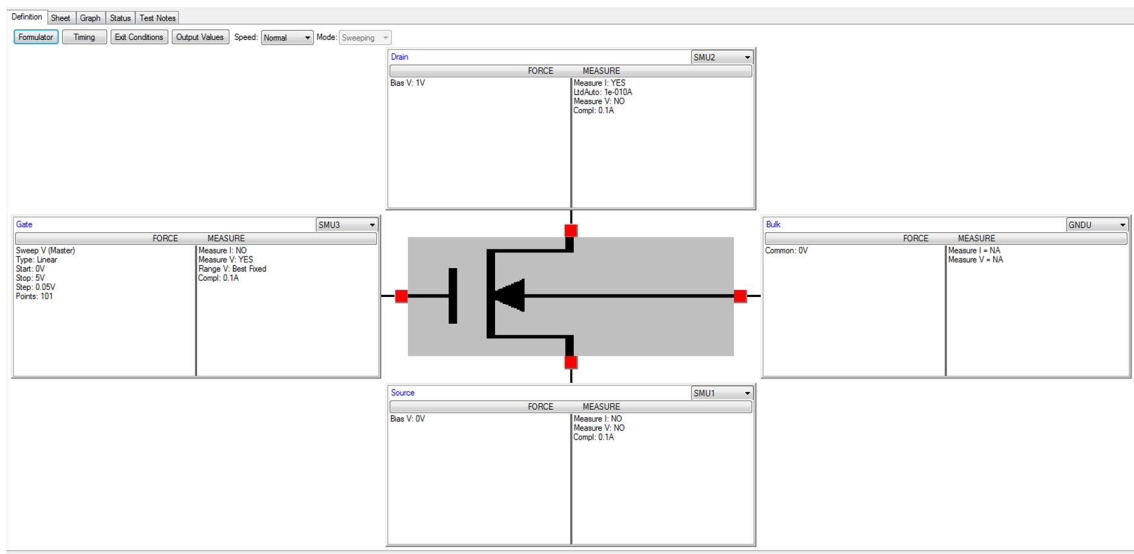


FIGURA 27. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE LA TENSION UMBRAL.

Y la gráfica resultante:

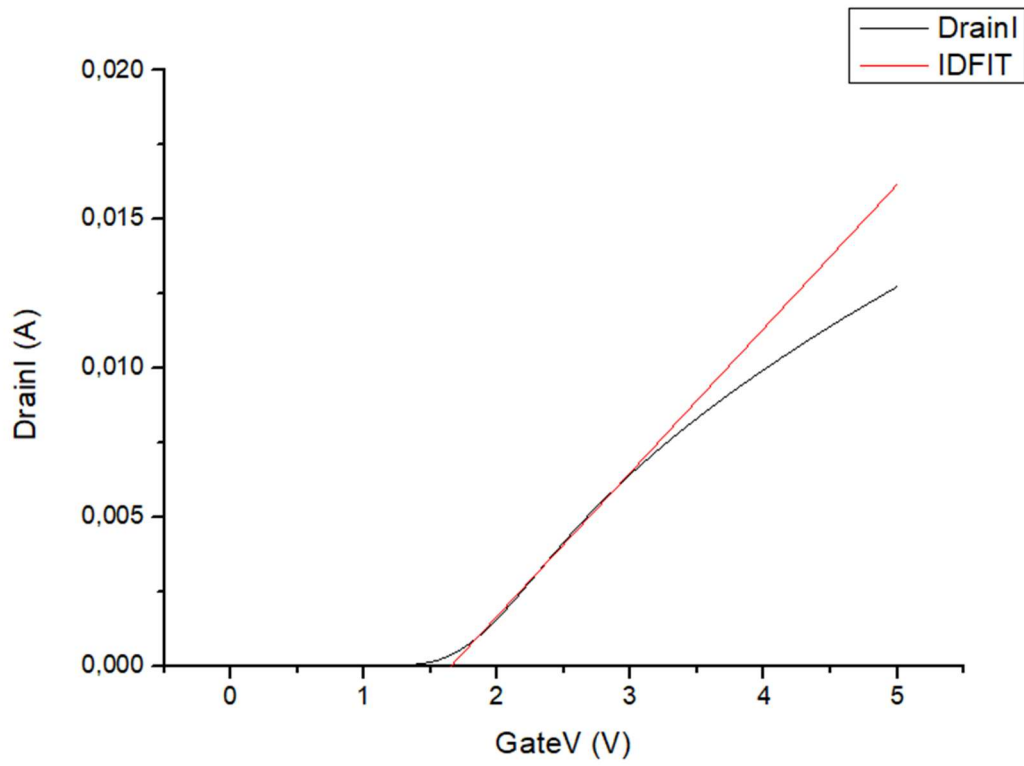


FIGURA 28. TENSIÓN UMBRAL.

Lo que nos da un valor de la tensión umbral de $V_T = 1.65$ V.

4.4.2 Corriente de drenador frente a tensión de drenador

Se mide la corriente de drenador, I_{DS} , resultante de la aplicación de una tensión drenador-fuente, V_{DS} , para distintos valores de la tensión de puerta, V_{GS} . Con esto se pueden obtener los regímenes de operación anteriormente mencionados en la Sección 2.2.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

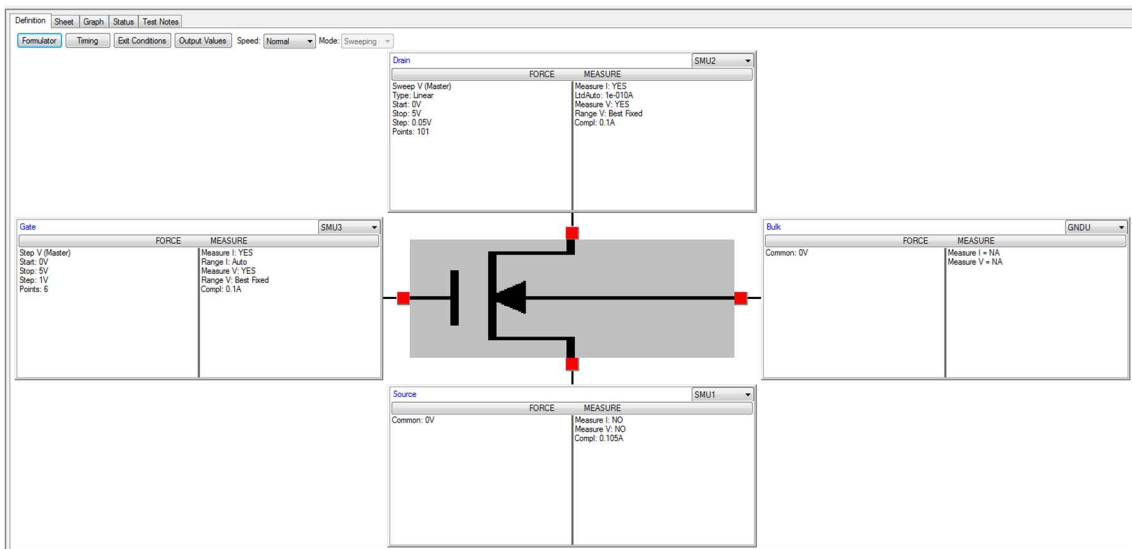


FIGURA 29. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE LA TENSIÓN DE DRENADOR.

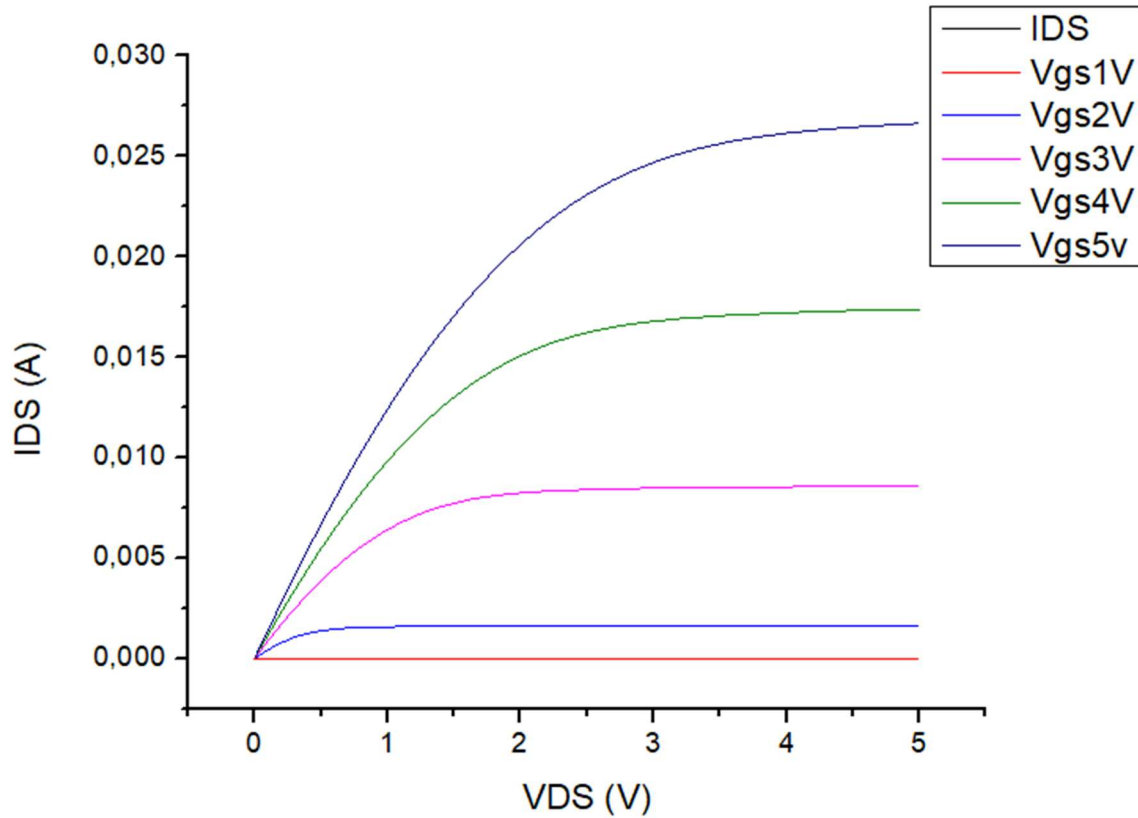


FIGURA 30. REGÍMENES DE OPERACIÓN DEL MOSFET.

Donde se observa claramente el régimen lineal y de saturación. A mayor V_{GS} más tensión de drenador es necesaria para alcanzar el régimen de saturación pues el canal se ha vaciado más de portadores.

Con los datos obtenidos y haciendo uso de la ecuación 2.1 se puede obtener el coeficiente $\beta = \mu_n C_{ox} W/L$.

El valor de β obtenido para el punto de operación elegido ($V_{DS} = 1 V$, $V_{GS} = 3 V$) es $\beta = 1.8 \text{ mA/V}^2$

4.4.3 Corriente sub-umbral

Sabiendo ya la tensión umbral del dispositivo podemos estudiar el comportamiento de éste en régimen sub-umbral. Para ello se realiza un barrido de tensión de puerta de -2 a 2 V para un valor fijo de la tensión de drenador y se mide la corriente que circula por el canal, I_{DS} .

La configuración de la interfaz para la medida se muestra en la figura siguiente:

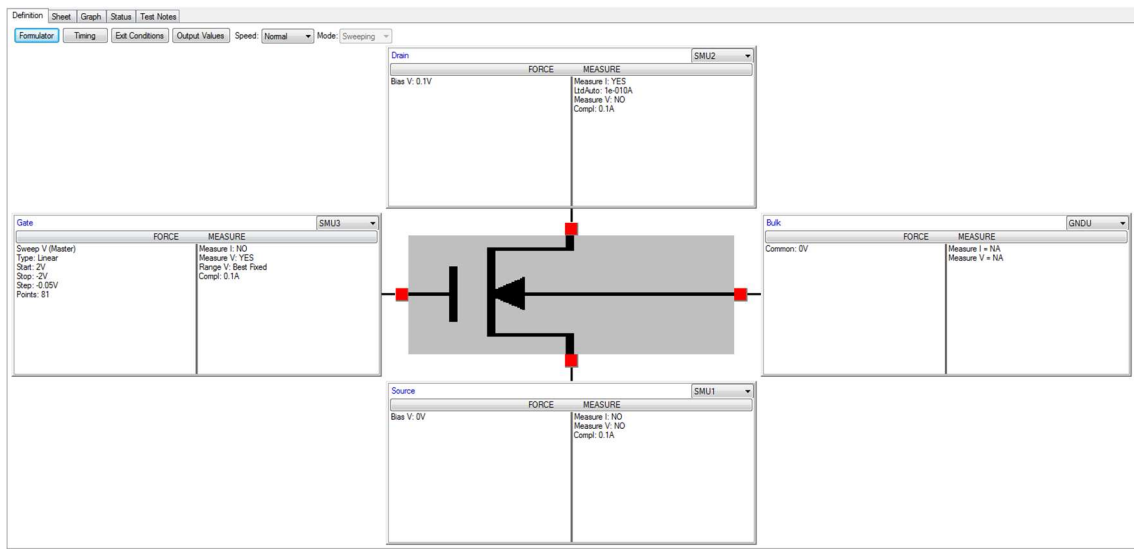


FIGURA 31. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE LA CORRIENTE SUBUMBRAL.

Y la gráfica resultante:

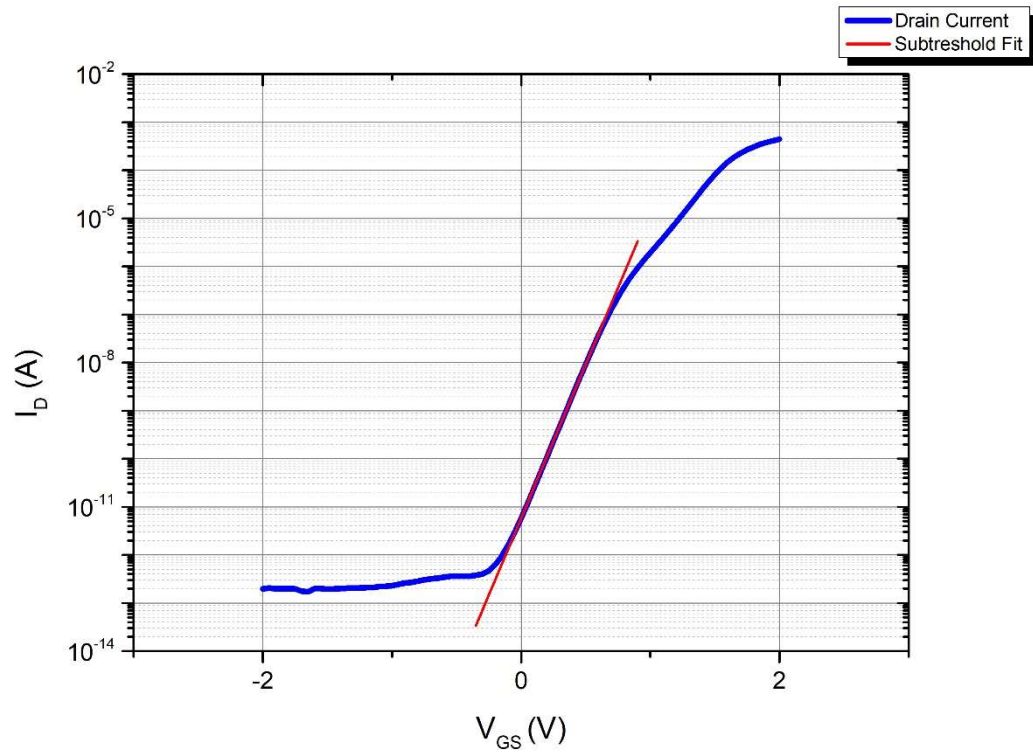


FIGURA 32. CORRIENTE SUB-UMBRAL.

La pendiente de la recta marcada indica cuanto tiene que cambiar la tensión de puerta para aumentar la corriente del canal en un orden de magnitud. Cuanto mayor sea esta pendiente, más vertical sea esta recta, mejor será el dispositivo ya que el cambio de no conducir a conducir será más brusco y las corrientes parásitas serán menos importantes.

El valor obtenido de esta pendiente es de 184.35 mV/década. Es decir, se necesitan 184.35 mV para aumentar la corriente en un orden de magnitud.

4.4.4 Transconductancias

- g_m

Se mide la corriente del canal en función de la tensión de puerta a una tensión de drenador fija de 1 V y aplicando la ecuación 3.6. se obtiene la transconductancia para distintos puntos de operación.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

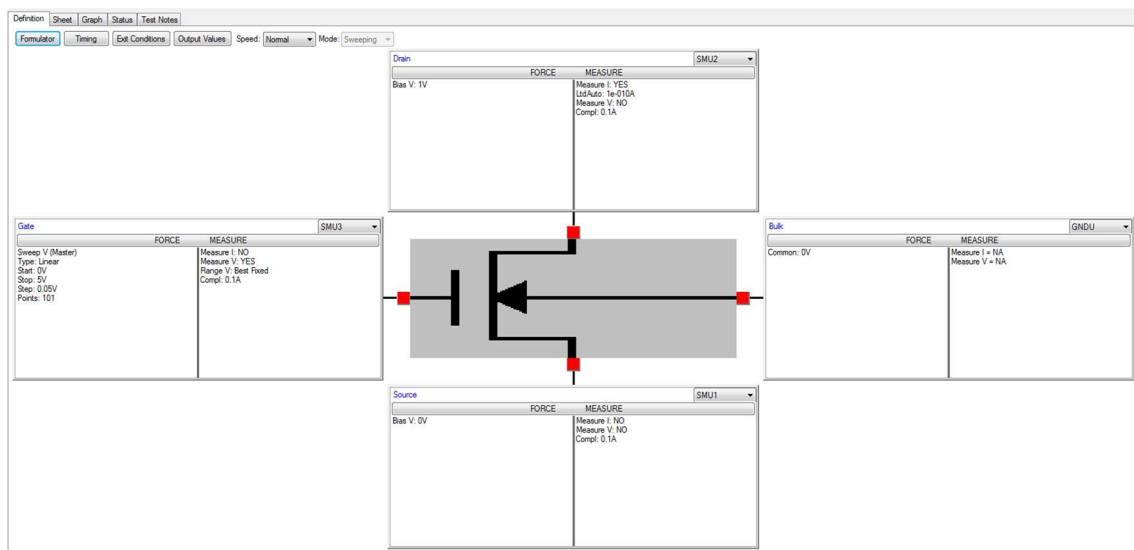


FIGURA 33. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE LA TRANSCONDUCTANCIA.

Y la gráfica resultante:

2

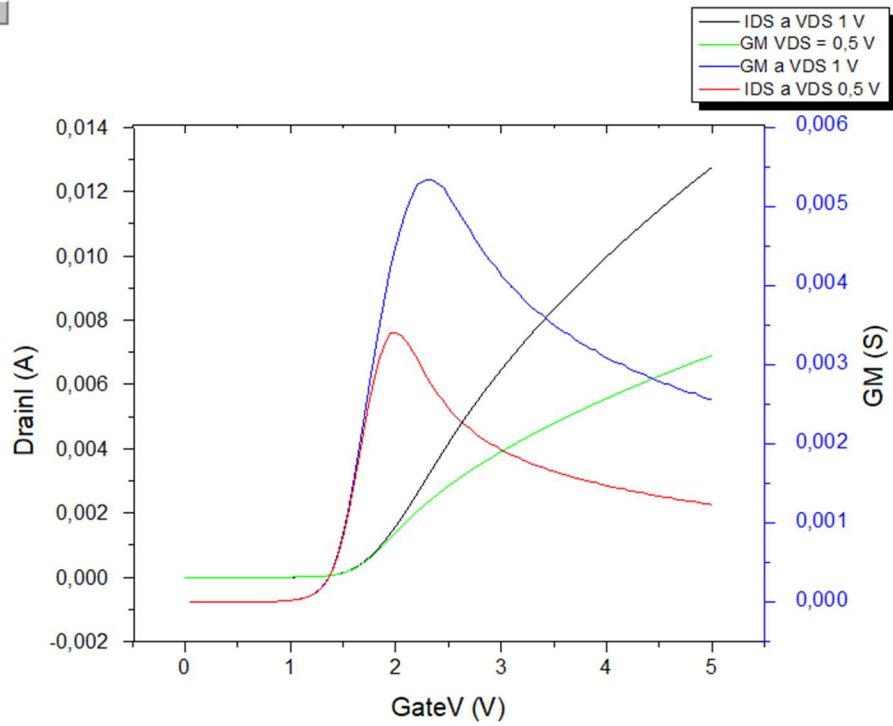


FIGURA 34. TRANSCONDUCTANCIA PARA DIFERENTES PUNTOS DE OPERACIÓN DEL DISPOSITIVO.

El valor de g_m para el punto de operación elegido ($V_{GS} = 3 \text{ V}$, $V_{DS} = 1 \text{ V}$) es $g_m = 4.1275 \text{ mS}$.

- g_{ds}

Se mide la corriente de drenador en un barrido de tensión de drenador para dos valores diferentes de la tensión de puerta. Aplicando la ecuación 3.8. se obtiene la transconductancia de salida.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

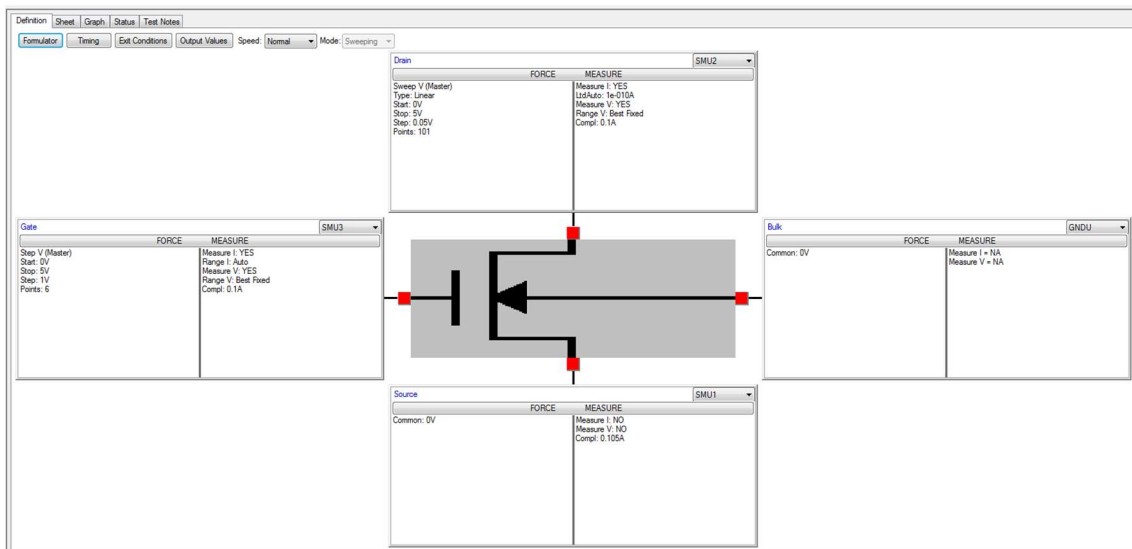


FIGURA 35. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE LA TRANSCONDUCTANCIA DE SALIDA.

Y se obtiene la gráfica siguiente:

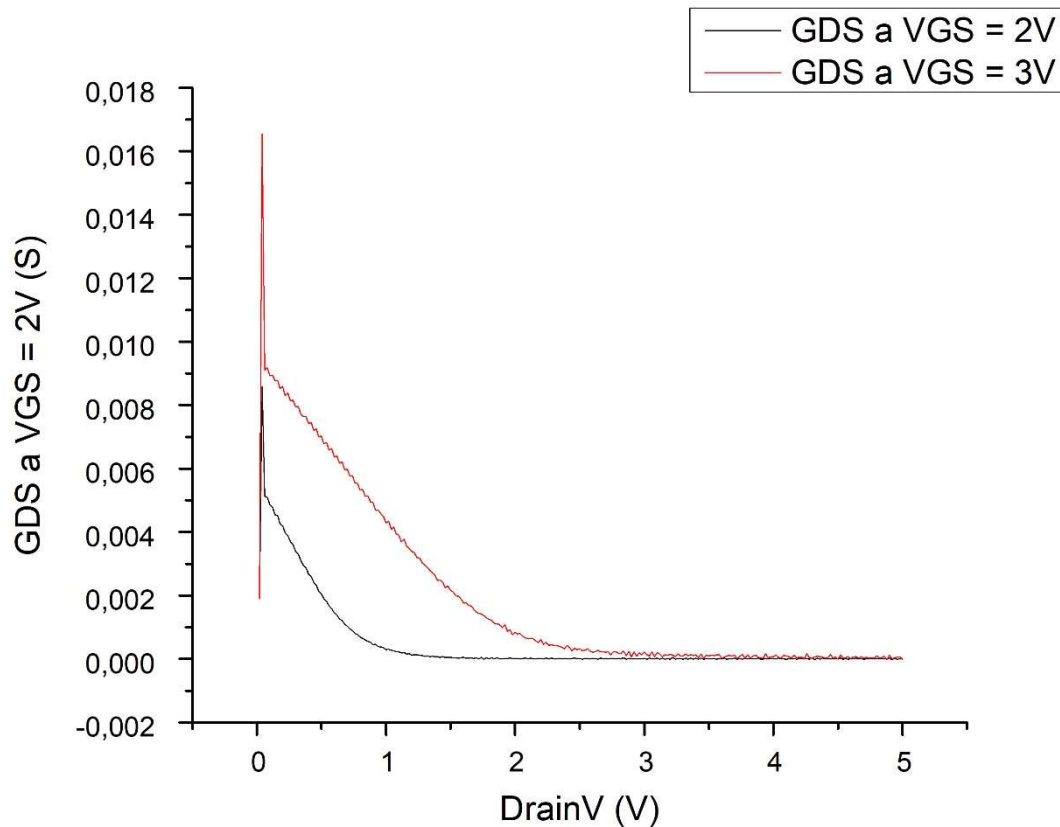


FIGURA 36. TRANSCONDUCTANCIA DE SALIDA PARA DIFERENTES VALORES DE LA TENSIÓN DE PUERTA.

El valor de la transconductancia de salida para el punto de operación elegido ($V_{GS} = 3 \text{ V}$, $V_{DS} = 1 \text{ V}$) es $g_{ds} = 298.0058 \mu\text{S}$.

4.4.5 Resistencia del canal

La medida de la resistencia del canal se realiza mediante el cálculo de la variación de la tensión de drenador con respecto a la corriente del canal para una tensión de puerta fija.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

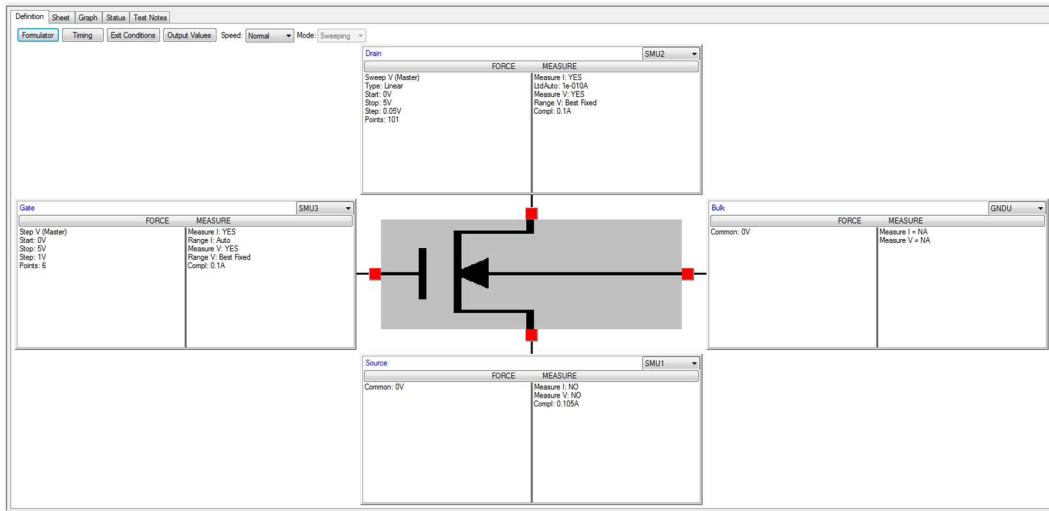


FIGURA 37. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE LA RESISTENCIA DEL CANAL.

Y la gráfica resultante:

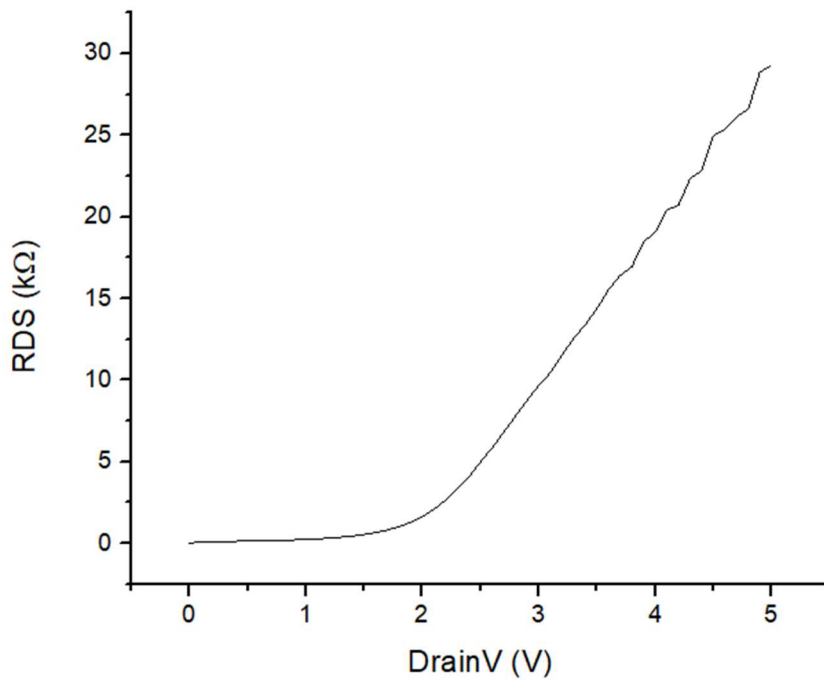


FIGURA 38. RESISTENCIA DEL CANAL EN FUNCIÓN DE LA TENSIÓN DE DRENADOR PARA UN VALOR DE TENSIÓN DE PUERTA DE 3 V.

La resistencia del canal para el punto de operación elegido ($V_{GS} = 3 \text{ V}$, $V_{DS} = 1 \text{ V}$) es $R_{DS} = 3.3501 \text{ k}\Omega$.

La resistencia del canal no es constante con V_{DS} debido a la variación de portadores que se produce por el efecto DIBL. El aumento de la tensión de drenador hace que se reduzca la barrera de potencial en el canal generando más portadores en el canal y disminuyendo la resistencia de éste.

4.5 Determinación de los elementos del circuito equivalente

Se realizan medidas para determinar los elementos del circuito equivalente simplificado en pequeña señal visto en la figura 20. En este caso, para realizar las medidas en AC, se superpone una señal en alterna a la señal en continua.

4.5.1 Transconductancias.

Se han medido en corriente continua en la sección 4.4.4.

- g_m . Se obtuvo un valor de $4,1275 \text{ mS}$.
- g_{ds} . Se obtuvo un valor de $298,01 \mu\text{S}$.

4.5.2 Capacidades

Se realizará para su medida un barrido de tensiones de 0 a 5 V con un paso de 0.1 V, midiendo la capacidad en cada punto. Se realiza para tres frecuencias de señal diferentes. La frecuencia de operación elegida para obtener los valores es de 1 MHz.

- C_{GS} . Se conecta el sustrato y drenador a tierra y se aplica una señal alterna de puerta a fuente sumada a la continua.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

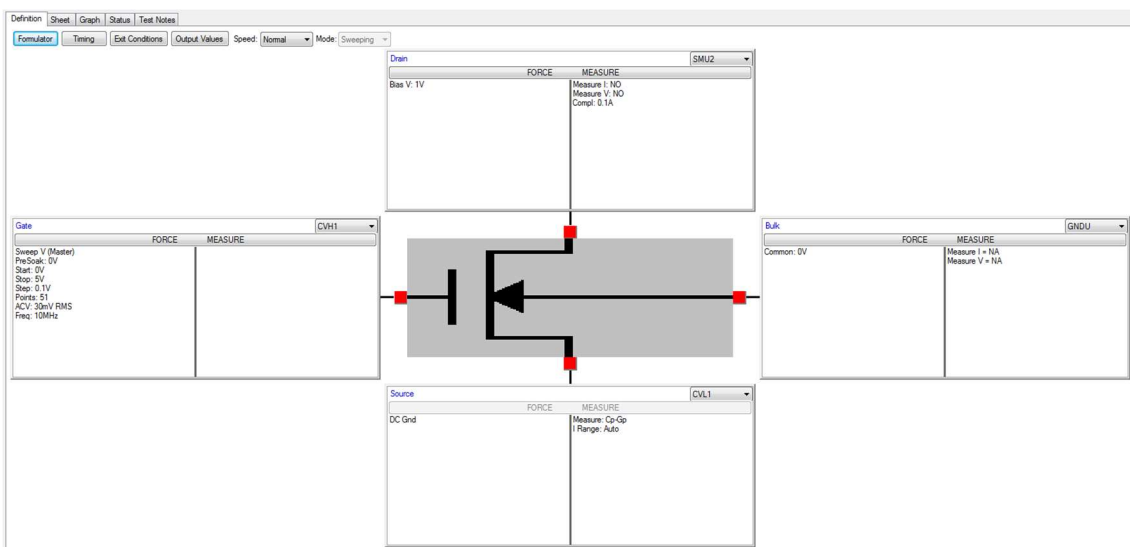


FIGURA 39. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE C_{GS} .

Y la gráfica resultante:

4

1

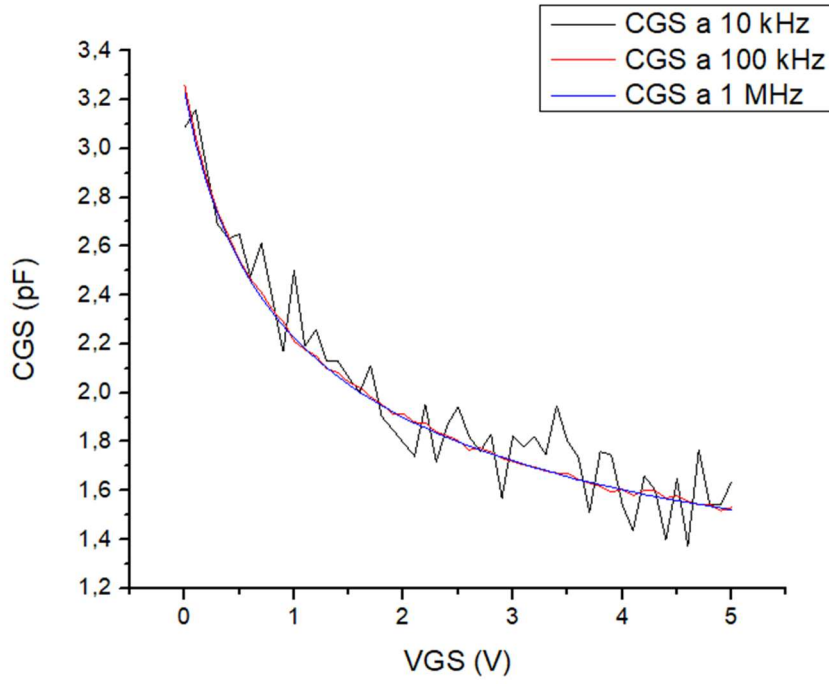


FIGURA 40. CAPACIDAD PUERTA-FUENTE A DIFERENTES FRECUENCIAS.

Para el punto de operación elegido ($V_{GS} = 3 \text{ V}$, $V_{DS} = 1 \text{ V}$, $f = 1 \text{ MHz}$), la capacidad resultante es de: $C_{GS} = 1.7217 \text{ pF}$.

- C_{GD} . Se conecta fuente y sustrato a tierra y se aplica la señal de puerta a drenador.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

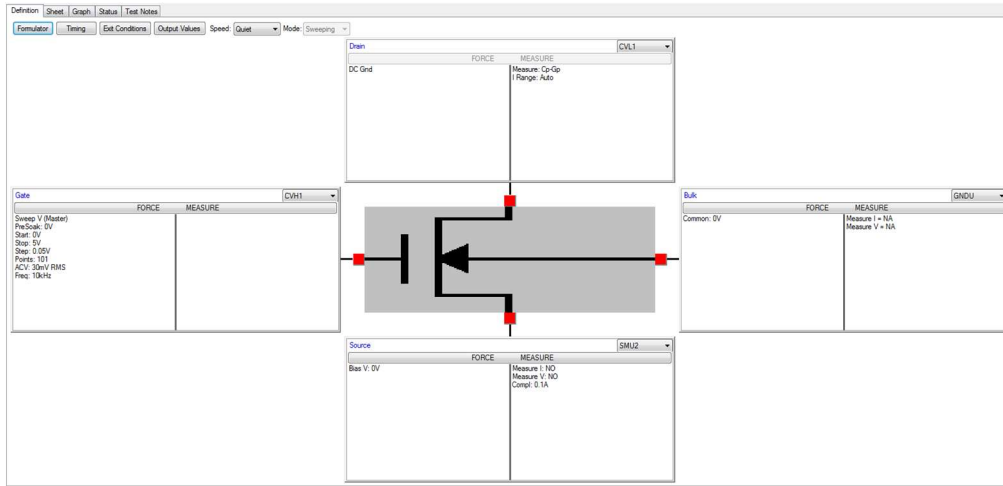


FIGURA 41. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE C_{GD} .

Y la gráfica resultante:

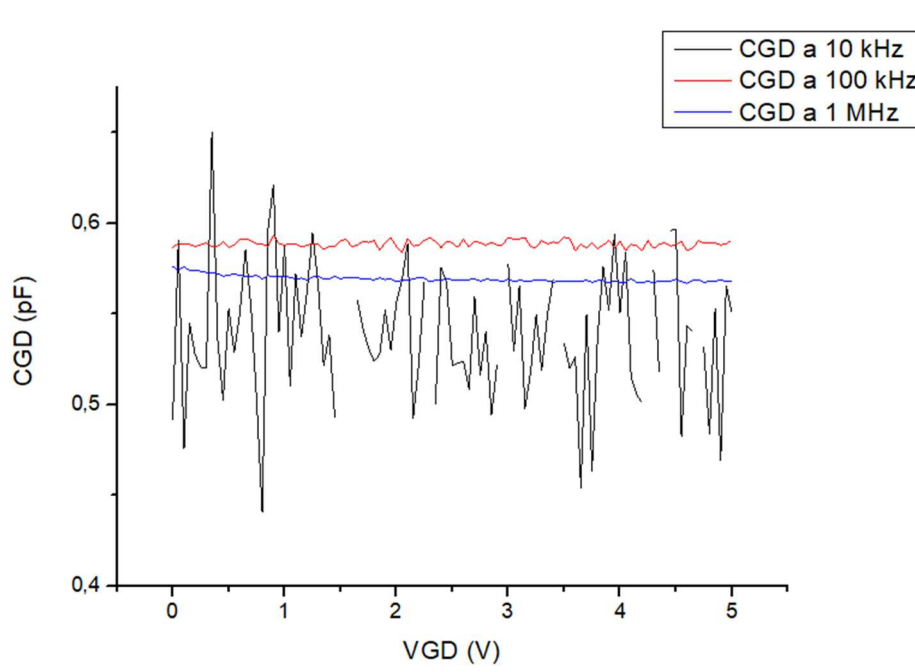


FIGURA 42. CAPACIDAD PUERTA-DRENADOR A DIFERENTES FRECUENCIAS.

Para el punto de operación elegido ($V_{GD} = 3\text{ V}$, $f = 1\text{ MHz}$), la capacidad resultante es de: $C_{GD} = 0.5690\text{ pF}$.

- C_{DS} . Se conecta puerta y sustrato a tierra y se aplica la señal de drenador a fuente.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

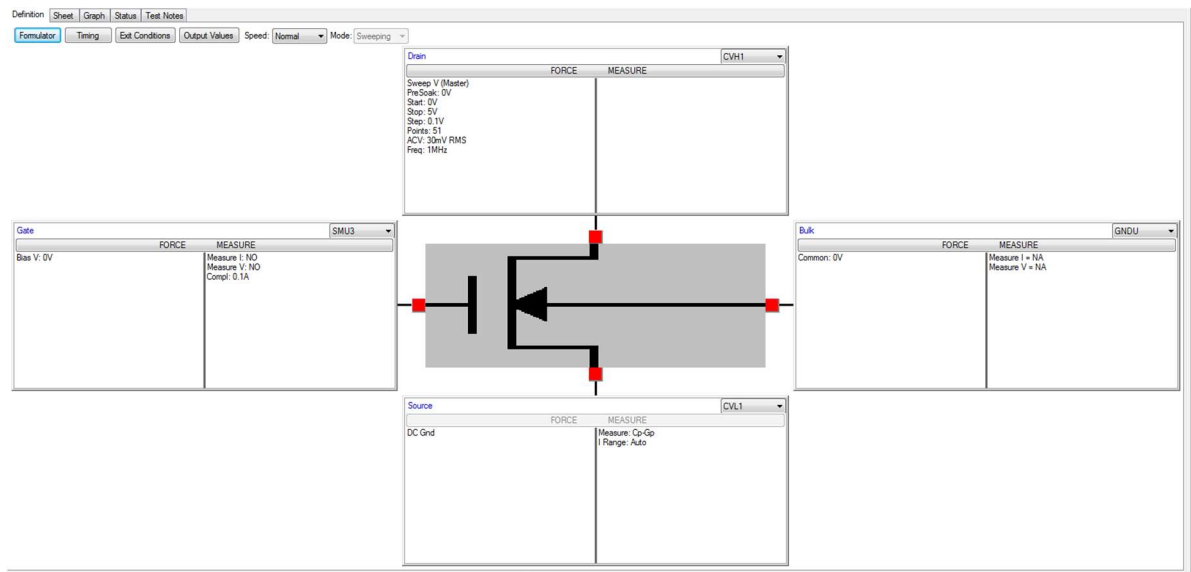


FIGURA 43. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE C_{DS} .

Y la gráfica resultante:

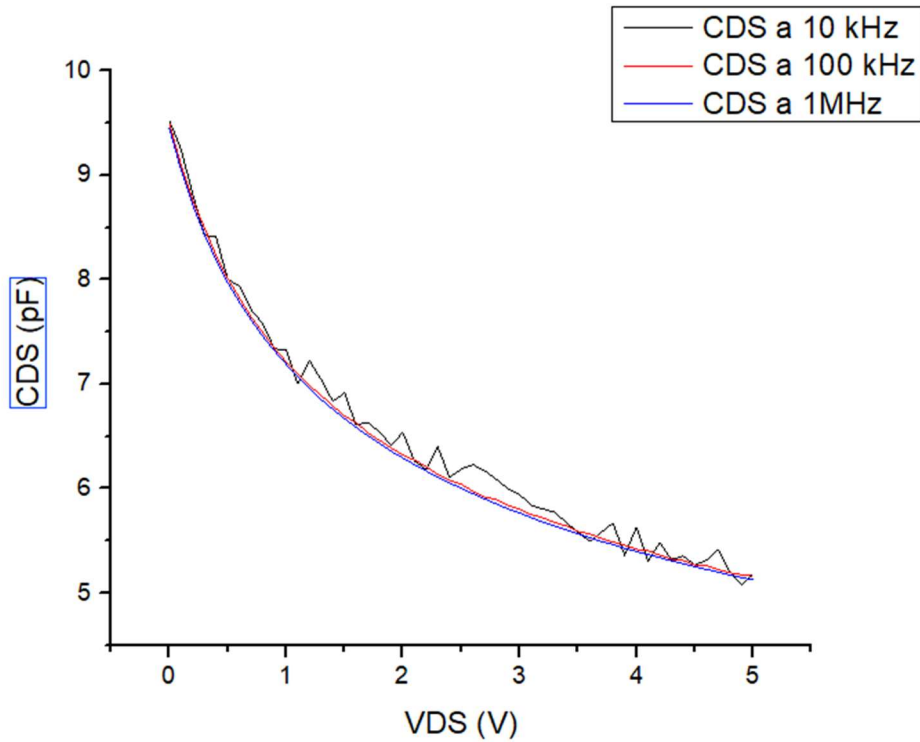


FIGURA 44. CAPACIDAD DRENADOR-FUENTE A DIFERENTES FRECUENCIAS.

Para el punto de operación elegido ($V_{GS} = 3 \text{ V}$, $V_{DS} = 1 \text{ V}$, $f = 1 \text{ MHz}$), la capacidad resultante es de: $C_{GS} = 7.1899 \text{ pF}$.

- C_{GB} . Se conecta drenador y fuente a tierra y se aplica la señal de puerta a sustrato. Esta capacidad no aparece en el circuito equivalente, pero es clave para la modelización de los efectos parásitos del sustrato. En este caso se realiza un barrido de tensiones de -6 a 6 V para obtener los datos en todos los regímenes de operación.

La configuración de la interfaz para la medida se muestra en la figura siguiente:

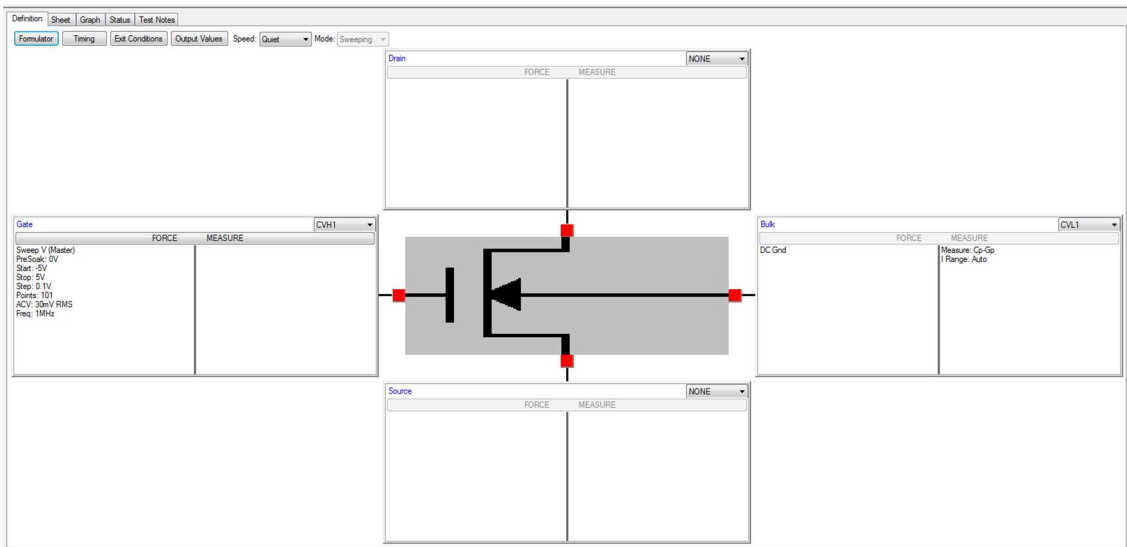


FIGURA 45. CONFIGURACIÓN DE LA INTERFAZ PARA LA MEDIDA DE C_{GB} .

Y la gráfica resultante:

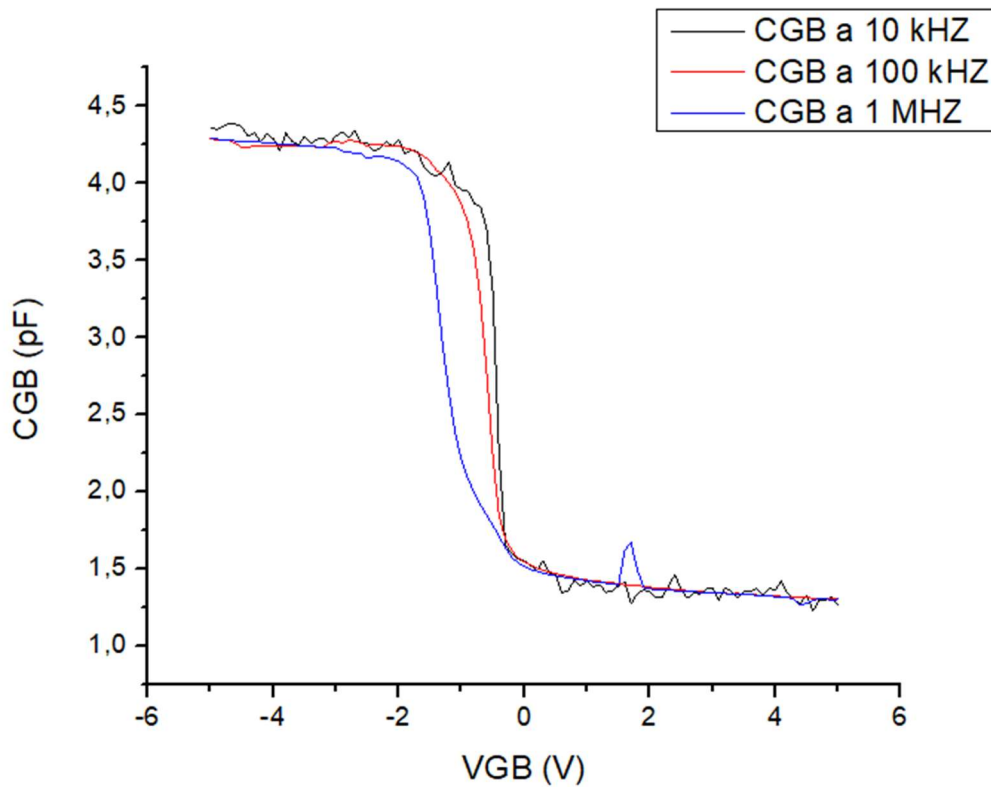


FIGURA 46. CAPACIDAD PUERTA-SUSTRATO A DIFERENTES FRECUENCIAS.

Para el punto de operación elegido ($V_{GB} = 3 \text{ V}$, $f = 1 \text{ MHz}$), la capacidad resultante es de: $C_{GB} = 1.3446 \text{ pF}$.

Las medidas a frecuencia más baja se obtienen con mayor ruido debido a que a esa frecuencia se está alcanzando el mínimo de sensibilidad del aparato. Es importante observar que los valores de las capacidades son independientes de la frecuencia de la señal.

4.6 Resumen de los parámetros obtenidos

Parámetros obtenidos	
Parámetro	Valor (unidades)
β	1,8 mA/V ²
V_T	1,65 V
Pendiente subumbral	184,35 mV/década
g_m	4,1275 mS
g_{ds}	298,01 μ S
R_{DS}	3,3501 k Ω
C_{GS}	1,7217 pF
C_{GD}	0,5690 pF
C_{DS}	7,1899 pF
C_{GB}	1,3446 pF

TABLA 1. RESUMEN DE LOS PARÁMETROS OBTENIDOS.

El circuito equivalente resultante es:

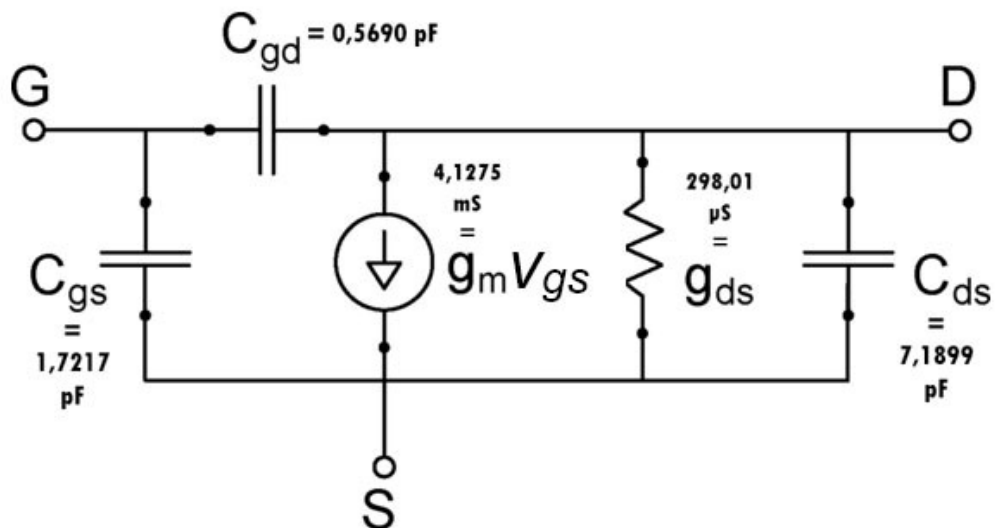


FIGURA 47. CIRCUITO EQUIVALENTE SIMPLIFICADO CON EL MOSFET CON LOS PARÁMETROS OBTENIDOS.

4.7 Consideraciones finales: Importancia de la extracción de parámetros

La extracción de parámetros es un proceso crucial en el desarrollo de dispositivos electrónicos. Su correcta realización es lo que permite que la fabricación en serie de un dispositivo se produzca de la forma más rápida posible y al menor coste. La extracción de parámetros se realiza tanto para el dispositivo discreto como para el circuito integrado que forma con otros dispositivos. El proceso hasta llegar al circuito integrado que se pueda fabricar en serie es el siguiente:

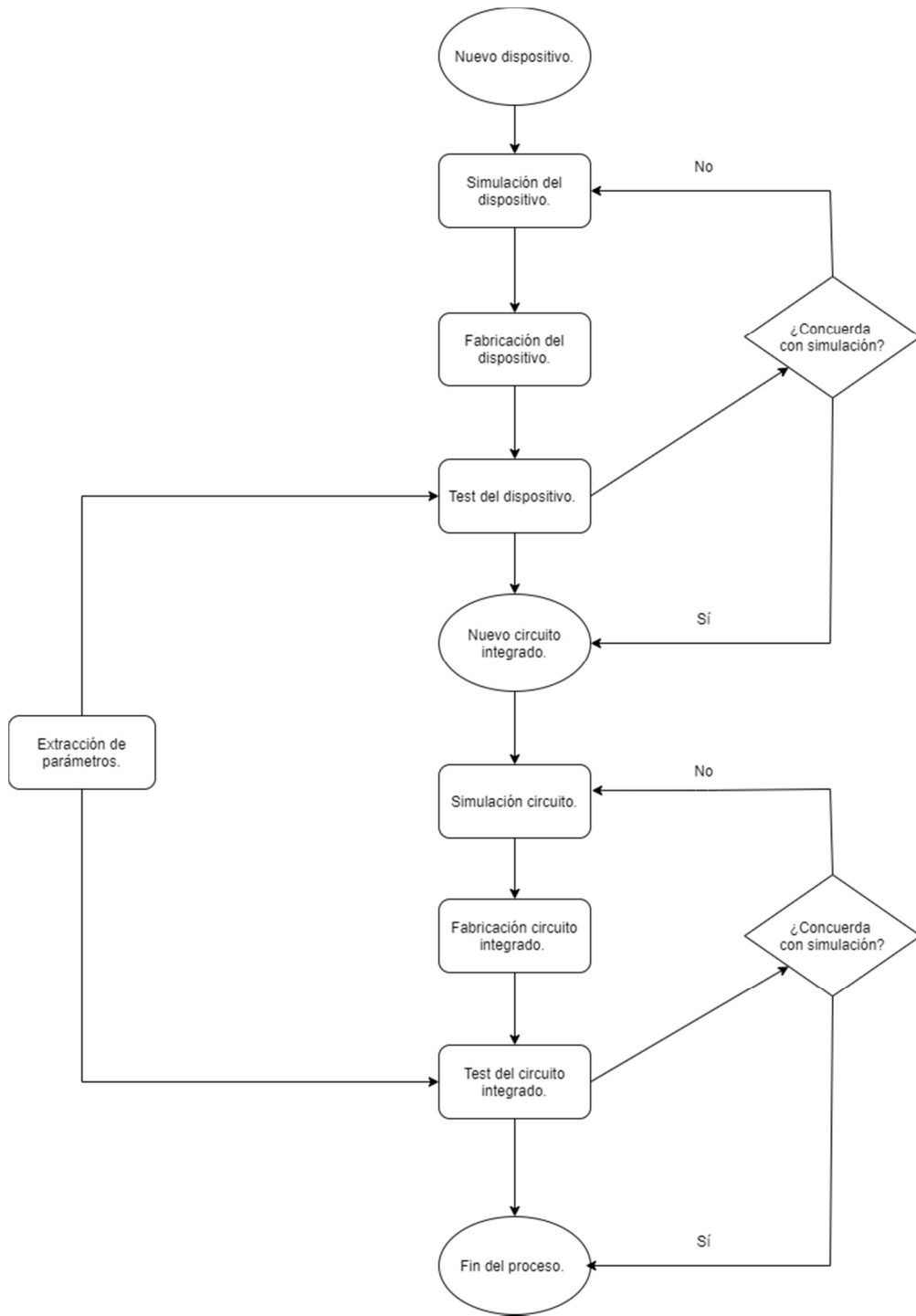


FIGURA 48. DIAGRAMA PROCESO DE FABRICACIÓN DE CIRCUITOS INTEGRADOS.

5 Futuros avances e investigaciones

Con el fin de seguir avanzando en la tecnología microelectrónica es necesario la investigación en nuevos dispositivos y materiales que permitan diseñar circuitos integrados más pequeños y rápidos. En este sentido, una evolución de los dispositivos MOSFET son los denominados MuGFET (FET de varias puertas o *Multiple Gate FET*). Estos dispositivos han mostrado la capacidad de reducir los efectos de canal corto debido al control simultáneo de las puertas. La característica principal de los MuGFETs es que se fabrican con el óxido de puerta en más de un plano cristalino, logrando control de parte de la puerta en más de un lado de la región activa del canal.

Una de las estructuras que mayor compatibilidad muestra con la tecnología plana entre los diferentes MuGFETs es el FinFET. El transistor FinFET consiste básicamente en un MOSFET de doble puerta construido sobre un sustrato SOI (también puede ser SOS), donde la puerta se coloca a los dos, tres o cuatro lados del canal, envolviendo a este formando así una estructura de doble puerta. Estos dispositivos reciben el nombre de FinFET porque la capa de silicio activa entre el drenador y fuente tiene forma de aleta (*fin* en inglés).

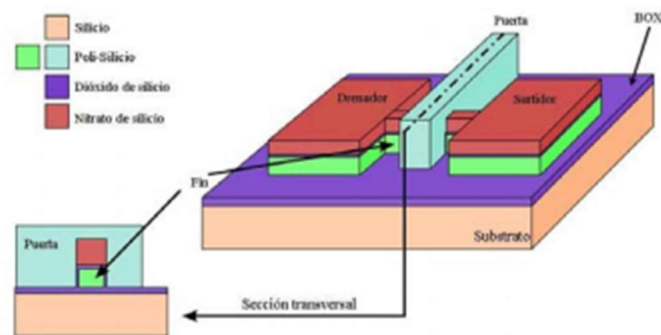


FIGURA 49. ESTRUCTURA FINFET.

Este dispositivo supera las limitaciones de la tecnología MOSFET convencional en el proceso de escalabilidad sin necesidad de modificar excesivamente el proceso de fabricación, por lo que se entiende fácilmente que los dispositivos FinFET se conviertan en la próxima generación de transistores en tecnología CMOS. Sin embargo, se deben resolver diferentes problemas de este dispositivo.

La naturaleza tridimensional de la estructura hace que presenten altas resistencias y capacidades extrínsecas que degradan las prestaciones del dispositivo. Por ello, es necesario el desarrollo de modelos que permitan una descripción adecuada de los efectos extrínsecos y sus dependencias con la geometría del transistor, así como la posibilidad de reducirlos [26] [27].

6 Conclusiones

En este trabajo se ha realizado una revisión de los modelos y los métodos de extracción de parámetros más comunes en el desarrollo del transistor MOSFET. Empezando por un estudio del transistor como dispositivo, se han analizado los parámetros característicos del MOSFET, así como los efectos adversos que estos pueden tener y es necesario considerar para su correcto modelado. Se ha manifestado la importancia de la elección del modelo adecuado para el estudio del dispositivo y qué aspectos debe cumplir un modelo para ser útil y fiable. También se ha mostrado el factor decisivo de la extracción de parámetros a la hora de fabricar un dispositivo electrónico y para el consiguiente desarrollo de los circuitos integrados que forman.

Además, gracias al estudio del dispositivo discreto se han podido mostrar las técnicas utilizadas para la extracción de parámetros del MOSFET que, junto con la determinación de los elementos del circuito equivalente, permiten la correcta caracterización y modelado del dispositivo.

Por último, se han visto las limitaciones de esta tecnología y los últimos avances en electrónica para aplicaciones en RF que marcan las líneas de investigación actuales y los futuros dispositivos a implementar una vez se desarrollen modelos y métodos de extracción de parámetros adecuados.

7 Índice de figuras

Figura 1. Característica I-V de la unión p-n.	5
Figura 2. Estructura MOS.....	6
Figura 3. Característica C-V del transistor nMOS.	8
Figura 4. Estructura MOSFET.....	10
Figura 5. Modos de operación del nMOSFET.	12
Figura 6. ID en función de VDS para distintas VGS.....	13
Figura 7. Tensión umbral.	14
Figura 8. Ejemplo de corriente subumbral.....	14
Figura 9. Característica C-V del MOSFET.	15
Figura 10. a) VDMOSFET. b) LDMOSFET.....	16
Figura 11. MOSFET fabricado por tecnología bulk.	18
Figura 12. Comparativa entre a) Estructura MOSFET y b) Estructura de fuente y drenador elevados.....	18
Figura 13. Estructura SOI MOSFET.	20
Figura 14. Ejemplos de mediciones AC. a) Con polarización fija. b) Aplicando pulsos. .	22
Figura 15. Variación de la tensión umbral efectiva en función de la tensión de drenador para diferentes longitudes de canal.....	23
Figura 16 (a) Transistor de canal largo; (b) Canal de (a); (c) Transistor de canal corto; (d) Canal de (c).	24
Figura 17. Efecto de canal corto inverso en la tensión umbral efectiva.	25
Figura 18. Representación intrínseca del MOSFET.....	29
Figura 19. Circuito equivalente de la parte intrínseca del transistor MOSFET.	32
Figura 20. Circuito equivalente en pequeña señal simplificado para el MOSFET.....	33
Figura 21. Configuración fuente/sustrato común.....	36
Figura 22. Configuración drenador/sustrato común.....	37
Figura 23. Configuración puerta/sustrato común.....	37
Figura 24. Vista frontal del equipo experimental.....	38

Figura 25. Vista posterior del equipo.	39
Figura 26. Adaptador para el dispositivo.....	39
Figura 27. Configuración de la interfaz para la medida de la tensión umbral.	40
Figura 28. Tensión umbral.	41
Figura 29. configuración de la interfaz para la medida de la tensión de drenador.	42
Figura 30. Regímenes de operación del MOSFET.....	43
Figura 31. configuración de la interfaz para la medida de la corriente subumbral.	44
Figura 32. Corriente sub-umbral.	45
Figura 33. configuración de la interfaz para la medida de la transconductancia.	46
Figura 34. Transconductancia para diferentes puntos de operación del dispositivo. ...	47
Figura 35. configuración de la interfaz para la medida de la transconductancia de salida.	48
Figura 36. Transconductancia de salida para diferentes valores de la tensión de puerta.	49
Figura 37. configuración de la interfaz para la medida de la resistencia del canal.	50
Figura 38. Resistencia del canal en función de la tensión de drenador para un valor de tensión de puerta de 3 V.	50
Figura 39. configuración de la interfaz para la medida de C_{GS}	52
Figura 40. Capacidad puerta-fuente a diferentes frecuencias.	53
Figura 41. configuración de la interfaz para la medida de C_{gd}	54
Figura 42. capacidad puerta-drenador a diferentes frecuencias.	54
Figura 43. configuración de la interfaz para la medida de C_{DS}	55
Figura 44. Capacidad drenador-fuente a diferentes frecuencias.	56
Figura 45. configuración de la interfaz para la medida de C_{GB}	57
Figura 46. Capacidad puerta-sustrato a diferentes frecuencias.	57
Figura 47. Circuito equivalente simplificado con el mosfet con los parámetros obtenidos.	59
Figura 48. Diagrama proceso de fabricación de circuitos integrados.	60
Figura 49. Estructura finfet.	61

8 Bibliografía

- [1] Y. Tsividis, Operation and Modeling of The MOS Transistor, McGRAW-HILL, 1999.
- [2] P. Alcalde San Miguel, Electrónica, Ediciones Parainfo, S.A., 2014.
- [3] M. Rudan, Physics of semiconductors devices, Springer, 2015.
- [4] P. Valizadeh, Field Effect TRANSISTORS, A Comprehensive Overview, Sainte-Joule, Québec: Wiley, 2014.
- [5] S.-M. Kang y L. Yusuf, CMOS Digital Integrated Circuits, Analysis and Design, McGRAW-HILL, 2003.
- [6] C. Galup-Montoro y M. Cherem Schneider, Mosfet Modeling for circuit analysis and design, World Scientific Publishing, 2007.
- [7] M. Chincolla, «Métodos de extracción de parámetros de un circuito equivalente de pequeña señal para transistores LDMOS de potencia para aplicaciones de RF.,» 2007.
- [8] «The Gradual Channel Approximation for the MOSFET,» *Microelectronic Devices and Circuits*, 2009.
- [9] N. Arora, Mosfet Modeling For VLSI Simulation, World Scientific, 2007.
- [10] J. J. Liou y F. Schwierz, «RF MOSFET: recent advances, current status,» 2003.
- [11] M. Trivedi, P. Khandelwal y K. Shenai, «Performance Modeling of RF Power MOSFET's,» 1999.
- [12] G. Espejo-Lopez, O. Lyubimov, O. Y. Titov y Y. G. Gurevich, «Corriente eléctrica de portadores calientes en semiconductores intrínsecos:,» *Revista Mexicana de Física*, 2004.
- [13] E. Augendre, R. Rooyackers, M. Caymax y E. P. Vandamme, «Elevated Source/Drain by Sacrificial Selective,» 2000.
- [14] A. Sedra y K. C. Smith, Circuitros microelectrónicos., 1982.
- [15] G. A. Álvarez Botero, «Modelado y Caracterización de MOSFETs Nanométricos Utilizando Técnicas de Circuito Equivalente.,» 2009.

- [16] A. Jiménez Pérez, «Modelado y Simulación del MOSFET de Umbral Dinámico (DTMOS),» 2008.
- [17] C. A. Holt, Circuitos electrónicos analógicos y digitales., Reverté, 1989.
- [18] A. Ortiz-Conde, F. Garcia Sanchez, J. Liou, A. Cerdeira, M. Estrada y Y. Yue, «A review of recent MOSFET threshold voltage,» *Microelectronics Reliability*.
- [19] J. H. Genda, C. Chang y Y.-T. Chia, «Gate-Voltage-Dependent Effective Channel Length,» *IEEE Transactions on Electron Devices*.
- [20] Keysight, «S-Parameters Measurements. Basic for high speed digital engineers.».
- [21] G. Espejo-López, O. Lyubimov, O. Y. Titov y Y. G. Gurevich, «Corriente eléctrica de portadores calientes en semiconductores intrínsecos,» *Revista Mexicana de Física*, 2004.
- [22] J. J. Liou y F. Schwierz, «RF MOSFET: recent advances, current status,» 2003.
- [23] «<http://bsim.berkeley.edu/>,» Agosto 2020.
- [24] G. Sialm, C. Kromer, F. Ellinger, T. Morf, D. Emi y H. Jäckel, «Design of Low-Power Fast VCSEL Drivers for High-Density Links in 90-nm SOI CMOS,» *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, 2006.
- [25] «(https://www.electronics-notes.com/articles/analogue_circuits/fet-field-effect-transistor/fet-circuit-configurations.php,» Julio 2020.
- [26] A. G. Martínez-López, E. Solís-Ávila, J. Martínez-Castillo y J. C. Tinoco Magaña, «Tecnología CMOS: Avances y perspectivas,» 2015..
- [27] F. D. B. Mas Boned y E. García Moreno, «Transistores FinFET,» 2010.