



Universidad de Valladolid



**ESCUELA DE INGENIERÍAS
INDUSTRIALES**

UNIVERSIDAD DE VALLADOLID

ESCUELA DE INGENIERIAS INDUSTRIALES

Grado en Ingeniería en Electrónica Industrial y Automática

Test de circuitos integrados

Autor:

Peña Moro, Alejandro

Tutora:

**Pérez Barreiro, María Cristina
Departamento de Tecnología
Electrónica**

Valladolid, julio 2021.





RESUMEN. PALABRAS CLAVE

Hoy en día, la microelectrónica es fundamental en nuestras vidas. Los circuitos integrados se encuentran en todos los dispositivos electrónicos de la actualidad, siendo su componente principal. Es esencial que estos circuitos integrados funcionen correctamente por lo que, dentro del proceso de fabricación, una de las fases más importantes es el testeo de estos circuitos. La fabricación de circuitos integrados está formada por un conjunto de etapas complejas que es fácil que induzcan errores en los circuitos, por lo que antes de que salgan de la fábrica deben ser comprobados y aquellos defectuosos, retirados. Este trabajo muestra los diferentes tipos de circuitos integrados, sus fallos más comunes, los principales parámetros que hay que comprobar y diferentes técnicas para ello. El aumento de la demanda de circuitos integrados y el avance tecnológico ha permitido desarrollar más circuitos integrados aplicando mejores técnicas de fabricación y, en consecuencia, ha sido necesario desarrollar técnicas de testeo más eficientes, por lo que en este trabajo se expone un método adaptativo para comprobar el correcto funcionamiento de los circuitos que se fabrican.

Palabras clave: Circuito integrado, test, diseño para la testabilidad, test adaptativo, equipo de test automático.

ABSTRACT. KEYWORDS.

Nowadays, microelectronic technology is very important in our lives. Integrated circuits are found in all electronic devices. Correct operation of integrated circuits is essential so test them is one of the most important phases of their manufacturing process. All integrated circuits must be tested and if any of the integrated circuit fail it will be removed. My bachelor degree thesis shown the different types of integrated circuit and the most comun fails. Also it shown the principal parameters that must be tested and how we can do it. The increasing demand of integrated circuits and technological advance have made possible to develop more chips using better manufacturing techniques. This integrated circuits should be tested applying more efficient test methods, therefore in this document explains an adaptative test.

Keywords: Integrated circuit (IC), test, design for testability (DfT), adaptative test, automated test equipment (ATE).





ÍNDICES.

Índice de contenido

| | |
|---|-----------|
| INTRODUCCIÓN Y OBJETIVOS | 9 |
| DESARROLLO DEL TFG | 11 |
| 1. ¿Qué es un circuito integrado? Tipos de circuitos integrados. | 11 |
| 1.1 Tecnología Bipolar. | 12 |
| 1.2 Tecnología CMOS..... | 12 |
| 1.3 Tecnología BiCMOS..... | 13 |
| 1.4 Tecnología SiGe BiCMOS. | 13 |
| 2. Fabricación de circuitos integrados. | 14 |
| 2.1 Preparación de la oblea o sustrato | 14 |
| 2.2 Difusión..... | 15 |
| 2.3 Implantación iónica..... | 15 |
| 2.4 Litografía | 15 |
| 2.5 Oxidación térmica | 16 |
| 2.6 Crecimiento epitaxial | 16 |
| 2.7 Depósito de aislantes | 16 |
| 2.8 Grabado | 16 |
| 2.9 Metalización..... | 16 |
| 2.10 Encapsulado | 17 |
| 3. Necesidad de test. | 17 |
| 4. Test circuitos integrados digitales..... | 18 |
| 4.1 Modelos de fallos..... | 19 |
| 4.2 Test de circuitos combinatoriales..... | 22 |
| 4.3 Test de circuitos secuenciales..... | 24 |
| 5. Test de circuitos integrados analógicos..... | 25 |
| 6. Test de circuitos integrados de señal mixta..... | 26 |
| 6.1 Convertidores digital-analógico..... | 26 |
| 6.2 Convertidores analógico-digital..... | 32 |
| 7. Diseño para la Testabilidad..... | 37 |
| 7.1 Diseño para la testabilidad digital: | 37 |
| 7.2 Diseño para la testabilidad de circuitos analógicos y de señal mixta: | 41 |
| 8. Equipo de Test Automatizado (ATE – Automatic Test Equipment) | 42 |
| 9. Test adaptativo de circuitos integrados. | 43 |
| 9.1 Necesidad y aparición de la prueba adaptativa: | 44 |



| | |
|---|----|
| 9.2 Antecedentes: | 45 |
| 9.3 Uso de estadísticas bayesianas:..... | 46 |
| 9.4 Esquema de prueba adaptativo:..... | 46 |
| 9.5 Aplicación del método a datos de producción:..... | 49 |
| CONCLUSIONES | 51 |
| BIBLIOGRAFÍA | 53 |
| REFERENCIAS DE LAS ILUSTRACIONES | 55 |



Índice de ilustraciones

| | |
|---|----|
| Ilustración 1 – Esquema básico de un Circuito Integrado..... | 11 |
| Ilustración 2 – Transistores bipolares NPN y PNP | 12 |
| Ilustración 3 - Estructura básica de un transistor MOS | 13 |
| Ilustración 4 – Estructura tridimensional de un transistor nMOS | 13 |
| Ilustración 5 – Crecimiento de transistores por chip siguiendo la Ley de Moore | 14 |
| Ilustración 6 – Esquema de un implantador iónico..... | 15 |
| Ilustración 7 – Proceso de fotolitografía..... | 16 |
| Ilustración 8 – Tamaño de los transistores histórico y predicciones de futuro..... | 17 |
| Ilustración 9 – Tamaño de mercado en los últimos años | 18 |
| Ilustración 10 – Test digital | 19 |
| Ilustración 11 – Nodo pegado a 1 y nodo pegado a 0 | 19 |
| Ilustración 12 – Circuito correcto (superior) y circuito abierto (inferior)..... | 20 |
| Ilustración 13 – Tabla de verdad para el circuito con fallo | 20 |
| Ilustración 14 – Tabla de verdad aplicando un orden de vectores que no detecta el fallo . | 20 |
| Ilustración 15 – Tabla de verdad aplicando un orden de vectores que sí detecta el fallo... | 20 |
| Ilustración 16 – Fallos de cortocircuito | 21 |
| Ilustración 17 – Diagrama del funcionamiento de Carafe | 22 |
| Ilustración 18 – Circuito combinacional diseñado con el software PROTEUS | 22 |
| Ilustración 19 – Circuito combinacional para la búsqueda de vectores de test | 23 |
| Ilustración 20 – Biestable tipo D sin Set..... | 24 |
| Ilustración 21 – Registro de desplazamiento..... | 24 |
| Ilustración 22 – Funcionamiento del registro de la Ilustración 21..... | 24 |
| Ilustración 23 – Técnica DSP aplicadas a un circuito integrado analógico..... | 26 |
| Ilustración 24 – Estructura de un convertidor digital-analógico de n entradas | 26 |
| Ilustración 25 – Característica de transferencia ideal de un convertidor digital-analógico de 3 bits | 27 |
| Ilustración 26 – Diseño de convertidor digital-analógico por el método de resistencias ponderadas..... | 28 |
| Ilustración 27 – Diseño de convertidor digital-analógico en redes de escalera..... | 28 |
| Ilustración 28 – Red pasiva usada en los convertidores digital-analógico R-2R | 28 |
| Ilustración 29 – Convertidor digital-analógico basado en la red pasiva R-2R..... | 29 |
| Ilustración 30 – Convertidor digital-analógico de 3 bits con error de offset y ganancia | 30 |
| Ilustración 31 – Función de transferencia ideal (izquierda) y real (derecha) de un convertidor digital-analógico de 3 bits..... | 30 |
| Ilustración 32 – No linealidad integral para un convertidor digital-analógico de 3 bits..... | 31 |
| Ilustración 33 – No linealidad diferencial de un convertidor digital-analógico de 3 bits | 31 |
| Ilustración 34 – Estructura de un convertidor analógico-digital con n salidas | 32 |
| Ilustración 35 – Característica de transferencia de un convertidor analógico-digital de 3 bits | 33 |
| Ilustración 36 – Convertidor analógico-digital de aproximación sucesiva | 33 |
| Ilustración 37 – Convertidor analógico-digital de doble pendiente..... | 34 |
| Ilustración 38 – Convertidor analógico-digital FLASH | 35 |
| Ilustración 39 – Errores de offset, ganancia y código perdido en un convertidos analógico-digital de 3 bits | 36 |
| Ilustración 40 – Convertidor analógico-digital monótono (izquierda) y no monótono (derecha)..... | 36 |
| Ilustración 41 – Estructura de un circuito secuencial | 38 |



| | |
|--|----|
| Ilustración 42 – Estructura de un circuito secuencial con Scan Path Testing | 38 |
| Ilustración 43 – Esquema básico de un circuito BIST | 39 |
| Ilustración 44 – Equipo generador de señales de un BIST | 39 |
| Ilustración 45 – Esquema básico Boundary Scan | 40 |
| Ilustración 46 – Boundary Scan de un circuito integrado | 40 |
| Ilustración 47 – Diseño para la testabilidad de un circuito de señal mixta | 42 |
| Ilustración 48 – Equipo de test automatizado | 43 |
| Ilustración 49 – Coste de fabricación comparado con el coste de test de circuitos integrados..... | 44 |
| Ilustración 50 – Tiempo para detectar fallos utilizando un orden de test aleatorio y orden de test adaptativo..... | 46 |
| Ilustración 51 – Esquema del proceso de actualización de las tasas de falla de test utilizando el método bayesiano de dos etapas | 47 |
| Ilustración 52 – Diagrama de flujo que explica las actualizaciones del método de test adaptativo..... | 48 |
| Ilustración 53 – Reducción del tiempo hasta encontrar fallos por oblea de producto 1..... | 49 |
| Ilustración 54 – Relación entre reducción del tiempo de prueba y nivel de defectos relativos para diferentes relaciones de truncamiento. | 50 |



INTRODUCCIÓN Y OBJETIVOS

Los circuitos integrados forman parte de todos los equipos electrónicos, por lo que se han vuelto productos muy demandados en el mercado actual. Los circuitos integrados han ido mejorando a lo largo de los años, aumentando el número de transistores que los componen exponencialmente siguiendo la Ley de Moore que se expone en este documento. También, ha disminuido el tamaño de los mismos por lo que, se ha conseguido optimizar las obleas de silicio para poder fabricar un número mayor de transistores. Si históricamente el proceso de fabricación ha sido largo y complejo puesto que está formado por un gran número de etapas en las que es fácil que ocurra algún fallo, el aumento del número de transistores y la disminución de su tamaño ha hecho que aumente el número de probabilidades de que un circuito falle. Es por esto por lo que, un gran número de circuitos integrados fabricados no son válidos y se tienen que desechar. Por lo tanto, es tan necesario realizar correctamente todos los pasos de la fabricación como comprobar que el circuito funciona antes de entregarlo al usuario final. El aumento de la demanda y de la producción de circuitos integrados ha requerido invertir en la mejora de los métodos de test de los circuitos integrados fabricados para que se encuentren los fallos en el menor tiempo posible optimizando así los costes de fabricación y comprobación

En este documento se desarrolla una revisión bibliográfica en la que se analizan los diferentes tipos de circuitos integrados, sus principales características, aquellos parámetros que deben ser comprobados y las técnicas que se pueden utilizar para comprobarlos.

Se ha realizado una recopilación de información en diversas páginas, gracias a la licencia que corresponde por ser estudiante de la Universidad de Valladolid, como pueden ser *Google Scholar*, *Scopus*, *ResearchGate* o revistas como *IEEE Explora*.

El principal objetivo de este documento es mostrar la necesidad que tienen los fabricantes de circuitos integrados de testear todos los productos que fabrican, así como mostrar los fallos más comunes que ocurren y hacen que su funcionamiento no sea el esperado. Para conseguirlo, en primer lugar, se analizan los diferentes tipos de tecnología de circuitos integrados y su proceso de fabricación para comprender todas las etapas que hay que llevar a cabo. Posteriormente se muestran los diferentes tipos de test de circuitos integrados en función de las señales con las que trabajan y se analizan los fallos que pueden ocurrir, así como aquellos parámetros que se deben comprobar. A continuación, se analizan las técnicas de diseño que facilitan la comprobación de los circuitos, lo que se conoce como Diseño para la Testabilidad o *Design for Testability* y también el funcionamiento de los equipos de test automáticos (ATE). Para terminar, se buscan métodos de testeo de circuitos integrados que faciliten la comprobación del funcionamiento correcto con el objetivo del coste y tiempo de testeo, habiendo encontrado un método adaptativo novedoso para testear los circuitos cuyo objetivo es reordenar, basándose en distribuciones probabilísticas, los patrones de test que se aplican al circuito con el objetivo de reducir el tiempo necesario para detectar los fallos, lo que reducirá en consecuencia el coste de fabricación de los circuitos.



DESARROLLO DEL TFG

1. ¿Qué es un circuito integrado? Tipos de circuitos integrados. [1] [2] [4]

Un circuito integrado es un pequeño dispositivo electrónico basado en semiconductores que puede estar formado por transistores, resistencias o condensadores entre otros. En la actualidad, el ejemplo más común de circuito integrado es el procesador de un ordenador formado por miles de transistores, puertas lógicas y otros circuitos digitales. En definitiva, son los componentes básicos de los equipos y dispositivos electrónicos. La estructura básica de un circuito integrado es la que podemos observar en la Ilustración 1, formada por un núcleo que contiene la mayoría de los circuitos y la periferia en la que se encuentran las celdas de entrada/salida y la fuente de alimentación. El circuito se encuentra empaquetado con el objetivo de protegerlo eléctrica, térmica y mecánicamente.

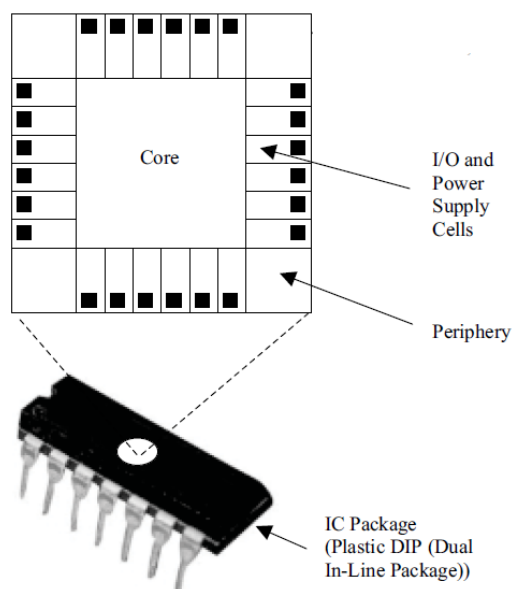


Ilustración 1 – Esquema básico de un Circuito Integrado

Podemos diferenciar los circuitos integrados en tres grandes grupos:

- 1) Circuitos Integrados Digitales: Utilizan matemática binaria (unos y ceros) en la que 1 significa encendido y por el contrario 0, apagado. Estos circuitos suelen ser complejos puesto que contienen múltiples flip-flops, multiplexores y puertas lógicas. En este grupo se encuentran los circuitos integrados programables, circuitos integrados lógicos o circuitos de memoria.
- 2) Circuitos Integrados Analógicos: Funcionan mediante señales continuas y son capaces de filtrarlas, amplificarlas, modularlas o demodularlas. Se caracterizan por tener un número muy inferior de transistores que los digitales. El circuito integrado analógico más común es el amplificador operacional.
- 3) Circuitos Integrados de Señal Mixta: Son aquellos circuitos integrados que combinan circuitos integrados analógicos y mixtos. Principalmente son convertidores analógico-digital, digital-analógico y circuitos integrados de reloj/temporización.

Existen multitud de tipos de circuitos integrados en función de la forma en la que han sido fabricados. Se escogerá un tipo u otro en función del uso que vaya a desempeñar, el coste o los componentes de este y podemos encontrar los siguientes:

- Bipolar.
- CMOS: Semiconductor complementario de óxido metálico.
- BiCMOS: Tecnología bipolar y CMOS.
- SiGe BiCMOS: Tecnología bipolar y CMOS utilizando Silicio y Germanio.

1.1 Tecnología Bipolar.

Esta tecnología ha sido la primera en utilizarse en la fabricación de circuitos integrados y en la actualidad se siguen utilizando en sistemas de comunicación debido a sus ventajas de velocidad y la alta capacidad de transmitir corriente respecto a las tecnologías CMOS. Su principal desventaja es la difícil integración. Existen dos tipos de transistores bipolares en función del dopaje del silicio, transistor NPN y transistor PNP cuyas estructuras se pueden observar en la Ilustración 2.

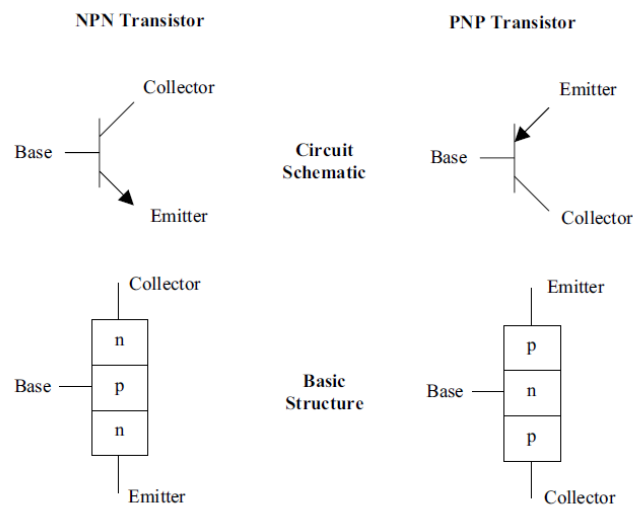


Ilustración 2 – Transistores bipolares NPN y PNP

El uso principal de los transistores bipolares es el de interruptor electrónico o amplificador con ganancia variable.

1.2 Tecnología CMOS.

La tecnología CMOS (semiconductor complementario de óxido metálico) es la más utilizada en la industria de la microelectrónica. Este tipo de tecnología se utiliza en gran cantidad de aplicaciones, desde procesadores digitales hasta convertidores de datos y amplificadores analógicos.

Utiliza conjuntamente transistores nMOS y pMOS y el transistor controla el flujo de corriente variando la tensión en la puerta aislada de este. Su estructura básica se puede observar en la Ilustración 3.

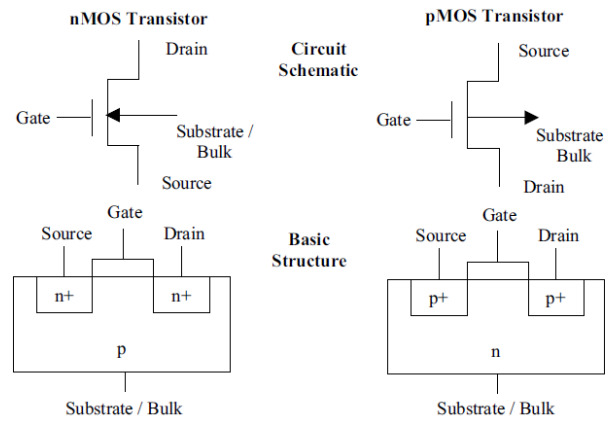


Ilustración 3 - Estructura básica de un transistor MOS

En la Ilustración 4, podemos observar la estructura tridimensional de un transistor nMOS, observando sus partes (puerta, drenador, surtidor y sustrato) así como sus principales características (canal y longitud). En este caso, un voltaje positivo entre la puerta y el surtidor permite que fluya corriente entre el drenador y surtidor.

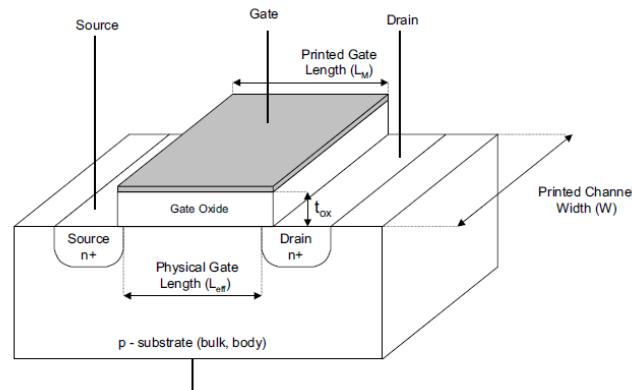


Ilustración 4 - Estructura tridimensional de un transistor nMOS

1.3 Tecnología BiCMOS.

Esta tecnología se consigue combinando los procesos bipolar y CMOS, con esto conseguimos integrar el bajo consumo y los altos niveles de integración de la tecnología CMOS y la alta capacidad de transmitir corriente de los bipolares.

1.4 Tecnología SiGe BiCMOS.

Es una tecnología que combina la integración y los beneficios económicos del silicio con la velocidad de tecnologías más caras como puede ser la tecnología de Arseniuro de Galio. En este proceso, se introduce el Germanio en la capa base de un transistor bipolar de Silicio. El resultado es un transistor bipolar de heterounión (HBT). Una de sus aplicaciones principales es en circuitos de comunicación de radiofrecuencia.

De todos ellos la tecnología más utilizada en la fabricación de circuitos integrados es la CMOS debido a las ventajas que tiene respecto al resto. En los circuitos integrados digitales el componente principal es el transistor, mientras que en los circuitos analógicos o de señal mixta se utilizan resistencias, capacitores e inductores.

2. Fabricación de circuitos integrados. [3] [5] [6] [7]

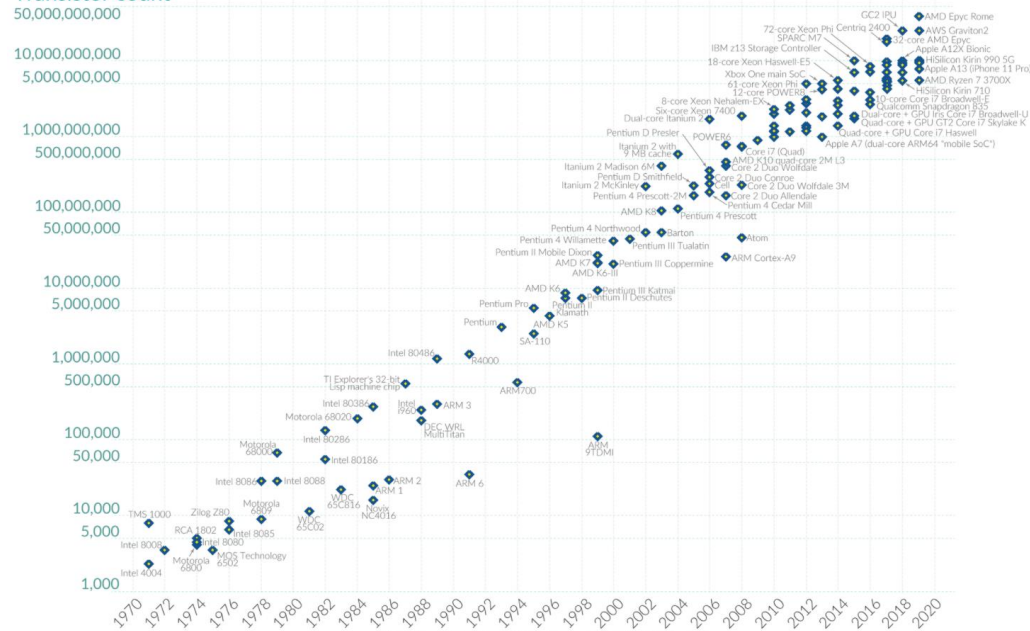
El proceso de fabricación de circuitos integrados es complejo puesto que está formado por diferentes etapas de fotolitografía y procesado químico, generándose así una serie de circuitos sobre una oblea de material semiconductor. Este material generalmente es el silicio como ya se ha comentado con anterioridad, pero también podemos encontrar silicio con germanio o arseniuro de galio para modificar las propiedades de los circuitos a fabricar.

La fabricación de circuitos integrados sigue un procedimiento VLSI (integración en escala muy grande) en el que se crea un circuito integrado compuesto por millones de transistores en un único chip. El crecimiento del número de transistores por chip ha seguido históricamente la Ley de Moore que expone un aumento exponencial de estos, duplicándose cada dos años. Se estima que en la actualidad se fabrican más de 20 billones de transistores por segundo.

Moore's Law: The number of transistors on microchips doubles every two years

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important for other aspects of technological progress in computing – such as processing speed or the price of computers.

Transistor count



Data source: Wikipedia (wikipedia.org/wiki/Transistor_count) Year in which the microchip was first introduced
OurWorldInData.org – Research and data to make progress against the world's largest problems. Licensed under CC-BY by the authors Hannah Ritchie and Max Roser.

Ilustración 5 – Crecimiento de transistores por chip siguiendo la Ley de Moore

Las diferentes etapas del proceso de fabricación de circuitos integrados son las que se muestran a continuación:

2.1 Preparación de la oblea o sustrato

La primera etapa es el refinado del silicio con el objetivo de conseguir que este sea de muy alta pureza. Se rebanan obleas de entre 400 µm y 600 µm de espesor que posteriormente son alisadas hasta conseguir un efecto de espejo, mediante técnicas químicas y mecánicas. Las propiedades mecánicas y eléctricas de la oblea dependerán de la orientación de los planos cristalinos, de la concentración del material y de las impurezas existentes.

2.2 Difusión

Es un método de introducción de una cantidad controlada de impurezas en el sustrato o en una zona delimitada del mismo y su objetivo es variar las características eléctricas del material. Los dopantes que se introducen son generalmente boro para conseguir material tipo p y arsénico para conseguir material tipo n.

La difusión en estado sólido consiste en el movimiento de átomos dentro de una red cristalina para igualar concentraciones, siendo el flujo de la región de alta concentración a la región de baja concentración. La fuerza que produce el movimiento de los átomos es debida a la existencia de un gradiente de concentración.

2.3 Implantación iónica

Es otro método utilizado para introducir una cantidad controlada de impurezas en el semiconductor. Los átomos de dopantes son ionizados, se aceleran a través de un campo electromagnético alto para dirigirlos a la oblea. Los iones altamente energéticos que bombardean la oblea se implantan en su superficie. Este proceso puede dañar la red cristalina de silicio por lo que se la somete a un recocido a altas temperaturas.

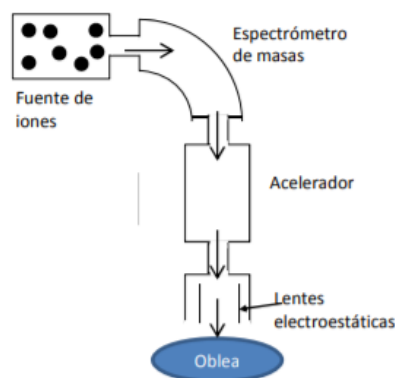


Ilustración 6 - Esquema de un implantador iónico

2.4 Litografía

Esta etapa permite definir la geometría de la superficie de los componentes de un circuito integrado. Gracias a la litografía se pueden seleccionar las zonas que posteriormente serán afectadas por un tratamiento, como por ejemplo eliminación de óxido en una parte específica de la oblea manteniéndolo en otras como se observa en el proceso de fotolitografía de la Ilustración 7. Se recubre la oblea con un material fotosensible y a continuación se utiliza una máscara o placa fotográfica para exponer de forma selectiva la capa fotosensible a la iluminación ultravioleta. De esta forma se consigue transferir un patrón desde una fotomáscara a la superficie de la oblea. Cabe destacar que es un proceso bastante sensible al polvo por lo que se realiza en salas blancas donde las condiciones son óptimas evitando la contaminación de la oblea.

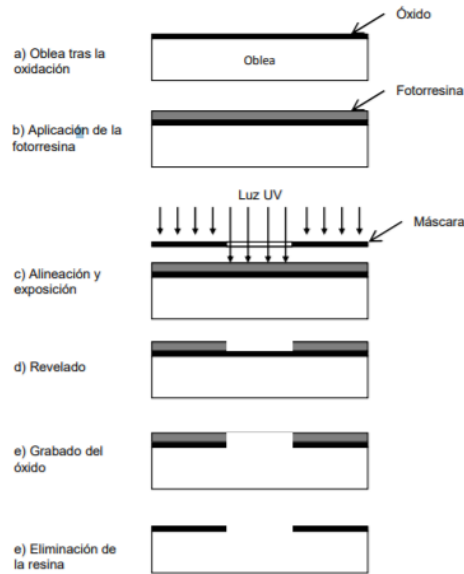


Ilustración 7 – Proceso de fotolitografía

2.5 Oxidación térmica

Mediante esta técnica se pretende crear una capa de aislante en el sustrato mediante una reacción química en la que el silicio reacciona con el oxígeno dando lugar a óxido de silicio. Esta capa de óxido puede servir como aislante e impermeable en procesos de dopado, para el dopado selectivo, como óxido de puerta en las estructuras MOS o como aislante entre otras aplicaciones.

2.6 Crecimiento epitaxial

Es un método de formación de uniones de distintos dopados y consiste en el crecimiento de un monocristal sobre un sustrato. Este fenómeno se produce debido a la ordenación de los átomos siguiendo la estructura del sustrato de origen. Gracias al crecimiento epitaxial se controla el nivel de impurezas sobre el semiconductor.

2.7 Depósito de aislantes

Es otra técnica cuyo objetivo es crear capas aislantes en la oblea. La técnica más usada es la deposición por medio de vapor químico, proceso mediante el cual gases o vapores reaccionan y se produce la formación de sólidos en la oblea. Las propiedades de esta capa no son tan buenas como las propiedades de óxido térmico, pero aun así son suficientes para que actúe de aislante térmico.

2.8 Grabado

Es un proceso mediante el cual se ataca, generalmente con ácido, la superficie de la oblea con el objetivo de eliminar algún elemento de esta.

2.9 Metalización

Etapa de la fabricación de circuitos integrados en la que se produce el depósito de una capa metálica para poder interconectar los diversos componentes del circuito integrado.

2.10 Encapsulado

Es la etapa final en la fabricación de circuitos integrados en la que se introduce el circuito integrado en el encapsulado que generalmente es de plástico con el objetivo de aportar protección ante daños mecánicos, térmicos o eléctricos en el circuito.

3. Necesidad de test. [3] [13] [14]

El gran número de etapas que tiene el proceso de fabricación de circuitos integrados fomenta la aparición de fallos en los mismos, como ya se ha comentado en este documento. Es un proceso complejo, en el que pueden aparecer fallos que no dependen del fabricante de los circuitos por lo que es necesario comprobar que todos los circuitos fabricados cumplen las especificaciones antes de que lleguen al usuario final.

El aumento exponencial de transistores que puede tener un chip se ha ido duplicando cada dos años llegando en la actualidad a 50 mil millones de transistores por chip, como expone la Ley de Moore vista en apartados anteriores.

La mayor cantidad de transistores por chip y su integración están relacionadas con el decremento del tamaño de los transistores. En la ilustración 8, se puede observar cómo ha disminuido el tamaño desde los 10 micrómetros en el año 1971 a 5 nanómetros en la actualidad, esperando que en el futuro sigan siendo todavía más pequeños.

| | | |
|--------------------------|---------------|--------------|
| 10 μm – 1971 | 250 nm – 1996 | 14 nm – 2014 |
| 6 μm – 1974 | 180 nm – 1999 | 10 nm – 2016 |
| 3 μm – 1977 | 130 nm – 2001 | 7 nm – 2018 |
| 1.5 μm – 1981 | 90 nm – 2003 | 5 nm – 2020 |
| 1 μm – 1984 | 65 nm – 2005 | Future |
| 800 nm – 1987 | 45 nm – 2007 | 3 nm ~ 2022 |
| 600 nm – 1990 | 32 nm – 2009 | 2 nm ~ 2023 |
| 350 nm – 1993 | 22 nm – 2012 | |

Ilustración 8 – Tamaño de los transistores histórico y predicciones de futuro

En consecuencia, el menor tamaño de los transistores y el aumento de estos en cada chip dificulta la prueba de los circuitos integrados, por lo que en los últimos años ha sido imprescindible renovar y mejorar las técnicas de testeo.

Durante el proceso de fabricación de los circuitos integrados se van acumulando los defectos, de modo que cierto número de componentes del circuito final no funcionan correctamente. Cuando el chip integra un gran número de componentes, estos componentes defectuosos disminuyen la proporción de chips que funcionan correctamente. Es por ello por lo que en circuitos de memorias, por ejemplo, donde existen millones de transistores, se fabrican más de los necesarios, de manera que se puede variar la interconexión final para obtener la organización especificada.

Desde el punto de vista económico, el mercado mundial de circuitos integrados alcanzó los 404 billones de dólares en 2020. Se prevé que el mercado crezca más del 20% en 2021 hasta superar la barrera de los 500 billones de dólares. En la ilustración 9 se puede observar la evolución del mercado de los circuitos integrados, lo cual hace una idea del aumento del número de la producción y de la importancia que tiene comprobar el correcto funcionamiento de los circuitos fabricados.

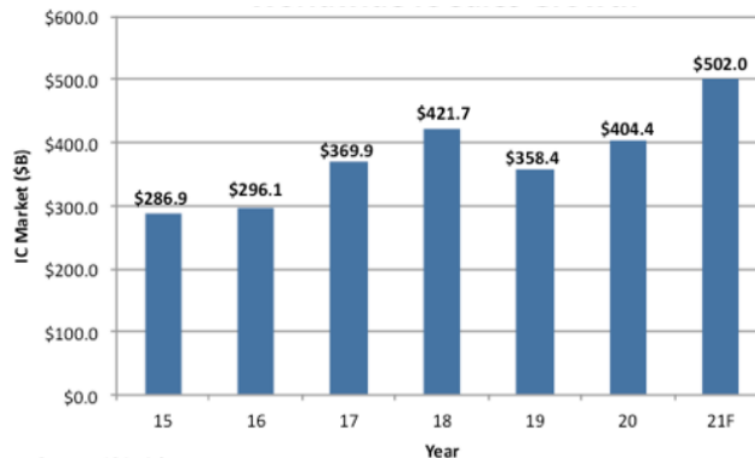


Ilustración 9 – Tamaño de mercado en los últimos años

Con todo lo expuesto anteriormente, se puede concluir la importancia de que todos los circuitos integrados que se fabrican sean comprobados y satisfagan las necesidades del usuario. Existen diversas técnicas de prueba que se verán con detalle en los apartados siguientes.

4. Test circuitos integrados digitales [4] [8] [11]

El proceso consiste en aplicar una serie de estímulos digitales al circuito integrado que se ha fabricado para observar su respuesta y así analizar si se ha fabricado correctamente. La respuesta que se obtiene del circuito se compara con la respuesta ideal del circuito sin fallos.

Se pueden diferenciar dos tipos de pruebas, funcional y estructural. La prueba funcional busca que el circuito realice todas las funciones para las que ha sido diseñado, labor que puede requerir demasiado tiempo. Por otro lado, el test estructural busca fallos que se han producido en la fabricación del mismo por lo que será necesario crear unos modelos de fallos que se comentarán con posterioridad. El test estructural busca reducir el número de vectores de test con los que se estimula al circuito respecto al test funcional exhaustivo de modo que se localice el 100% de las fallas producidas en el circuito integrado en el menor tiempo posible.

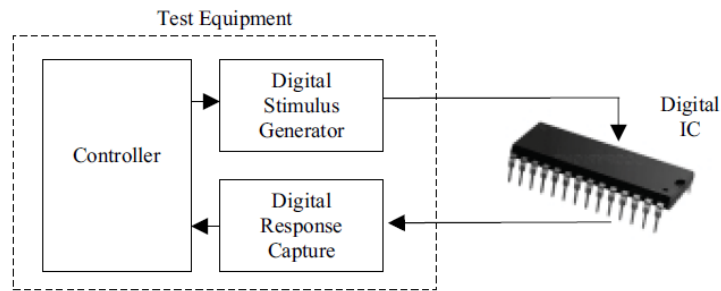


Ilustración 10 – Test digital

El número de patrones requeridos para realizar una prueba funcional exhaustiva al circuito es igual a 2^N siendo N el número de entradas al circuito, esto implica que para testear un circuito que tenga 64 entradas serán necesarios casi 1.85×10^{19} patrones, como observamos esto puede necesitar mucho tiempo por lo que si tenemos un gran número de entradas este método es poco práctico. Una prueba estructural adecuada disminuirá este número de patrones logrando optimizar el tiempo de testeo.

4.1 Modelos de fallos

1. Fallos por pegado (Stuck-At-Fault).

Ocurre cuando un nodo de un circuito lógico se encuentra conectado a la tensión de alimentación (V_{dd} , pegado a lógica 1) o a tierra (V_{ss} , pegado a lógica 0), denominándose Stuck-At-1 y Stuck-At-0 respectivamente. En la ilustración 11 podemos observar un ejemplo de fallo por pegado.

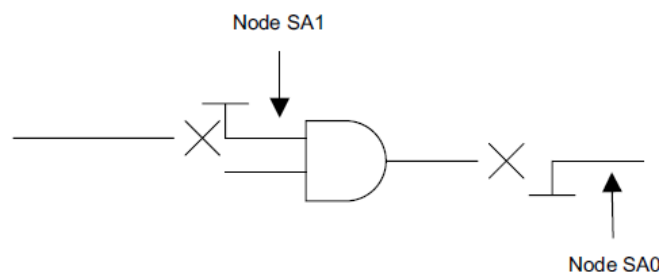


Ilustración 11 – Nodo pegado a 1 y nodo pegado a 0

2. Circuito abierto o rotura.

Este tipo de fallo ocurre cuando por algún motivo no se realiza una conexión adecuada entre dos puntos que teóricamente deberían estar unidos. Este tipo de fallos tiene el inconveniente de que pueden no ser detectados si los vectores de test se aplican en un orden inapropiado. En el circuito de la Ilustración 12 podemos observar un fallo de circuito abierto que hace que el valor de la salida de este sea función de la salida anterior como se puede ver en la tabla de la ilustración 13. En la tabla de la ilustración 14, se puede observar que se obtiene la salida, lo que indica que si se utilizase ese orden no se detectaría el fallo. Por el contrario, en el caso de la tabla de la ilustración 15, se puede observar cómo al aplicar los vectores en otro orden, no se obtienen los resultados correctos y se podría detectar el fallo.

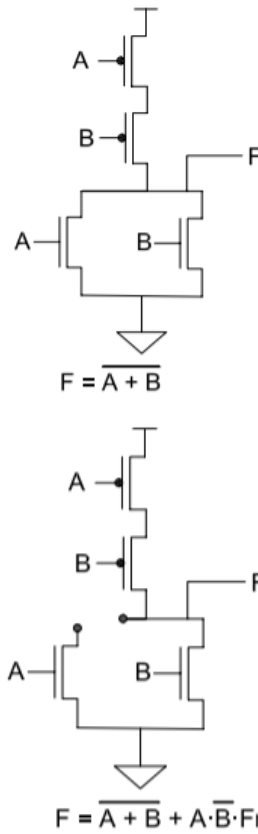


Ilustración 12 – Circuito correcto (superior) y circuito abierto (inferior)

| AB | Fn+1 |
|----|------|
| 00 | 1 |
| 01 | 0 |
| 10 | Fn |
| 11 | 0 |

Ilustración 13 – Tabla de verdad para el circuito con fallo

| AB | Salida |
|----|--------|
| 00 | 1 |
| 01 | 0 |
| 10 | 0 |
| 11 | 0 |

Ilustración 14 – Tabla de verdad aplicando un orden de vectores que no detecta el fallo

| AB | Salida |
|----|--------|
| 00 | 1 |
| 10 | 1 |
| 01 | 0 |
| 11 | 0 |

Ilustración 15 – Tabla de verdad aplicando un orden de vectores que sí detecta el fallo

3. Fallos de cortocircuito o puente.

Este tipo de fallo se produce cuando dos o más nodos están conectados cuando no deberían estarlo. Si la conexión entre nodos es entre un nodo cualquiera y el nodo de tensión V_{ss} (lógica 0) se podría modelar como un Stuck-At-0, como el fallo S2 de la Ilustración 16. Mientras que si el cortocircuito se produce como el fallo S1 de la Ilustración 16 se considera cortocircuito entre nodos internos.

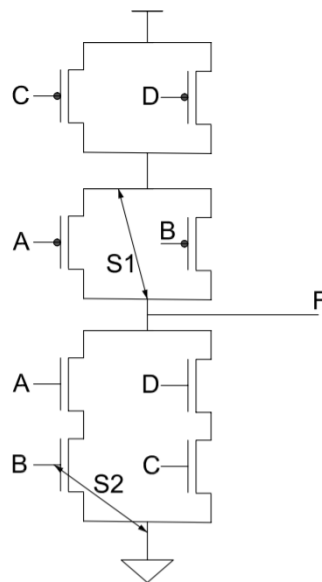


Ilustración 16 – Fallos de cortocircuito

Una buena técnica para detectar estos dos últimos tipos de fallos son las técnicas de análisis de fallo inductivo (IFA, del inglés *Inductive Fault Analysis*). A continuación, siguiendo el artículo “*Carafe: An Inductive Fault Analysis Tool for CMOS VLSI Circuits*” de Alvin Jee y F. Joel Ferguson de la Universidad de California se explica brevemente un software denominado *Carafe* basado en método IFA, que determina qué fallos es posible que ocurran en función del diseño del circuito y de la tecnología de fabricación.

El análisis inductivo de fallos (IFA) es un procedimiento que proporciona la lista de fallos que pueden ocurrir en un layout de circuito debido a un defecto puntual. IFA simula el efecto de un fallo en las regiones conductoras, aislantes o semiconductoras del circuito integrado. Dado que la lista de fallos se genera mediante una simulación de defectos en el diseño físico solo se informan de posibles fallos realistas. La simulación de defectos en IFA ha determinado que más del 99% de todos los defectos puntuales en un circuito causan un puente (cortocircuito) o rotura. Dado que prácticamente todos los defectos puntuales se manifiestan como fallos de ruptura o puente, podemos evitar la costosa simulación de defectos y extraer directamente los posibles fallos de puente y rotura de forma realista a partir del layout del circuito.

Carafe, como ya se ha comentado, es un método que proporciona una implementación robusta y estable de la simulación de defectos puntuales,

proporcionando una lista de todos los fallos por rotura o cortocircuito que pueden ocurrir en el layout de un circuito derivados de ese defecto puntual. Estos fallos se consideran realistas puesto que surgen a partir de defectos conocidos en el diseño físico del circuito.

La lista de fallos se genera a partir del diseño, una descripción de la tecnología de fabricación y la información de distribución de defectos. *Carafe*, informa de la probabilidad de que ocurra un fallo en función de todos los fallos encontrados.

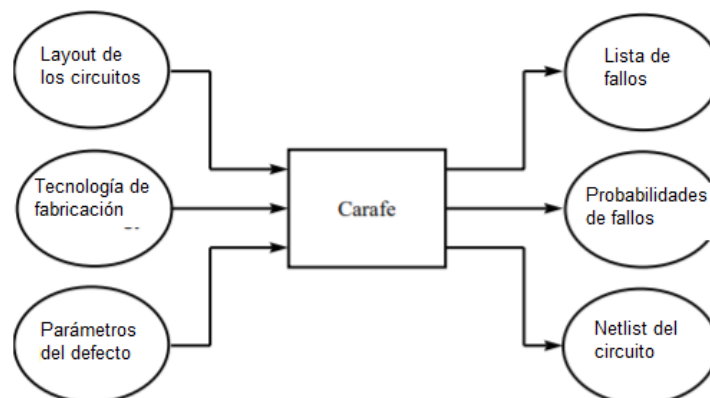


Ilustración 17 – Diagrama del funcionamiento de Carafe

4.2 Test de circuitos combinacionales

En este apartado se exponen brevemente los circuitos de lógica combinacional y la forma de testarlos. Estos circuitos pueden describir su funcionamiento siguiendo lógica booleana, como se puede observar en el ejemplo de la Ilustración 18 en el que aparece un circuito combinacional formado por puertas OR y NAND, siendo su función booleana:

$$F = \overline{(A \cdot B) + C}$$

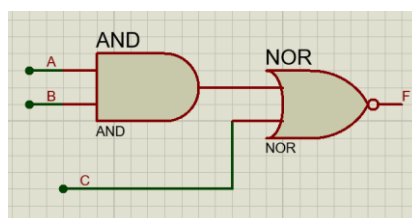


Ilustración 18 – Circuito combinacional diseñado con el software PROTEUS

Para comprobar el funcionamiento de este tipo test se utilizan los modelos de fallos con el objetivo de detectar el mayor número posible de fallos en el circuito.

Una forma de detectar los fallos de pegado (Stuck-At-Fault) es introduciendo al circuito una serie de combinaciones en la entrada y observar la respuesta del circuito. La búsqueda de estos vectores de prueba se denomina Generación de

Patrones de Test (TPG en inglés) y es una labor costosa y lenta para generar manualmente por lo que existen diferentes métodos de Generación Automática de Patrones de Test (ATPG) como puede ser el método del algoritmo D.

A continuación, se explica brevemente el método del algoritmo D, un método de proceder para encontrar los vectores de prueba necesarios que cubren al 100% las pruebas de fallo por pegado. En primer lugar, hay que destacar que los nodos de un circuito combinacional pueden tener cinco estados:

- Estado 0: Nivel lógico 0 (sin tensión, conectado a Vss).
- Estado 1: Nivel lógico 1 (conectado a Vdd).
- Estado X: Estado desconocido o que no tiene relevancia.
- Estado D: Nivel lógico 0 que debería ser 1.
- Estado /D: Nivel lógico 1 que debería ser 0.

Este algoritmo busca propagar el valor del fallo por pegado hasta la salida primaria que se observa. Por lo tanto, el procedimiento consiste en asumir que hay un fallo de pegado a cero (SA0) cuando un nodo se encuentra en estado D o un fallo de pegado a uno (SA1) cuando un nodo se encuentra en estado /D.

Se comparará el valor de salida del circuito con el valor esperado. Por ejemplo, en el circuito de la ilustración 19 se quiere observar si hay un fallo de pegado a cero en el nodo g. Se asumirá que el nodo g se encuentra en estado D, es decir, su valor es cero cuando debería ser uno. Se busca transmitir el estado de g inalterado a la salida del circuito y además se introducirán en la entrada valores que hagan que el valor que debería haber en el nodo g sea un uno. De este modo, se tendrá un vector de valores de la entrada que hace que el valor de g sea 1 y por lo tanto si a la salida se observa un 0, se asegura que este nodo tiene un fallo de pegado a cero. El procedimiento a seguir es análogo para un fallo de pegado a uno y para el resto de los nodos internos del circuito a testear.

Cuando se tienen todos los vectores de entrada que comprueben los fallos de pegado a cero y pegado a uno en todos los nodos internos, se escogerá el menor número posible que compruebe todos los posibles tipos de fallo de pegado.

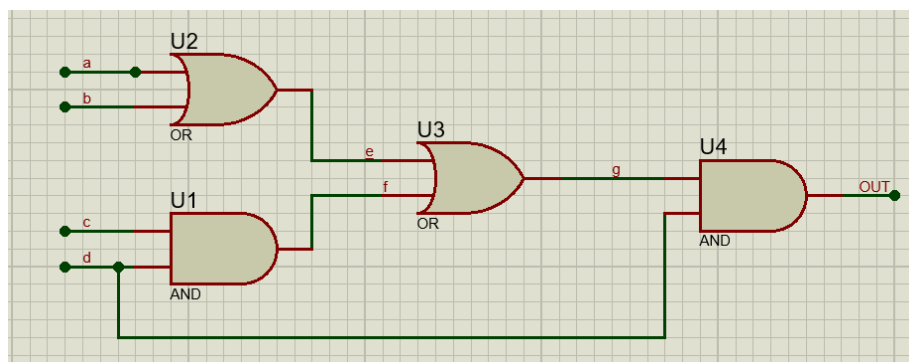


Ilustración 19 – Circuito combinacional para la búsqueda de vectores de test

4.3 Test de circuitos secuenciales

En los circuitos de lógica secuencial no se puede describir la relación entrada-salida con una expresión booleana y combinan lógica combinacional y biestables. Un ejemplo de biestable es el que aparece en la Ilustración 20, formado por una entrada de datos (D), un reloj (Clk) que cuando cambie su valor el valor de la entrada de datos es dirigido a la salida Q, un Reset que pone la salida en valor '0', a veces también tiene una entrada Set que pone la salida a '1' y dos salidas Q que es la salida original y /Q que es la señal Q invertida.

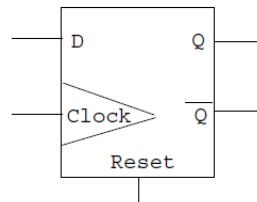


Ilustración 20 - Biestable tipo D sin Set

Un ejemplo de circuito secuencial que se puede desarrollar con biestables (o flip flops) es un registro de desplazamiento formado por un conjunto de biestables conectados en serie con una señal común entre todos ellos de clock y otra de reset, como se puede apreciar en la Ilustración 21.

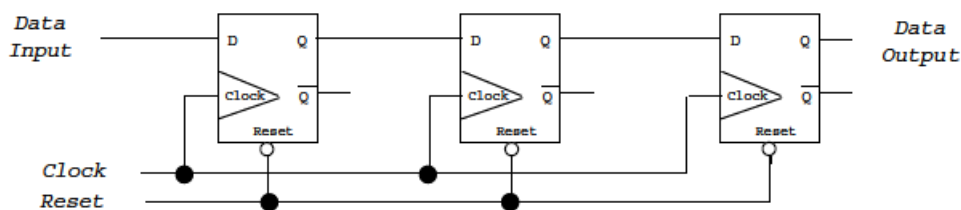


Ilustración 21 - Registro de desplazamiento

El funcionamiento se refleja en la Ilustración 22, observamos que siempre que el reset este inactivo, lo que ocurre cuando está a nivel alto, la señal de entrada se trasmite a la salida cuando se producen tres flancos de subida del reloj

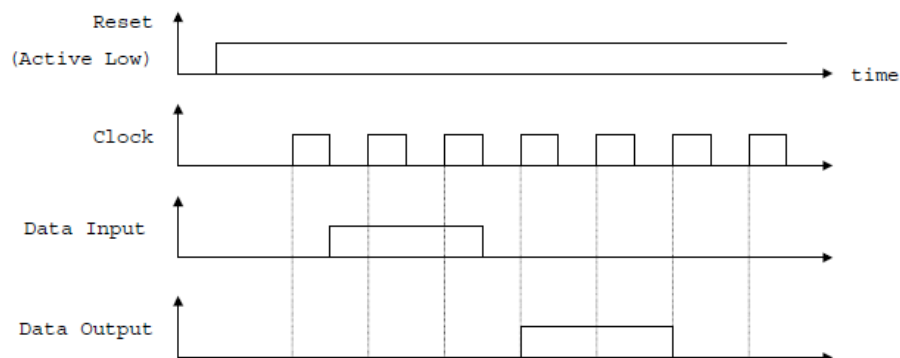


Ilustración 22 - Funcionamiento del registro de la Ilustración 21

Este tipo de circuitos no es tan sencillo de comprobar como en el caso de la lógica combinacional porque la generación de vectores de test es más compleja. Hay que tener en cuenta los diferentes estados del circuito y las señales de control, y como ya se ha comentado anteriormente la relación entrada-salida no es una sencilla expresión booleana. Además, para poder testear el circuito puede ser necesario preajustarlo en un estado particular y esto puede llegar a ser muy complicado cuando está integrado en un circuito necesitando además multitud de cambios en la señal de reloj y en la entrada de datos.

Una forma de solucionar estos problemas es realizando un enfoque de Diseño para la Testabilidad (DfT) abordando los problemas de observabilidad y controlabilidad asociados a la lógica digital. Un método de Diseño para la Testabilidad es el enfoque BIST que es una técnica de autopueba integrada. Estas tecnologías se analizarán con posterioridad en el apartado 7 de este documento.

5. Test de circuitos integrados analógicos [4]

Los circuitos integrados analógicos tienen gran importancia en los sistemas electrónicos gracias a su capacidad de procesar señales analógicas y realizar funciones como amplificación o filtrado de señales. A pesar de que su tamaño es pequeño en comparación con los circuitos electrónicos digitales, el testeo de sus especificaciones puede llevar mucho tiempo y tener un coste elevado.

Las pruebas en este tipo de circuitos no son tan sencillas de automatizar como en el caso de los circuitos integrados digitales. Estas pruebas se realizan aplicando una forma de onda de test al circuito que puede ser corriente continua en un valor constante, ondas senoidales, señal rampa, salto o una onda arbitraria. Existen generadores de onda en los que se puede seleccionar la amplitud, el offset, la fase y la frecuencia de dicha onda para posteriormente analizar la respuesta del circuito.

Los parámetros que se miden en un test analógico suelen ser: tensión, corriente, frecuencia, resistencia, capacitancia e inductancia. Por ejemplo, este tipo de test sirve para comprobar la tensión de offset, la resistencia de entrada, la resistencia de salida y otras especificaciones de un amplificador operacional.

Un método de prueba de circuitos analógicos son las técnicas de procesamiento de señales digitales (DSP). Estas técnicas se basan en la generación, muestreo y análisis de señales analógicas utilizando para ello transformadores analógico-digital y digital-analógico con la velocidad de muestreo, resolución y rango adecuados. Las señales analógicas son muestreadas, convertidas a digital y almacenadas en memoria siendo el esquema que siguen este tipo de técnicas el que aparece en la ilustración 23. En resumen, lo que hacen estas técnicas es convertir señales digitales a analógicas para aplicárselas al circuito integrado y posteriormente, las señales de salida analógicas que genera el circuito convertirlas a digitales para posteriormente analizarlas.

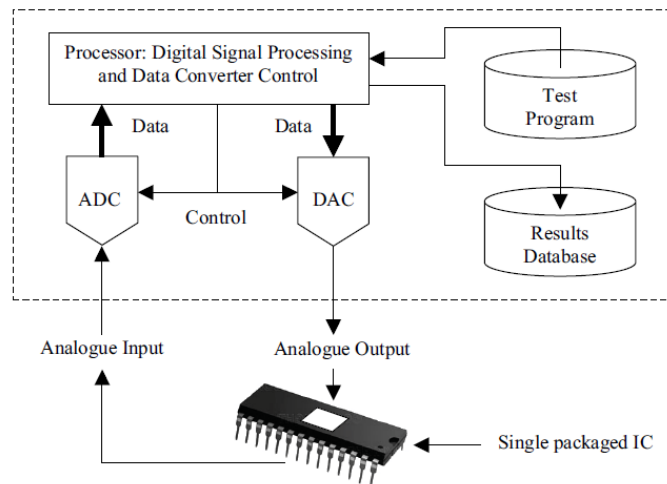


Ilustración 23 – Técnica DSP aplicadas a un circuito integrado analógico

6. Test de circuitos integrados de señal mixta. [4] [10] [11]

Los circuitos de señal mixta son aquellos que combinan circuitos analógicos y circuito digitales, por lo tanto, necesitarán unos procedimientos de prueba que aseguren que la tanto la parte analógica como la digital se comprueben adecuadamente.

Los circuitos más comunes en la actualidad son los convertidores analógico-digital y los convertidores digital-analógico puesto que se usan en la mayoría de los circuitos y sistemas microelectrónicos.

En resumen, se puede definir como circuito de señal mixta aquel cuyo funcionamiento se puede describir como mezcla entre tensiones y corrientes y en términos de lógica digital simultáneamente.

6.1 Convertidores digital-analógico

La función básica de este tipo de conversores es transformar un código binario en una salida analógica, que puede ser tensión o corriente. En la Ilustración 24, se puede observar un convertidor digital-analógico de n entradas con su tensión o corriente de referencia que produce una tensión o corriente de salida respectivamente.

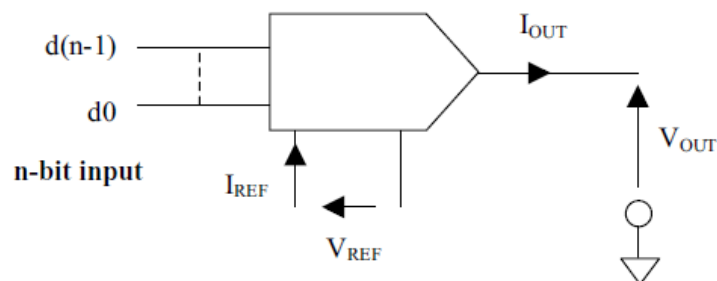


Ilustración 24 – Estructura de un convertidor digital-analógico de n entradas

La salida de este tipo de convertidores puede ser modelada por las ecuaciones siguientes:

- Si nos encontramos ante un convertidor con referencia de tensión, siendo V_O la tensión de salida, V_{FS} la tensión de escala completa, b_1 el bit más significativo de la entrada, b_n el bit menos significativo de la entrada y V_{OS} el valor de la tensión si nos encontramos en un convertidor que proporciona una tensión nula para una entrada en la que todos los bits son cero, es decir la tensión de offset.

$$V_O = V_{FS} \cdot (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_n \cdot 2^{-n}) + V_{OS}$$

- Si nos encontramos ante un convertidor con referencia de corriente, análogamente tenemos la siguiente ecuación:

$$I_O = I_{FS} \cdot (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_n \cdot 2^{-n}) + I_{OS}$$

A la vista de estas ecuaciones, podemos concluir que cuando se produzca un cambio en el bit más significativo tendremos un cambio grande en la salida, que será tensión o corriente dependiendo de la referencia. El cambio será más pequeño si sucede un cambio en el bit menos significativo. La característica de transferencia ideal de un convertidor de este tipo podría ser la que se muestra en la Ilustración 25.

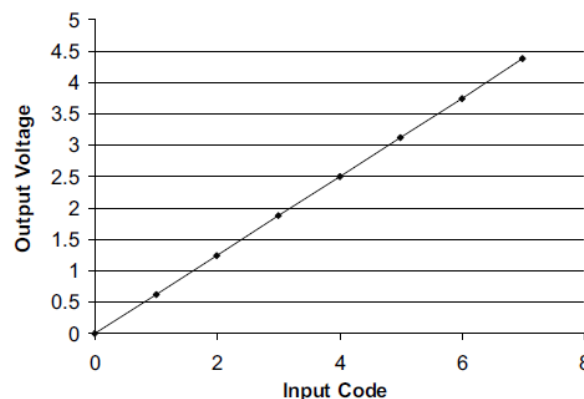


Ilustración 25 – Característica de transferencia ideal de un convertidor digital-analógico de 3 bits

Existen diferentes formas de implementar este tipo de convertidores y a continuación se mencionan algunas de las más habituales.

6.1.1. Método de las resistencias ponderadas:

Se produce una entrada de corriente variable que se traduce en una tensión de salida en el amplificador operacional que variará entre 0V y la tensión de referencia V_{REF} siendo el circuito el que se puede visualizar en la Ilustración 26. El diseño requiere resistencias precisas que pueden llegar a ser grandes si el número de bits de entradas lo es y conmutadores que generalmente serán transistores MOSFET, tantos como bits tenga la entrada. Se necesita un gran rango de resistencias. Otra desventaja es que solo es adecuado para circuitos de baja resolución.

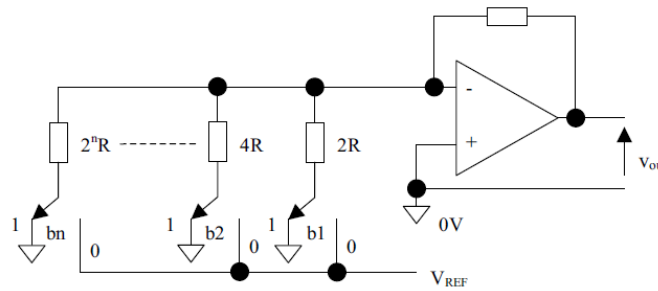


Ilustración 26 – Diseño de convertidor digital-analógico por el método de resistencias ponderadas

6.1.2. Redes de escalera:

Este tipo de tecnología reduce el rango requerido de resistencias y su estructura se puede observar en la ilustración 27. En la actualidad, este tipo de circuitos se han visto desplazados a un lado por la tecnología R-2R que se explicará en el apartado siguiente. Se puede observar en la ilustración que, con el objetivo de reducir el rango de resistencias, se introduce una resistencia en serie para la mitad inferior de los bits, reduciendo así la influencia de estos en la corriente de entrada al amplificador.

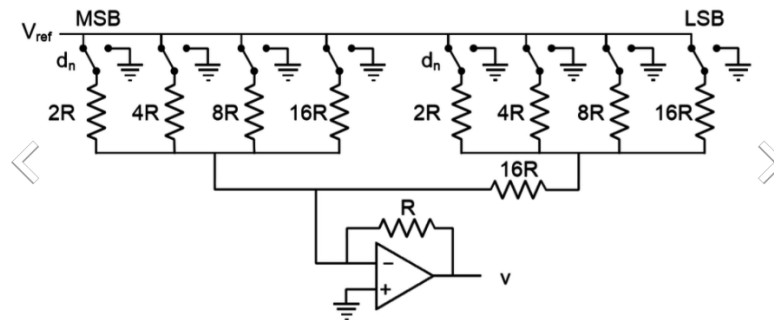


Ilustración 27 – Diseño de convertidor digital-analógico en redes de escalera

6.1.3. Redes R-2R:

El funcionamiento se basa en la red pasiva que aparece en la ilustración 28, que tiene la particularidad de que cualquiera sea el número de secciones la resistencia vista (excepto al final) es R. Este circuito puede usarse como se muestra en la ilustración 29 para obtener un conversor digital analógico muy eficiente. Su ventaja es que solo usa resistencias de dos valores, R y 2R.

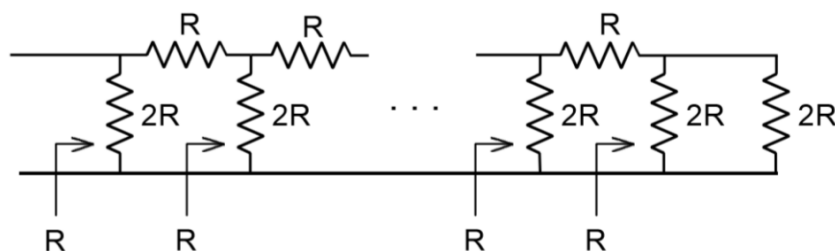


Ilustración 28 – Red pasiva usada en los convertidores digital-analógico R-2R

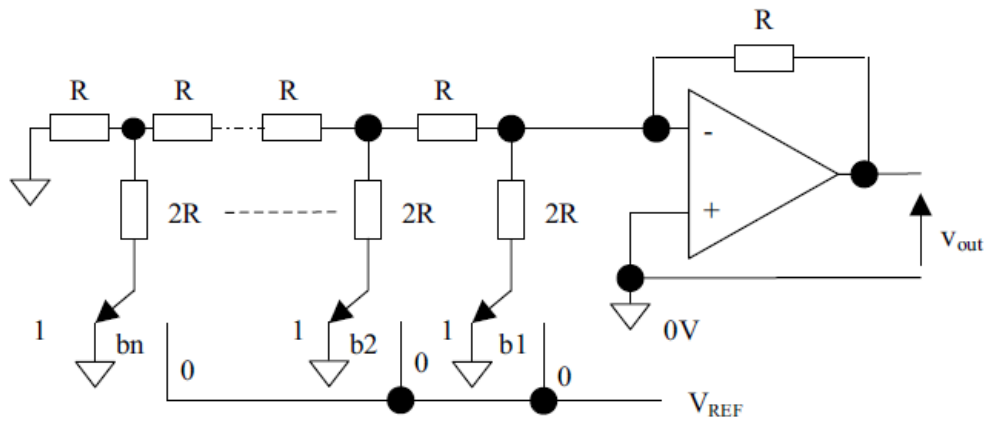


Ilustración 29 – Convertidor digital-analógico basado en la red pasiva R-2R

La expresión que modela la salida de este circuito que se obtiene aplicando el teorema de superposición:

$$V_o = \frac{V_{REF}}{2} \cdot \sum_{k=1}^n (b_k \cdot 2^{1-k})$$

A la vista de las diferentes implementaciones, es probable que debido a la gran cantidad de componentes que forman los convertidores el comportamiento de estos se desvíe del comportamiento ideal que aparecía en la ilustración 25. Esta desviación tiene que identificarse por lo que será necesario testear los convertidores digital-analógico comprobando sus principales características:

- Relación entre los datos de entrada y la señal de salida.
- Correcto funcionamiento de las señales de control que habilitan el dispositivo.
- Correcto funcionamiento de los parámetros analógicos.
- Valores de la fuente de alimentación.

Podemos encontrar tres tipos diferentes de test para convertidores digital-analógico:

- Test estático:

- 1) Parámetros de código: Medida de la señal de salida para una serie de códigos de entrada específicos.
- 2) Rango de escala completa (V_{FSR}): Diferencia entre el valor máximo y mínimo de la salida
- 3) Error de ganancia: Desviación de la pendiente de la aproximación en línea recta del convertidor que tenemos con la línea recta ideal.
- 4) Error de offset: Error de offset o compensación de la salida del convertidor. Puede medirse tanto en el código de entrada más bajo, en un código medio o en el código de entrada más alto.
- 5) Tamaño de paso del bit menos significativo: Medida del tamaño medio del paso entre códigos de entrada medido en voltios por bit.

6) Sensibilidad de la fuente de alimentación: Sensibilidad de la fuente ante variaciones en el voltaje de suministro.

En la Ilustración 30, se puede observar errores de ganancia y de offset en el convertidor digital-analógico de 3 bits que habíamos visto anteriormente. Los valores medidos se muestran con puntos. Podemos observar que el error de offset se mide en el primer código y también que la pendiente de la recta ideal es diferente a la pendiente de la recta experimental.

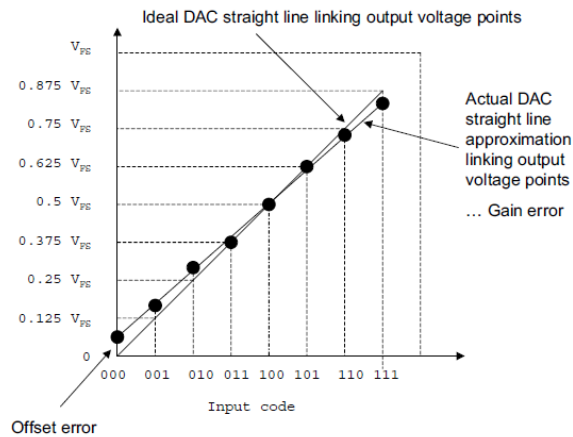


Ilustración 30 – Convertidor digital-analógico de 3 bits con error de offset y ganancia

- Test de función de transferencia:

Este tipo de pruebas analiza todos los puntos de la función de la transferencia ideal y la función de transferencia real, que podemos observar en la Ilustración 31.

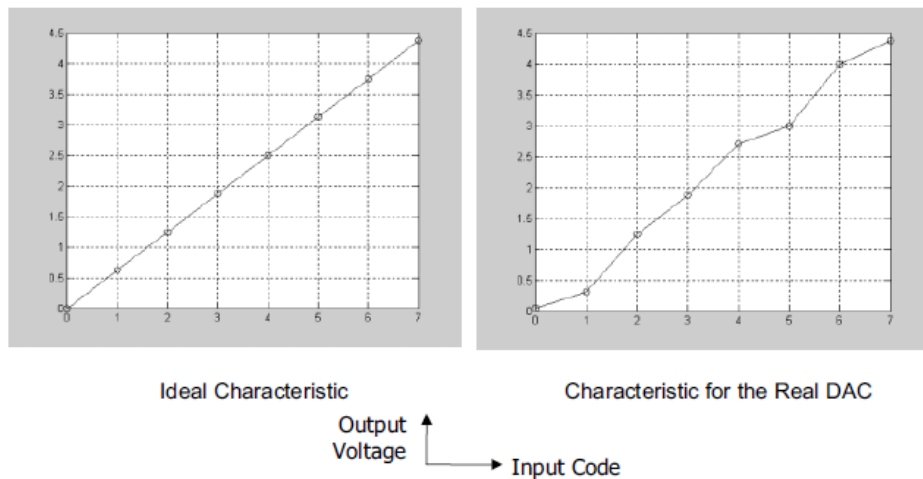


Ilustración 31 – Función de transferencia ideal (izquierda) y real (derecha) de un convertidor digital-analógico de 3 bits

Se obtienen las siguientes características:

- 1) Error absoluto: Diferencia entre la curva de salida del convertidor ideal y la curva del convertidor real. Este valor se identifica para cada código de entrada.

- 2) Monotonía: Cuando se produce un aumento en el código de entrada de 1 bit, se debe producir un aumento en la señal de salida si el convertidor es monótono. En caso contrario se puede asumir que el convertidor no es monótono y al producirse un incremento en la entrada se produce una disminución en la señal de salida.
- 3) No linealidad integral (INL): Se mide la desviación entre el convertidor real y la aproximación en línea recta. Cuando se utiliza la recta del convertidor ideal como aproximación se puede asumir que el valor de la no linealidad integral es igual al error absoluto.

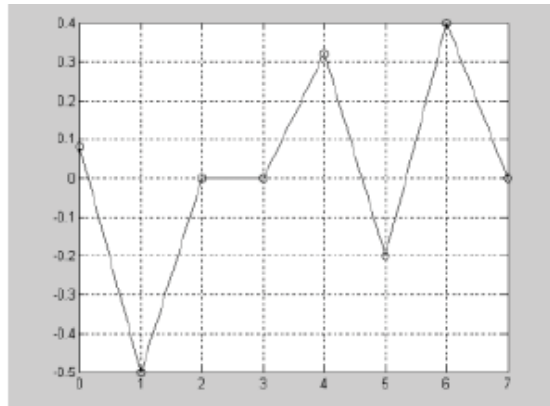


Ilustración 32 – No linealidad integral para un convertidor digital-analógico de 3 bits

- 4) No linealidad diferencial (DNL): Es un término que describe la desviación entre dos valores analógicos correspondientes a valores digitales de entrada adyacentes. Se supone que dos códigos adyacentes corresponden a voltajes analógicos de salida que se diferencia un bit menos significativo (LSB). La no linealidad diferencial es una medida de la desviación del peor caso del paso ideal de 1 LSB. Si nos encontramos con un cambio de 1.5 LSB en la salida cuando se ha producido un cambio de 1 LSB en la entrada, podemos concluir que la no linealidad diferencial es de $\frac{1}{2}$ LSB. Si la no linealidad diferencial es mayor de 1 LSB puede derivar a una función de transferencia no monótona.

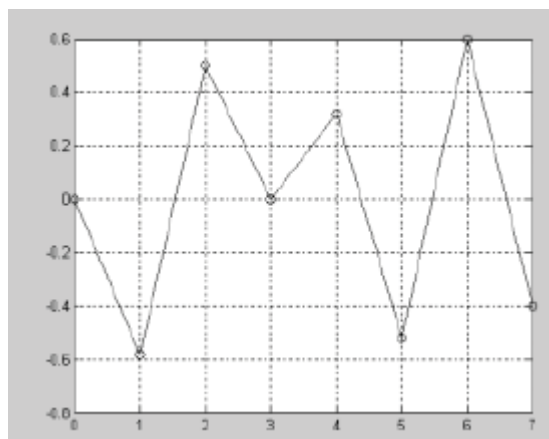


Ilustración 33 – No linealidad diferencial de un convertidor digital-analógico de 3 bits

- Test dinámico:

Las pruebas que se han comentado anteriormente no miran el funcionamiento dinámico ni los efectos relacionados con la frecuencia de la señal. El objetivo de las pruebas dinámicas es determinar estos efectos.

- 1) Tiempo de conversión o tiempo de asentamiento (*settling time*): El tiempo que necesita la salida para asentarse dentro de una específica banda de error cuando se produce un cambio en el código de entrada.
- 2) Sobreimpulso y subimpulso: Cuando se produce un cambio como el comentado anteriormente hasta que se asienta la señal se suelen producir sobreimpulsos (*overshoot*) haciendo que la señal alcance un valor superior al valor final después del asentamiento y subimpulsos (*undershoot*) cayendo a un valor menor que el definitivo.
- 3) Tiempo de subida y tiempo de caída (*rise and fall times*): Tiempo que tarda la salida en subir o bajar entre el 10% y el 90% de la diferencia entre los valores inicial y final.
- 4) Sesgo entre convertidores: Discrepancia temporal entre convertidores digital-analógico usados en grupo.
- 5) Reloj y datos de alimentación: Medida de la diafonía entre la señal digital y la señal analógica de salida. La diafonía aparece cuando las señales de un circuito, denominado perturbador, aparecen en otro circuito, denominado perturbado.

6.2 Convertidores analógico-digital

La función básica de estos circuitos es convertir señales analógicas ya sean tensión o corriente en un código digital, generalmente binario. En la Ilustración 34, se puede observar el esquema básico de un convertidor analógico-digital. Su funcionamiento es el contrario al que se ha visto para los convertidores digital-analógico y necesitará también una referencia de tensión o intensidad, dependiendo de cuál sea la entrada a convertir.

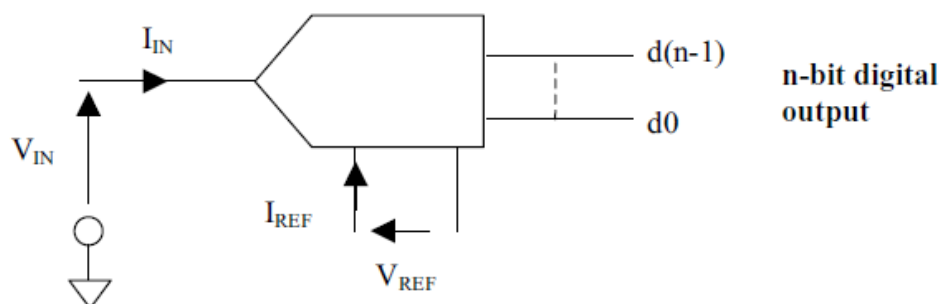


Ilustración 34 – Estructura de un convertidor analógico-digital con n salidas

En la Ilustración 35 se puede observar la característica de transferencia de un convertidor analógico-digital de 3 bits, que por lo tanto será capaz de producir los códigos en binario desde el 000_2 al 111_2 siempre que la entrada varía entre un valor nulo de tensión y la tensión a escala completa V_{FS} . A la vista de la gráfica se puede

observar que a cada valor binario le corresponde un rango de tensión y al final de este segmento se produce la transición al código binario siguiente.

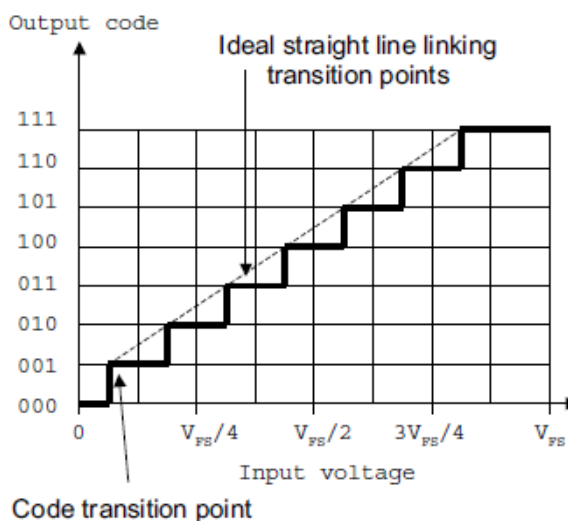


Ilustración 35 – Característica de transferencia de un convertidor analógico-digital de 3 bits

A continuación, se van a explicar los diseños más comunes de convertidores analógico a digital.

6.2.1. Convertidor analógico-digital de aproximación sucesiva:

Es un convertidor está formado por circuito de muestreo y retención, un comparador, un registro de aproximación sucesiva y un convertidor digital-analógico interno de n bits, como se puede ver en la Ilustración 36. La entrada se muestrea y se compara con la salida del registro de aproximación sucesiva convertida a analógica mediante el convertidor interno, la conversión continua siempre que la salida del convertidor interno sea menor que la tensión de entrada muestreada.

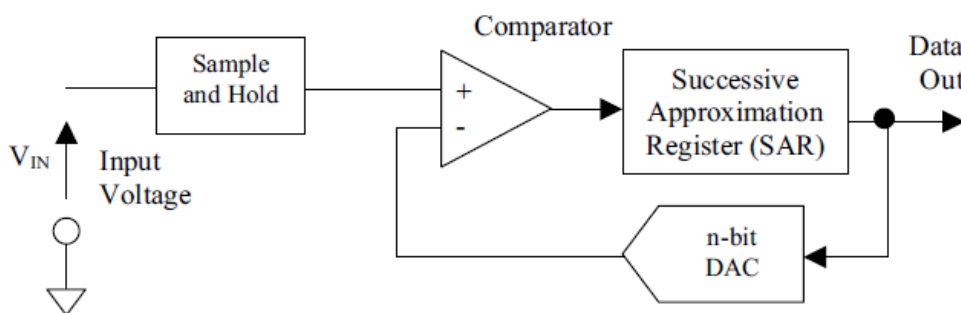


Ilustración 36 – Convertidor analógico-digital de aproximación sucesiva

6.2.2. Convertidor analógico-digital integrado de doble pendiente:

Este tipo arquitectura tiene un interruptor en su lado de entrada que puede conectarse a un voltaje de referencia negativo o un voltaje de entrada. Inicialmente, en la conversión, el interruptor se conecta al voltaje de entrada y el integrador integra el voltaje de entrada hasta que su salida es

igual al voltaje aplicado, eso ocurre en el instante T_1 que aparece en la Ilustración 37. Después del tiempo T_1 , el interruptor se conecta al voltaje de referencia y se integra el voltaje respectivo. El diagrama muestra que el voltaje de referencia dado es negativo, pero generalmente es mayor que el voltaje de entrada. A medida que se aplica la referencia negativa, se integra en una dirección positiva y continúa integrando hasta que la salida es igual al voltaje cero. El tiempo necesario está representado por T_2 . El tiempo T_1 y el voltaje de referencia son constantes, lo que da como resultado que el tiempo T_2 es directamente proporcional al voltaje de entrada. Si cambia el voltaje de entrada, el tiempo T_2 también cambia.

El contador de bits funcionará durante la segunda etapa, es decir, durante el tiempo T_2 . De este modo, el contador aumentará su valor hasta que la tensión sea cero. Como ya se ha comentado anteriormente, el tiempo T_2 es proporcional a la tensión de entrada. En consecuencia, cuanto mayor sea el valor de entrada, mayor será el tiempo T_2 y por lo tanto mayor será el número a la salida del contador de bits.

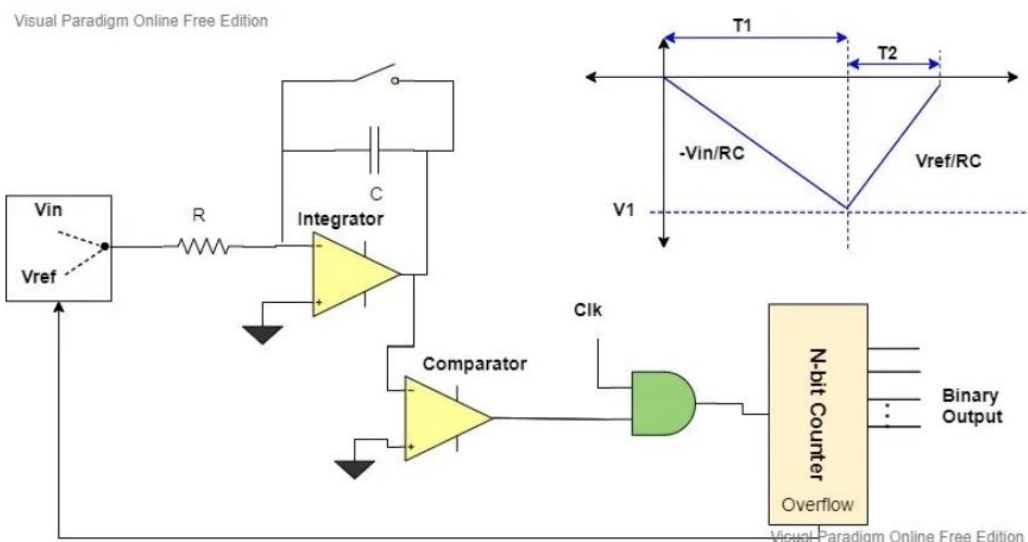


Ilustración 37 – Convertidor analógico-digital de doble pendiente

6.2.3. Convertidor analógico-digital FLASH:

Este tipo de convertidor analógico-digital utiliza una escalera de voltaje lineal con un comparador en cada “peldaño” de la escalera para comparar el voltaje de entrada con voltajes de referencia sucesivos, que varían debido a las resistencias en serie. Es un convertidor muy rápido, pero requiere de gran cantidad de comparadores como se muestra en la Ilustración 38.

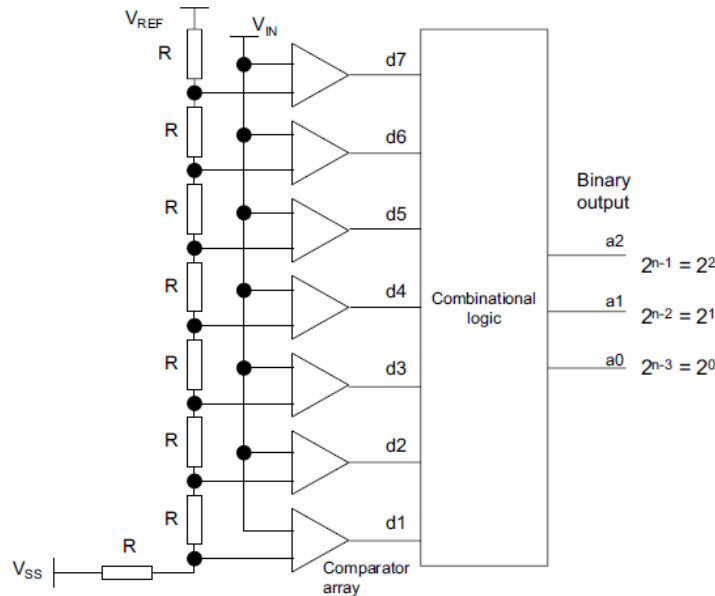


Ilustración 38 – Convertidor analógico-digital FLASH

Los convertidores reales se desviarán del comportamiento ideal de igual modo que los convertidores digital-analógico que se comentaron en el apartado anterior, Esta desviación tiene que identificarse por lo que será necesario testear los convertidores analógico-digital comprobando sus principales características:

- Relación entre los datos de entrada y la señal de salida.
- Correcto funcionamiento de las señales de control que habilitan el dispositivo.
- Correcto funcionamiento de los parámetros analógicos.
- Valores de la fuente de alimentación.

En este caso se puede encontrar dos tipos diferentes de prueba para convertidores analógico-digital:

- Test estático y de función de transferencia:

Se prueban los siguientes parámetros:

- 1) Error de ganancia: Al igual que en el caso de los convertidores digital-analógico es la variación de la pendiente real respecto a la pendiente ideal. Se puede observar en la Ilustración 39.
- 2) Error de offset: Es la desviación del punto de transición del primer código respecto lo esperado. También se puede observar este error en la Ilustración 35.
- 3) No linealidad integral: Desviación de los puntos de transición reales respecto los esperados.
- 4) No linealidad diferencial: Diferencia entre el ancho entre los cambios de código de salida del convertidor y un tamaño de paso ideal de 1 LSB.

- 5) Monotonía: La salida de un convertidor monótono incrementa cuando aumenta la salida, se puede observar en la parte izquierda de la Ilustración 36. Si la salida decrece cuando la señal de entrada aumenta nos encontramos ante un convertidor no monótono, el caso de la parte derecha de la Ilustración 40.
- 6) Códigos perdidos: Un convertidor ideal debería generar 2^N códigos siendo N el número de bits de la salida. Si se genera un número menor es que se ha perdido algún código. En la Ilustración 35 observamos que el código 110 no se ha generado.

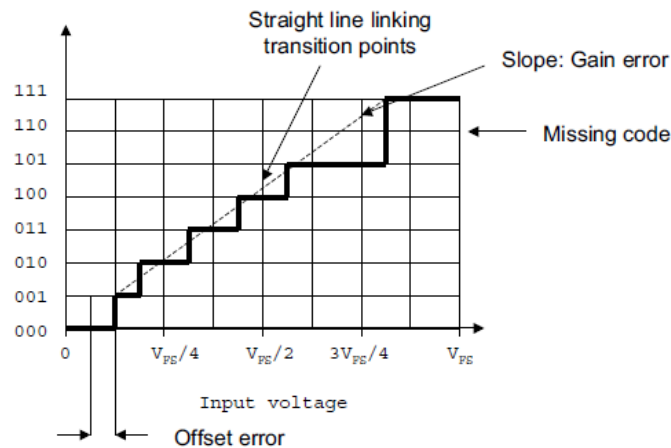


Ilustración 39 – Errores de offset, ganancia y código perdido en un convertidos analógico-digital de 3 bits

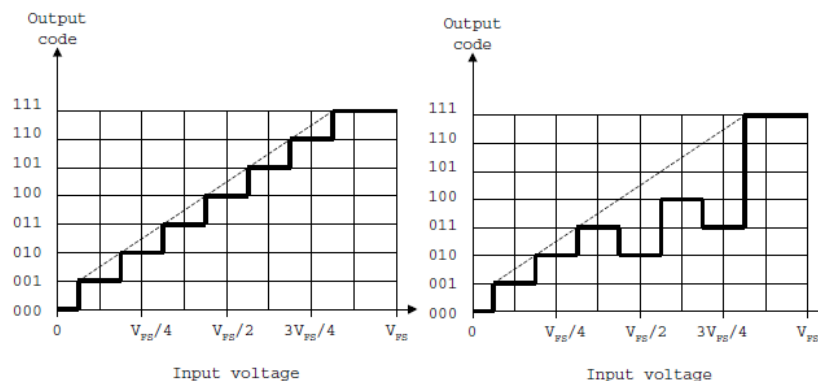


Ilustración 40 – Convertidor analógico-digital monótono (izquierda) y no monótono (derecha)

- Test dinámico:

Estas pruebas buscan comprobar los siguientes parámetros:

- 1) Tiempo de conversión: Se debe garantizar un tiempo máximo de conversión, que es el tiempo desde comienza la transición hasta que termina.
- 2) Tiempo de recuperación: Tiempo necesario desde una conversión a otra.
- 3) Frecuencia de muestreo: Se debe probar el convertidor a la máxima frecuencia de muestreo y asegurar que no ocurran errores.

7. Diseño para la Testabilidad [4]

El test de los circuitos integrados debe considerarse desde el principio del proceso de diseño del mismo. En los últimos años, la prueba de circuitos integrados se ha vuelto más compleja por lo que se han desarrollado técnicas que faciliten el test. En este apartado del documento se desarrollan las dos principales:

- Diseño para la Testabilidad (DfT, *Design for Testability*): Esta técnica consiste en agregar circuitos específicos para poder acceder a los nodos internos mediante los pines del circuito integrado. Este método busca favorecer la observabilidad y la controlabilidad del circuito. Se entiende por observabilidad la capacidad de observar la respuesta de un estímulo en un circuito o en un nodo específico y por controlabilidad la habilidad de establecer valores particulares en una parte específica de un circuito.
- Autoprueba integrada (BIST, *Built-In Self-Test*): Esta tecnología utiliza la generación, captura y análisis de señales dentro del propio circuito para proporcionar capacidades de autoprueba local, pero se utilizará un comprobador externo para capturar los resultados de esta prueba. Se podría considerar que la tecnología BIST no deja de ser una técnica de DfT.

El objetivo de ambas técnicas es reducir el tiempo de test en los equipos de prueba automáticos para conseguir disminuir el coste de dichas pruebas.

7.1 Diseño para la testabilidad digital:

Partición del diseño:

Una buena forma para poder testear un circuito complejo es dividirlo en bloques específicos que se puedan probar como entidades diferentes, que luego se probará conjuntamente en una etapa de prueba final. La principal limitación de esta técnica es la estrategia de partición, que tendrá que analizarse caso por caso, pero generalmente una buena forma de partir el circuito es en función de los bloques funcionales que lo componen.

Con estas pruebas se consigue proporcionar una mayor controlabilidad y observabilidad del circuito, aunque se aumentará el tamaño del mismo debido a la necesidad de incorporar multiplexores que diferencien el estado del circuito entre modo funcionamiento normal y modo prueba. La incorporación de estos multiplexores lleva asociada la necesidad de incorporar muchas más entradas y salidas en el circuito.

Pruebas de ruta de escaneo (*Scan Path Testing*):

Las pruebas de ruta buscan proporcionar acceso para la controlabilidad y observabilidad de nodos internos en circuitos lógicos secuenciales. El circuito podrá trabajar en este caso también en dos modos de operación:

- Modo de funcionamiento normal: El circuito funciona según lo requerido por el usuario.

- Modo test de escaneo: El circuito opera en un modo de test de exploración en el que los valores lógicos se sincronizan en serie en los biestables del circuito desde una fuente de señal externa y los resultados se sincronizan en serie para el monitoreo externo.

La incorporación de una ruta de exploración requerirá la inclusión de entradas y salidas utilizadas específicamente en el procedimiento de prueba que no serán usadas por el usuario final, es decir, son invisibles para el usuario. Para un circuito sencillo serán necesarias:

- Entradas primarias: Entrada de datos de escaneo (*Scan Data Input, SDI*) los datos para sincronizar en serie el circuito y entrada habilitadora de escaneo (*Scan Enable, SE*) para habilitar el modo de escaneo
- Salida primaria: Salida de datos de escaneo (*Scan Data Out, SDO*) datos que se sincronizan en serie para el monitoreo externo.

En las ilustraciones siguientes se puede observar la estructura de un circuito secuencial y la estructura de ese mismo circuito incluyendo un escaneo de este tipo.

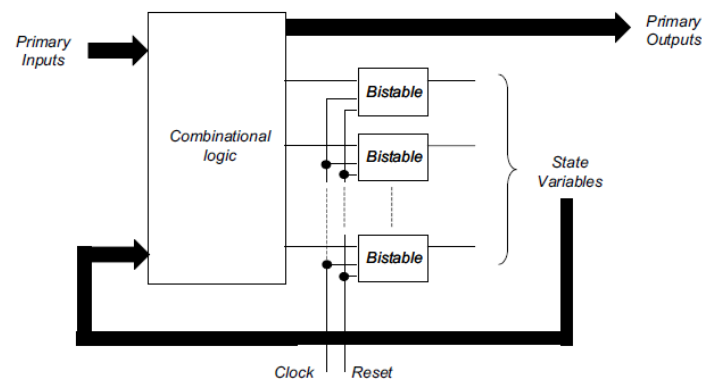


Ilustración 41 – Estructura de un circuito secuencial

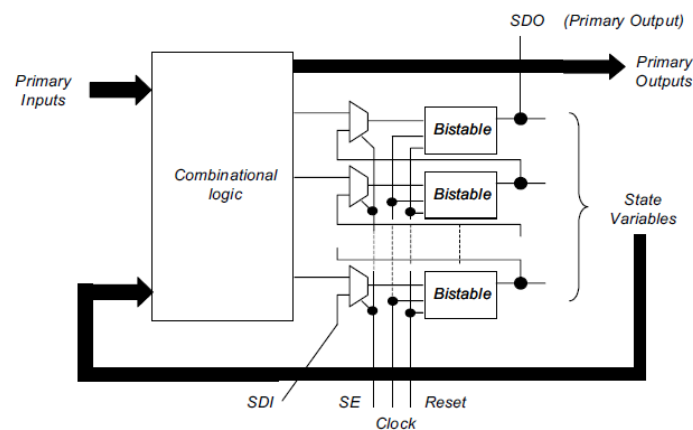


Ilustración 42 – Estructura de un circuito secuencial con Scan Path Testing

Un posible ejemplo de funcionamiento de este circuito es:

- Poner el circuito en modo de prueba, habilitando la entrada *SE*. Escanear en serie una secuencia de valores lógicos para configurar las salidas de los biestables en un estado inicial conocido aplicando datos al pin *SDI*.

- Poner el circuito en modo funcionamiento normal y operar durante un determinado número de ciclos de reloj.
- Volver a poner en modo de prueba y escanear en serie los valores almacenados a la salida de los biestables y monitorear la salida de datos de escaneo *SDO*.
- Comparar los valores recibidos con los esperados.

Autoprueba incorporada (*Built-In Self-Test, BIST*):

Esta tecnología utiliza un chip capaz de generar y analizar las señales con el objetivo de realizar autopruebas locales quitándole carga de trabajo al equipo de prueba externo (ATE). En caso de estar activo el modo de test, se introduce la señal de test (TDI) en el circuito y se analiza la salida mediante el analizador de resultados, que proporcionará una señal binaria diferente entre un circuito sin fallas y un circuito defectuoso. En caso de ser un circuito defectuoso puede ser que exista un código para cada fallo o que el usuario deba investigar en detalle para concluir el origen del fallo. En la ilustración 43 se puede observar un esquema del funcionamiento de la tecnología BIST.

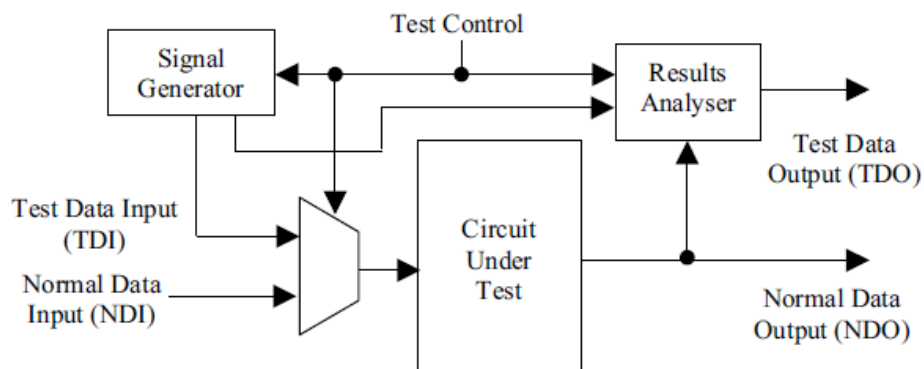


Ilustración 43 – Esquema básico de un circuito BIST

Generalmente, la generación de señales la realiza un registro de desplazamiento de retroalimentación lineal (*Linear Feedback Shift Register, LFSR*) capaz de generar patrones pseudoaleatorios como el que se muestra en la ilustración 44.

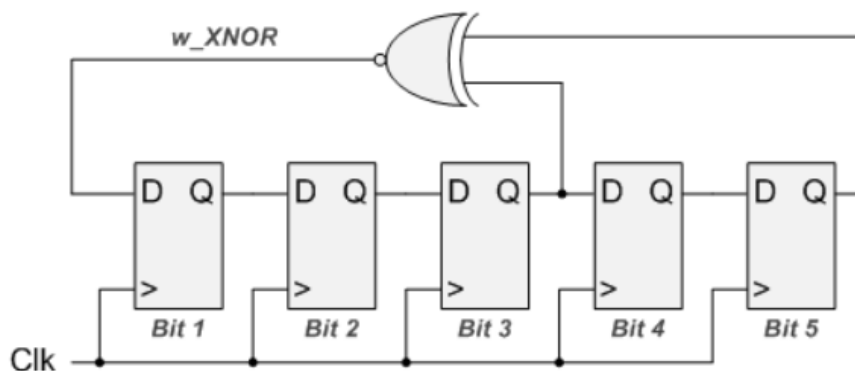


Ilustración 44 – Equipo generador de señales de un BIST

Escaneo de límites (*Boundary Scan*):

Esta tecnología de test se basa en el envío de señales de prueba y en recopilar la respuesta de las entradas y salidas de varios circuitos integrados que se han ensamblado conjuntamente, en vez de probar individualmente cada circuito, en definitiva, es una herramienta de prueba a nivel de placa que permite detectar elementos e interconexiones defectuosas y, con suerte, reemplazarlos.

Un esquema básico de *Boundary Scan* es el que se muestra en la ilustración 45 para el test de dos circuitos integrados en un mismo circuito impreso. En ella se observa que ambas celdas de escaneo de límites comparten la señal de selección modo de test (*Test Mode Select, TMS*) y la señal test de reloj (*Test Clock, TCK*). También se observa la entrada de datos de test (*Test Input Data, TDI*) y la salida de datos de test (*Test Output Data, TDO*) siendo la salida de datos de test de una celda la entrada de datos de la siguiente.

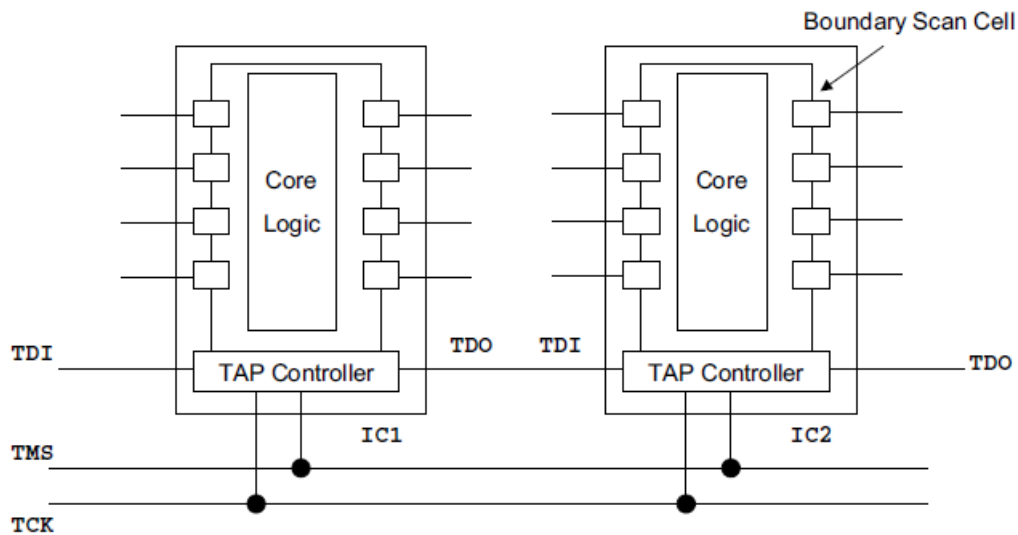


Ilustración 45 - Esquema básico *Boundary Scan*

Extrapolando esta tecnología a un circuito más complejo nos encontraríamos con un circuito impreso como el de la ilustración 46, donde en color azul se pueden observar todas las celdas de escaneo de límites.

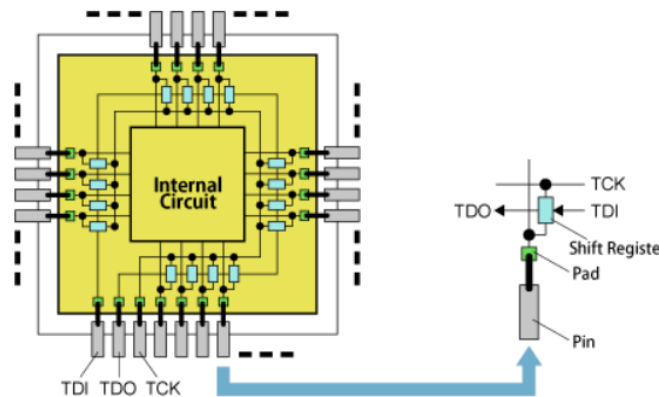


Ilustración 46 - *Boundary Scan* de un circuito integrado

7.2 Diseño para la testabilidad de circuitos analógicos y de señal mixta:

El diseño para la testabilidad es común en circuitos digitales y están bien respaldados con herramientas software. Por el contrario, la adopción de técnicas DfT analógicas y de señal mixta ha tenido menos éxito, la idea básica es la misma que para los circuitos digitales, generar señales de prueba dentro del propio circuito integrado, poder comprobar todos los nodos, capturar los resultados y analizarlos. Gran parte de la reticencia encontrada por la comunidad de diseño al adoptar DfT se debe a la degradación del rendimiento del circuito y al costo cuando se incluye el circuito de prueba adicional. En el diseño, esencialmente, la colocación de cualquier circuito adicional en el camino de las señales en el chip degradará la calidad de la señal. Esto puede ser aceptable o no, según los requisitos de la aplicación final del circuito. Hoy en día, todavía hay una falta de estandarización en DfT y BIST para circuitos integrados analógicos y de señal mixta, y la prueba de estos circuitos será mediante técnicas ad-hoc, es decir, dispositivo a dispositivo.

Los principales problemas que se encuentran a la hora de diseñar los circuitos integrados mediante técnicas DfT son la generación de estímulos, el acceso y monitoreo de los resultados y el análisis de los resultados.

Con el objetivo de poder testear los circuitos integrados mixtos se desarrolló el Bus 1194.4 de Test para circuitos de señal mixta en el año 1991 pero durante estas décadas se ha ido mejorando, principalmente modificando el lenguaje de descripción del hardware y consiguiendo mejores prestaciones. A continuación, se exponen resumidamente las principales características de esta tecnología.

Con este método de testeo, la capacidad de escaneo de límites digitales es la misma que en el apartado interior y además se consigue la conmutación de señales analógicas dentro del circuito integrado. La estructura es la que se muestra en la ilustración 47.

Podemos observar que se ha sustituido las celdas de entrada y salida tanto digitales como analógicas. En el caso de las células digitales han sido reemplazadas por módulos de límites digitales (DBM) cuya función es realizar el *boundary scan* de las señales digitales. Análogamente, nos encontramos con módulos de límites analógicos formado por una estructura de interruptores de señales analógicas (ABM). A cada ABM se conecta un bus de prueba analógico (AB) que permite que las señales analógicas se conecten entre un ABM y los pines del puerto de acceso a la prueba analógica (ATAP) a través del circuito de interfaz del bus de prueba. Los pines AT se utilizan para operaciones de monitorización y fuente de señal analógica conectándose a un comprobador externo.

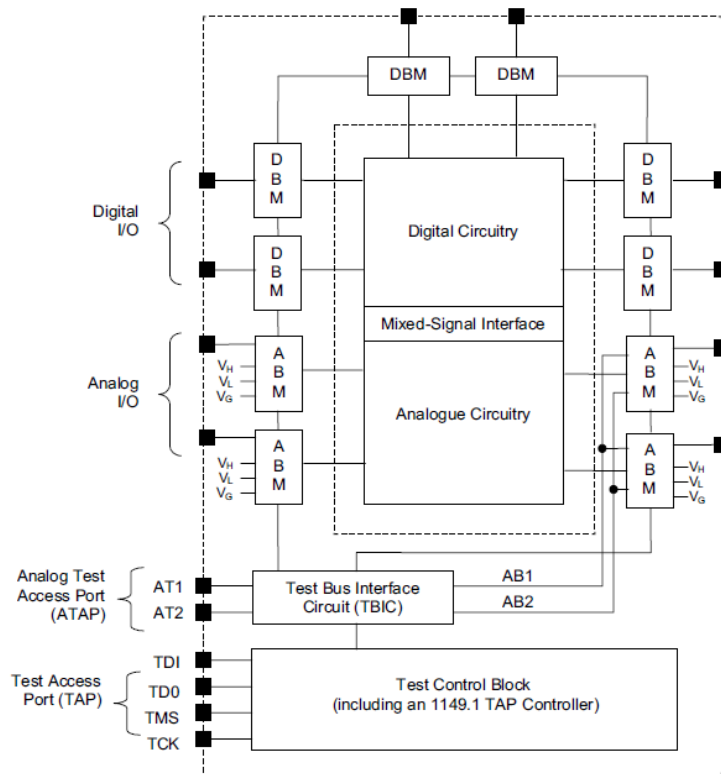


Ilustración 47 – Diseño para la testabilidad de un circuito de señal mixta

8. Equipo de Test Automatizado (ATE – Automatic Test Equipment) [4] [15]

El equipo de prueba automatizada o ATE es una herramienta que utiliza instrumentos de prueba para llevar a cabo y evaluar los resultados de las pruebas de funcionalidad, rendimiento y calidad en los circuitos integrados. Como su nombre indica, se automatizan los procesos que tradicionalmente han sido manuales con el objetivo de evitar la interacción humana. El objetivo de estos equipos es garantizar que un dispositivo electrónico funcione según lo previsto.

Los equipos de prueba automatizada están compuestos por cinco elementos principales:

- Hardware: Servidores y estaciones de trabajo, fuentes de alimentación, módulos de interfaz, controladores integrados, entradas y salidas tanto analógicas como digitales.
- Software: Utilizado para el desarrollo de las pruebas y la gestión de recopilación, almacenamiento y análisis de los datos.
- Instrumentos de prueba: Como pueden ser osciloscopios de almacenamiento digital o medidores de inductancia, capacitancia o resistencia.
- Fuentes de señal: Generadores en forma de onda arbitraria, de pulsos, de radiofrecuencia o de funciones específicas.
- Sondas de prueba o manipuladores: Elementos que establecen la conexión entre los elementos de prueba y los circuitos a testear.

Estos componentes serán diferentes puesto que las configuraciones de los ATE variarán en función del dispositivo que se prueban, así como de los parámetros que se quieran analizar.

Una computadora de adquisición de datos de alto rendimiento ejecuta el software de prueba y los datos capturados por los instrumentos se monitorean, analizan y almacenan, gracias a estas lecturas se comprueba si el circuito es correcto.

Los principales beneficios de los equipos de prueba automatizados son:

- Tiempos de prueba reducidos.
- Reducción o prevención de errores de entrada de datos.
- Uso eficiente y rentable de los recursos de ingeniería disponibles.
- Pruebas más precisas.

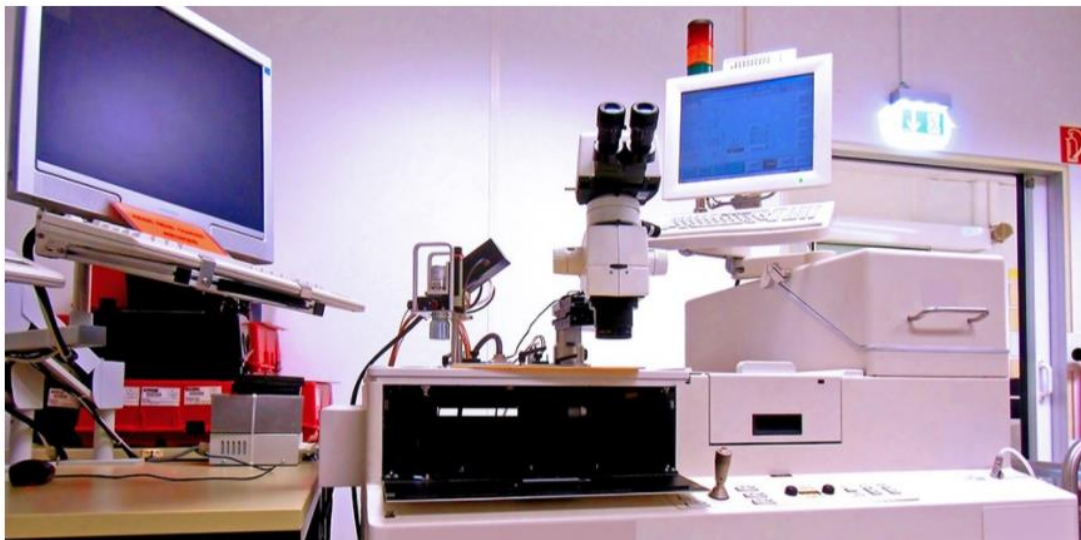


Ilustración 48 – Equipo de test automatizado

Desde el punto de vista económico, el valor del mercado global de los equipos de prueba automatizados está valorado en 6.610 millones de dólares, pero se estima que este valor aumentará a lo largo de los años debido al aumento significativo del uso de dispositivos electrónicos. Esta tasa de crecimiento anual está prevista que sea del 3,4% de 2020 a 2027 llegando a alcanzar un valor de mercado de 8.680 millones de dólares.

9. Test adaptativo de circuitos integrados. [16] [17]

El test adaptativo o esquema de test adaptativo (ATS) calcula los fallos de forma dinámica, realizando modificaciones en tiempo real para comprobar el orden y el contenido de las pruebas. ATS calcula las estimaciones de la tasa de fallos de las pruebas basándose en datos y las utiliza para realizar los cambios necesarios por ejemplo en el orden de aplicación de los aprtones de test. Este método, se basa en las estadísticas bayesianas que se comentarán con posterioridad para modelar las tasas de falla y actualizar el orden de las pruebas.

9.1 Necesidad y aparición de la prueba adaptativa:

Las empresas de fabricación de semiconductores tienen como objetivo lograr un entorno de fabricación rentable para maximizar sus beneficios. El escalado y la continua integración de los dispositivos reduce el coste de fabricación pero aumenta el coste de probarlos. En la ilustración 49 se puede observar la tendencia de coste de fabricación comparada con la tendencia del coste de testeo. Esta gráfica ha obligado a adoptar nuevas técnicas que reduzcan los costes de test de los circuitos integrados fabricados.

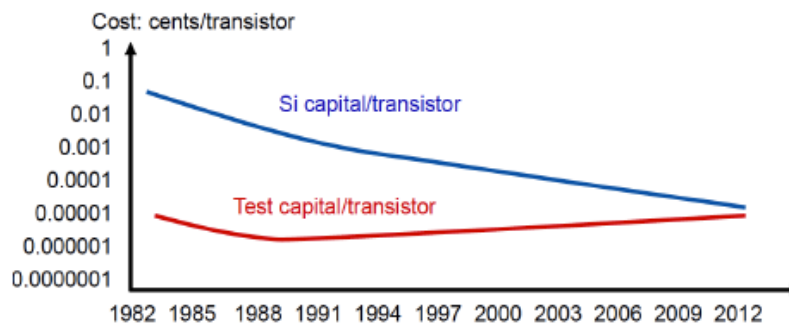


Ilustración 49 – Coste de fabricación comparado con el coste de test de circuitos integrados

Los fabricantes de chips continuamente han intentado mejorar la calidad del producto final minimizando el número de chips defectuosos que escapan de los procedimientos de prueba, denominados escapes de prueba. Los fabricantes deben realizar productos fiables y garantizar un cierto nivel de calidad limitando el número de escapes de prueba, esta tasa se mide en piezas defectuosas por millón (DPPM) y actualmente se ha vuelto más estricta. Esto da lugar a que el costo de test sea un componente significativo en el costo de fabricación de un chip.

El coste del test es directamente proporcional al tiempo de la prueba, es decir, el tiempo necesario para encontrar el primer fallo. Esto dependerá del orden de aplicación de los vectores de test.

En los últimos años, los test adaptativos se han propuesto como una estrategia para reducir los tiempos de la prueba y son reconocidos como impulsor clave para el futuro de los test de semiconductores. En el año 2009 el test adaptativo fue definido formalmente en la hoja de ruta tecnológica internacional de semiconductores (International Technology Roadmap of Semiconductors ITRS) como término amplio usado para describir métodos que cambian las condiciones de prueba, flujo de prueba, contenido de la prueba y límites de la prueba basándose en datos de prueba de fabricación y en análisis de datos estadísticos. Esto incluye datos de retroalimentación desde la prueba en línea, todos los pasos realizados en la prueba y datos de retroalimentación del análisis estadístico posterior a la prueba que se utilizará para optimizar pruebas futuras.

La clave de la prueba adaptativa es utilizar datos generados a partir de pruebas en el pieza o datos relevantes de procesos o mediciones anteriores para predecir el



proceso de pruebas futuras más apropiado. Necesita tomar decisiones para reducir o aumentar el número de pruebas cuando sea necesario. El objetivo final es aplicar solo el conjunto de pruebas mínimas para detectar si el circuito falla.

Reordenar las pruebas de acuerdo con las tasas de falla permite la detección de aquellos circuitos defectuosos antes en el desarrollo del test, reduciendo así el tiempo total y el costo de la prueba. El reordenamiento adaptativo tiene los siguientes beneficios:

- Reduce el tiempo de detección de defectos y por lo tanto el coste de la prueba.
- Brinda la oportunidad de eliminar o realizar una prueba de muestreo mediante la clasificación de las pruebas que tienen más y menos probabilidades de detectar un fallo.
- Reduce el tiempo de test para una determinada calidad de producto.
- Aumenta la capacidad de producción, testeando más unidades en un tiempo determinado.
- Acelera el aumento de la producción al aprender y adaptarse a los datos de prueba del producto.

9.2 Antecedentes:

Tradicionalmente los flujos de prueba han sido estáticos, es decir, se aplican los diferentes patrones de prueba en un orden predefinido. Se pueden diferenciar dos tipos de test, el test con parada en caso de fallo o stop-on-fail (SOF) y el análisis continuo en caso de falla o continue-on-fail. El primero, finaliza el testeo cuando encuentra un fallo mientras que el segundo continúa realizando la prueba recopilando datos sobre los fallos que se han detectado.

En el año 1991, se discute por primera vez el reordenamiento de pruebas usando tasas de fallo y estas técnicas se han ido sofisticando con el paso de los años. Reordenar las pruebas en orden descendente de tasas de falla hace que se detecten los fallos antes y reduce el coste de la prueba.

En este apartado del documento se expone un método de prueba adaptativa en tiempo real, es decir, el análisis de los resultados se va realizando en paralelo a la vez que se desarrolla el test. Este tipo de prueba es de adaptación continua por reordenación y eliminación de pruebas, es decir, el proceso de la prueba y el contenido de la misma se modifica reordenando las pruebas para detectar el fallo en la prueba más temprana y se eliminan aquellos patrones que no son necesarios puesto que su impacto a la hora de detectar fallos es menor.

En la ilustración 50, se puede observar la utilidad del método adaptativo de test. En el experimento se han testeado 610 obleas con el objetivo de encontrar los fallos que se encuentran en ellas. En color rojo se observa el tiempo que se tarda en encontrar los fallos utilizando un orden de patrones de test aleatorio y en azul se puede observar el resultado utilizando el método ATS.

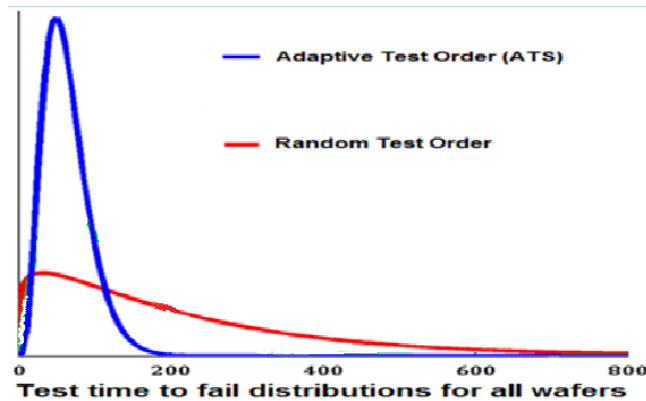


Ilustración 50 – Tiempo para detectar fallos utilizando un orden de test aleatorio y orden de test adaptativo

9.3 Uso de estadísticas bayesianas:

La premisa de la estadística bayesiana es incorporar conocimientos previos junto con un conjunto dado de observaciones actuales para hacer inferencias estadísticas. En primer lugar se hace una suposición fundamentada sobre la distribución de probabilidad de los parámetros a estimar, la información utilizada para obtener esta distribución previa puede provenir de experimentos similares o de conocimientos de ingeniería y estadística. A continuación se realiza el experimento y se analizan los resultados para modificar esta suposición y así conseguir lo que se denomina distribución posterior.

El enfoque bayesiano tiene tres tareas principales:

- Definir una distribución previa para la variable a estimar.
- Recolectar datos sobre la variable y representarlo como una función de verosimilitud.
- Construir una distribución posterior utilizando el teorema de Bayes que sigue la siguiente relación:

$$f_{posterior}(\lambda) \propto P(X = x|\lambda) \cdot f_{previa}(\lambda)$$

Donde λ es la variable aleatoria a estimar o modelar, f_{previa} es la distribución previa de la variable a estimar, $f_{posterior}$ la distribución posterior de la variable y $P(X = x|\lambda)$ la función de verosimilitud en función de la variable a estimar. En estadística, la función de verosimilitud es una función de los parámetros de un modelo estadístico que permite realizar inferencias acerca de su valor a partir de un conjunto de observaciones.

9.4 Esquema de prueba adaptativo:

La función utilizada como función de verosimilitud sigue una distribución de Poisson puesto que simplifica los cálculos necesarios para actualizar las distribuciones y hace posible el cálculo en tiempo real.

En estadística bayesiana el conjugado previo de una función de verosimilitud que sigue una distribución de Poisson, es una distribución Gamma Γ . Este método modela la distribución de la probabilidad de fallo como una distribución gamma y se describe gracias a dos parámetros α y β .

La distribución gamma previa es la siguiente:

$$\Gamma_{previa}(\lambda|\alpha, \beta) = \frac{\beta^\alpha}{(\alpha - 1)!} \lambda^{\alpha-1} e^{-\lambda\beta}$$

La distribución gamma posterior $\Gamma_{posterior}(\lambda|\alpha', \beta')$ actualiza los valores de α y β de forma que:

$$\alpha' = \alpha + \text{número de fallos}$$

$$\beta' = \beta + \text{número de circuitos testeados}$$

En resumen, existe un par (α, β) para cada prueba realizada que se actualiza a medida que se van comprobando los circuitos siendo α el parámetro que caracteriza el número de circuitos fallidos y β el número de circuitos comprobados. El proceso de actualización de las distribuciones se puede representar esquemáticamente como se muestra en la ilustración 51.

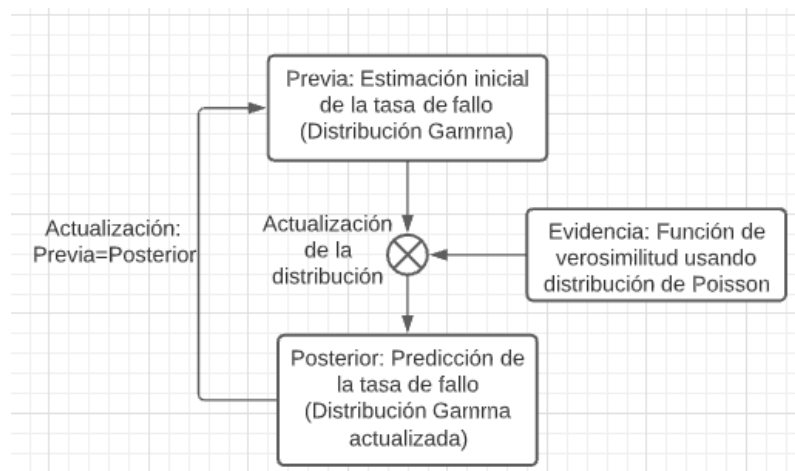


Ilustración 51 – Esquema del proceso de actualización de las tasas de falla de test utilizando el método bayesiano de dos etapas

La ilustración 52 muestra un esquema del procedimiento completo de actualización para este método ATS. El orden de la primera oblea será aleatorio pero el orden de las obleas posteriores será el orden de la anterior modificando el tamaño beta. El procedimiento es el siguiente:

- Se analiza un circuito, si pasa el test se incrementa el valor de beta y se mantiene constante el valor de alfa. Se realiza el siguiente test en búsqueda de fallos, si no encontrase ninguno se pasaría a la siguiente oblea utilizando el orden utilizado en la oblea anterior.

- Si al analizar el circuito se encuentra un fallo, se incrementa en una unidad tanto el valor de alfa como el de beta y se vuelven a calcular las estadísticas en función de las nuevas estimaciones de la tasa de fallos que vienen dadas por las distribuciones posteriores actualizadas.

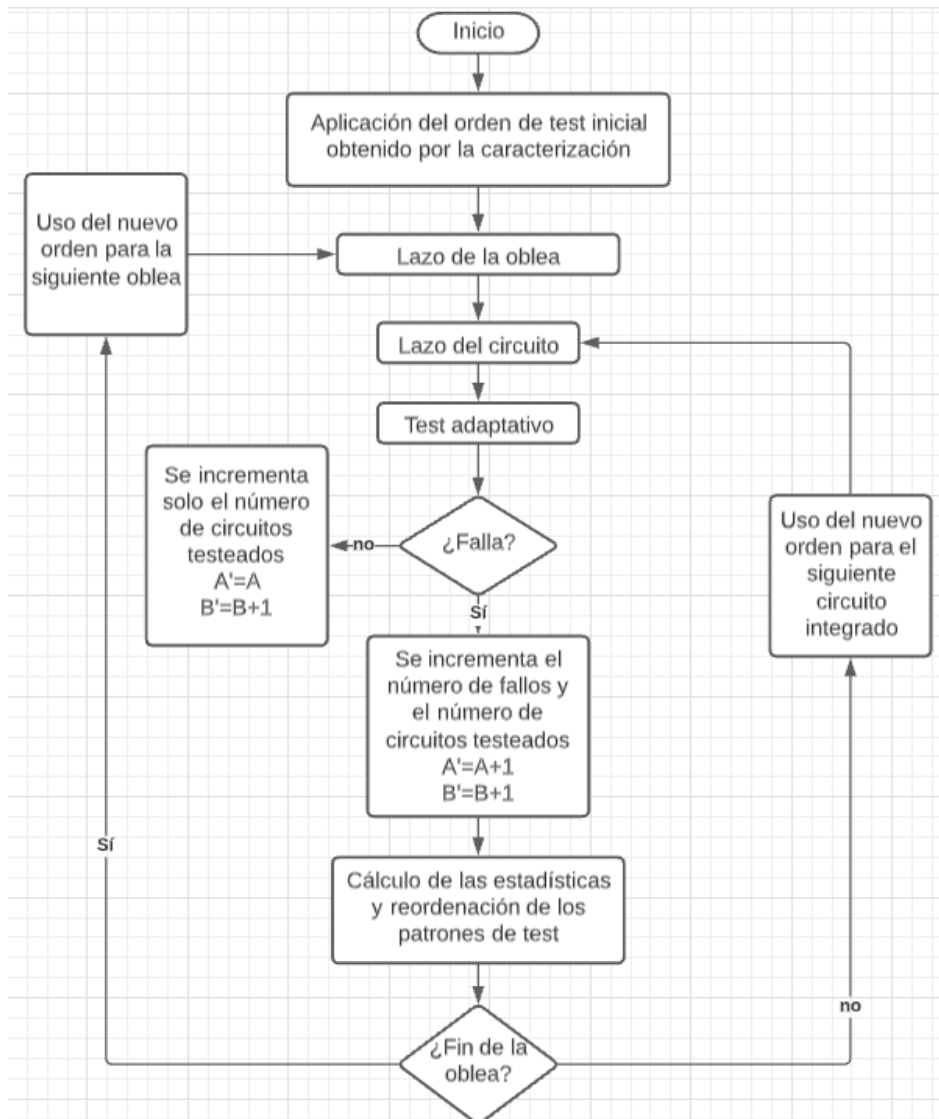


Ilustración 52 – Diagrama de flujo que explica las actualizaciones del método de test adaptativo

El método expuesto reordena los test en orden descendente de sus tasas de fallos de modo que, los test o patrones que aparecen más tarde en el orden de aplicación tienen menos probabilidades de detectar fallos en un circuito. Esta forma de ordenar los test reduce el tiempo que la prueba necesita para detectar fallos en los circuitos pero no reduce el tiempo de la prueba. Para conseguir una reducción del tiempo de la prueba será necesario testarlo con un número reducido de test o patrones, es decir, habrá que eliminar ciertos patrones. ATS reordena la prueba de forma que la mayoría de los fallos aparecen al comienzo del flujo de la prueba por lo que aquellos test candidatos a ser eliminados serán los que se encuentren al final del flujo de la prueba siempre que se evalúe el riesgo asociado.

En este sentido, se deben tomar dos decisiones:

- Cuando iniciar el truncamiento de la prueba
- Cuantas pruebas se deben truncar

Ambas opciones están directamente relacionadas con el nivel de calidad del producto final.

9.5 Aplicación del método a datos de producción:

Descripción de los datos

Los datos de respuesta al test de obleas se obtuvieron de un fabricante líder de chips semiconductores para dos productos de circuitos integrados. Los datos de producción se utilizaron para demostrar los beneficios del tiempo de prueba de la reordenación y eliminación de pruebas ATS. En este documento se expone únicamente los resultados para el producto número 1. El producto 1 es un circuito integrado de 90 nm, se analizan los datos para 419 mil unidades de este producto. Este conjunto tiene 610 obleas divididas en 26 lotes con 688 circuitos cada oblea.

Reordenamiento de test y patrones

Se ha aplicado el método ATS a los datos del producto 1 en una configuración SOF. El reordenamiento de la prueba no afecta al tiempo del test puesto que un circuito correcto tendrá que pasar todo el conjunto de pruebas pero el reordenamiento si reduce el tiempo en detectar los fallos por lo que se podrá usar este dato como métrica para determinar el éxito. En las ilustración 53 se muestra el histograma de porcentaje de reduccion del tiempo que tarda el test en detectar fallos.

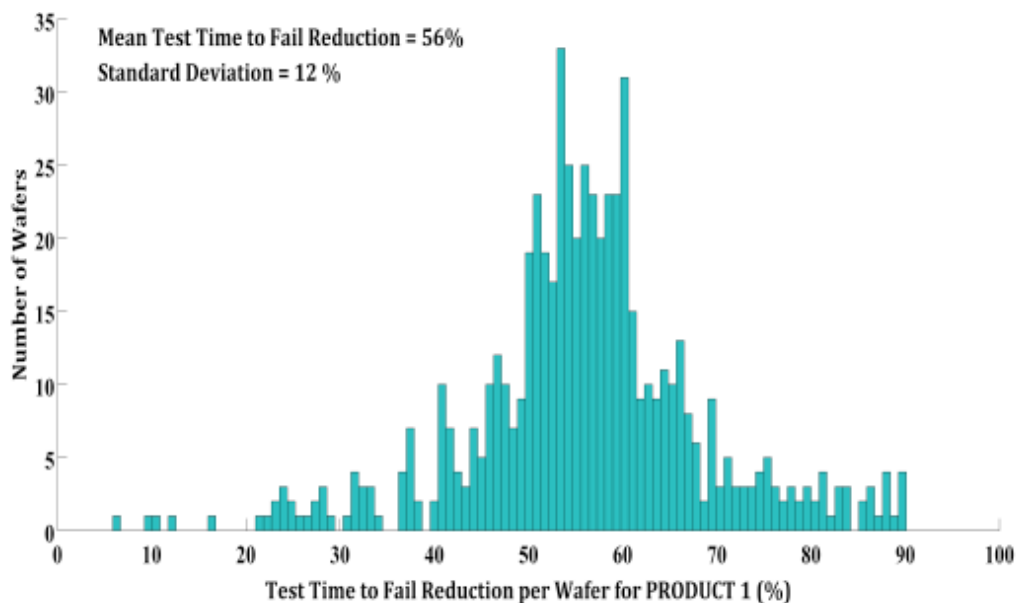


Ilustración 53 – Reducción del tiempo hasta encontrar fallos por oblea de producto 1

La ilustración 53 muestra que para el producto 1 el porcentaje promedio de reducción del tiempo hasta encontrar fallos es del 56%, esto quiere decir que para

cualquier oblea dada del conjunto el tiempo hasta encontrar el circuito fallido se ha reducido a la mitad aplicando el algoritmo de reordenación de patrones. Se puede observar también que hay reducciones inferiores al 10% o superiores al 90%, esto se debe a que la reducción del tiempo de falla depende de la cantidad de fallos que haya en la oblea.

Eliminación de test y patrones

Como ya se ha comentado con anterioridad, no se reducirá el tiempo de la prueba a menos que se eliminen ciertos test o patrones. Estos patrones candidatos a eliminarse serán aquellos que se hayan reordenado al final del flujo de la prueba puesto que serán aquellos que detecten menos fallos.

La eliminación de test o patrones reduce los tiempos de prueba para la aprobación o la desaprobación de un test, pero aumenta el riesgo de fugas de test. La ilustración 54 muestra la relación entre el nivel de defecto relativo y la reducción del tiempo de prueba para varios números de pruebas y patrones eliminados usando relaciones de truncamiento que van de 0 a 1. Esto quiere decir que para una relación de truncamiento de 1, es decir, cuando no se realiza ninguna prueba la reducción del tiempo es el 100% mientras que para una relación de truncamiento 0 no se consigue reducir el tiempo de prueba. El objetivo es buscar un equilibrio de modo que se reduzca el tiempo de la prueba sin comprometer a la calidad del producto final.

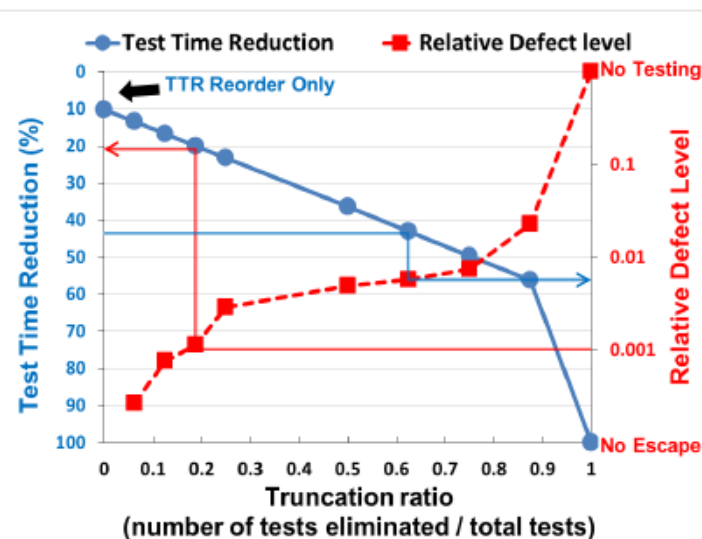


Ilustración 54 – Relación entre reducción del tiempo de prueba y nivel de defectos relativos para diferentes relaciones de truncamiento.

La ilustración 54 muestra que por ejemplo, para un relación de truncamiento del 0.2 se produce una reducción del tiempo de la prueba del 20% y un nivel de defecto relativo menor de 0.001 que corresponde a un valor de DPPM conforme a los requisitos de la industria de este producto. En conclusión se puede observar que este método reduce el tiempo de la prueba pero hay que asumir el riesgo de que se produzca algún escape de fallos.



CONCLUSIONES

En este documento, se ha mostrado la importancia que tienen los circuitos integrados en la actualidad y el aumento exponencial del uso de los mismos en los últimos años, hasta el punto de que en la actualidad nos encontramos en una etapa de crisis de los semiconductores en la que muchas empresas están siendo obligadas a reducir su producción debido a la escasez de microchips. Esto evidencia que en estos últimos años, el crecimiento ha sido incluso más grande de lo que expone la Ley de More.

A pesar de no haber encontrado una tasa de fallo o porcentaje actual, en todos los artículos utilizados para este trabajo se expone que la tasa de circuitos fallidos es elevada, algo bastante relacionado con la cantidad de etapas susceptibles de inducir errores que se llevan a cabo a la hora de fabricar circuitos integrados.

Este documento ha servido para afianzar y analizar más en profundidad los conceptos estudiados en la asignatura de Microelectrónica. Se ha realizado una recopilación de los parámetros más importantes que se deben comprobar en función del tipo de circuito integrados que se fabrique. Se han analizado los métodos de test de los circuitos digitales como puede ser el método del algoritmo D o las técnicas DSP usadas en los circuitos analógicos. También, se han expuesto algunas de las diferentes implementaciones de convertidores analógico-digital y convertidores digital-analógico junto con los parámetros que se deben testear. Otro de los apartados ha ido encaminado a comprender las diferentes técnicas de Diseño para la Testabilidad de los circuitos integrados, por un lado de los digitales como son las particiones del diseño, las pruebas de ruta de escaneo (Scan Path Testing), los métodos de autoprueba incorporada (BIST) o el escaneo de límites y por otro lado el método Bus 1194.4 de Test utilizado en los circuitos de señal mixta. Para terminar, se ha descrito un método más novedoso, el método de test adaptativo, que sirve para disminuir el tiempo de las pruebas puesto que va realizando un análisis de los circuitos que se están testeando y solo aplica aquellos patrones que es más probable que detecten fallos.

A la vista de este documento, se puede concluir que es más sencillo testear circuitos integrados digitales puesto que, las señales con las que trabajan los equipos de test son siempre digitales. Cuando se quiera testear un circuito integrado analógico o mixto se tendrán que usar convertidores para convertir tanto la entrada de datos al circuito, utilizando un convertidor digital-analógico como la salida de los datos para posteriormente analizarlos, haciendo uso de un convertidor analógico-digital.

La conclusión principal de este trabajo es la importancia de la necesidad de test, principalmente desde el punto de vista económico. El mercado de los circuitos integrados mueve millones de dólares por lo que las empresas de fabricación buscan optimizar sus circuitos y la comprobación de los mismos, utilizando test más rápidos y eficientes.



Finalmente, se puede concluir que, el método de test adaptativo es una técnica bastante útil porque logra detectar los fallos mucho antes que otros métodos convencionales pero además utiliza mucho menos tiempo para finalizar el test puesto que a partir de un instante se decide no aplicar aquellos patrones que tienen menos posibilidades de encontrar fallos. La desventaja de este método es que en función del número de patrones que se eliminen habrá menos o más posibilidades de que se produzca un escape de test, es decir, que no se aplica un patrón y se deje un fallo en el circuito por no haberlo comprobado.



BIBLIOGRAFÍA

- [1] Techopedia. (2012). *What Does Integrated Circuit Means?*
<https://www.techopedia.com/definition/2366/integrated-circuit-ic>
- [2] Electrónica Online. *Circuitos Integrados*.
<https://electronicaonline.net/componentes-electronicos/circuito-integrado/>
- [3] Wikipedia (Última edición Marzo 2021). *Fabricación de circuitos integrados*.
https://es.wikipedia.org/wiki/Fabricaci%C3%B3n_de_circuitos_integrados
- [4] A. Grout, Ian. (2006). *Integrated Circuit Test Engineering*. Universidad de Limerick.
- [5] Gil, Daniel (2017). *Diseño y fabricación de Circuitos Integrados VLSI*. Universidad Politécnica de Valencia.
- [6] Portela, M. Entrena, L. López, C. García, M. San Millán, E. Lindoso, A. *Procesos de Fabricación de Circuitos Integrados CMOS*. Universidad Carlos III.
- [7] Wikipedia (Última edición Abril 2021). *Fotolitografía*.
- [8] Ferguson, F.J. (Junio 1996). *Carafe: An inductive Fault Analysis Tool for CMOS VLSI Circuits*.
- [9] Wikipedia (Última edición Febrero 2021). *Convertor de señal analógica a digital*.
- [10] Microcontrollers. (Marzo 2021). *Single Slope and Dual Slope ADC – Integrating Analog to Digital Converter*. <https://microcontrollerslab.com/single-dual-slope-adc-integrating-analog-to-digital-converter/>
- [11] L. Hurst, Stanley. *Pruebas VLSI: Técnicas digitales y mixtas*.
- [12] Alsop, Thomas. (Junio 2021). *Semiconductor integrated circuits global revenue 2009-2022*. <https://www.statista.com/statistics/519456/forecast-of-worldwide-semiconductor-sales-of-integrated-circuits/>
- [13] IC Insights (Últim actualización Junio 2021). *Worldwide IC Market Forecast to Top \$500 Billion in 2021. The 2021 McClean Report*.
<https://www.icsights.com/news/bulletins/Worldwide-IC-Market-Forecast-To-Top-500-Billion-In-2021/>
- [14] Qualman, Darrin. (Abril 2017). *Unimaginable output: Global production of transistors*. <https://www.darrinqualman.com/global-production-transistors/>
- [15] Brett, Daniel. (Febrero 2021). *What is the Automatic Test Equipment?*
<https://www.trentonsystems.com/blog/automatic-test-equipment-overview>



[16] Ramesh, Kapil (Enero 2011). *A Die-Level Adaptative Scheme for Real-Time Test Reordering and Elimination*. Portland State University

[17] Zhan, Wenfa. Shao, Zhiwei. (2020). *Test patterns reordering method base don Gamma distribution*. Anqing Normal University.



REFERENCIAS DE LAS ILUSTRACIONES

Ilustraciones 1, 2, 3 y 4: Referencia bibliografía [4]

Ilustración 5: Disponible en la página de *More's Law* – *Wikipedia*
https://en.wikipedia.org/wiki/Moore%27s_law

Ilustración 6: Referencia bibliografía [6]

Ilustración 7: Referencia bibliografía [6]

Ilustración 8: Referencia bibliografía [3]

Ilustración 9: Referencia bibliografía [13]

Ilustración 10 y 11: Referencia bibliografía [4]

Ilustraciones 12, 13, 14, 15 y 16: Diseño propio

Ilustración 17: Diseño propio basado en referencia bibliografía [8]

Ilustración 18 y 19: Diseño propio

Ilustraciones 20 - 36: Referencia bibliografía [4]

Ilustración 37: Referencia bibliografía [10]

Ilustraciones 38 - 42: Referencia bibliografía [4]

Ilustración 43: Referencia bibliografía [4]

Ilustración 44: Disponible en la página web
<https://programmerclick.com/article/11771541093/>

Ilustración 45: Referencia bibliografía [4]

Ilustración 46: Disponible en <https://toshiba.semicon-storage.com/us/semiconductor/product/microcontrollers/articles-functions/jtag-boundary-scan.html>

Ilustración 47: Referencia bibliografía [4]

Ilustración 48: Disponible en <https://www.trentonsystems.com/blog/automatic-test-equipment-overview>

Ilustraciones 49 y 50: Referencia bibliografía [16]

Ilustración 51: Diseño propio basado en referencia [16]

Ilustración 52: Diseño propio basado en referencia [16]

Ilustraciones 53 y 54: Referencia bibliografía [16]